学校代码: 10246 学 号: 10210720183

復旦大學

硕 士 学 位 论 文 (专业学位)

基准源和温度检测模块设计

院	系:	信息科学与工程学院
专	业:	集成电路工程
姓	名:	张伟
指 导	教师:	唐长文 副教授
完 成	日期:	2012年04月30日

目 录	
-----	--

图目	图目录			
表目	表目录V			
摘	摘 要1			
Abs	strac	t		3
第一	−章	概述…		5
	1.1	研究动	力机	5
	1.2	研究内	9容及贡献	6
	1.3	论文组	1织结构	6
第二	章	带隙基	基准电压源电路设计	7
	2.1	前言…		7
		2.1.1	带隙基准源的发展历史	7
		2.1.2	国内外研究现状	8
		2.1.3	主要性能指标	9
		2.1.4	带隙基准源的基本原理及结构	··· 11
	2.2	电路结	与构及性能分析	··· 15
		2.2.1	电路结构	··· 15
		2.2.2	温度系数分析	··· 17
		2.2.3	输出噪声分析	··· 18
		2.2.4	电源抑制分析	23
		2.2.5	误差分析	··· 27
	2.3	电路实	<现⋯⋯⋯⋯	··· 28
	2.4	电路在	E系统中的考虑	··· 29
	2.5	仿真结	告果	··· 30
		2.5.1	直流特性	30
		2.5.2	环路特性	35
		2.5.3	电源抑制	38
		2.5.4	输出噪声	··· 41
		2.5.5	启动时间	··· 43
	2.6	本章小	、结	••• 44
第三	章	电压–	-电流转换电路设计	45
	3.1	前言…		45
	3.2	电路结	5构及性能分析	46

	3.2.1 电路结构	16
	3.2.2 电源抑制分析	19
3.3	电路实现	51
3.4	仿真结果・・・・・・	51
第四章	温度检测电路设计	53
4.1	前言	53
4.2	电路分析及实现	54
	4.2.1 电路分析	54
	4.2.2 电路实现	55
4.3	仿真结果	56
第五章	总结与展望	51
5.1	总结6	51
5.2	展望	51
致谢		33
参考文献		35

图目录

图	2-1	带隙基准电压源基本原理图	· 12
冬	2-2	NPN 型 BJT	· 12
图	2-3	正温度系数电压的产生	· 14
图	2-4	带隙基准电压源温度系数	· 14
图	2-5	CMOS 工艺中 pnp 双极性晶体管的实现	· 15
冬	2-6	带隙基准电压源电路原理图	· 16
冬	2-7	数字控制 PNP 管数目的电路实现	· 17
冬	2-8	带隙基准电压源等效噪声电路	· 19
冬	2-9	忽略 PNP 小信号电阻的等效噪声电路 ······	· 19
冬	2-10	判断共源共栅管作用电路	· 20
冬	2-11	最终的噪声等效电路	· 21
图	2-12	最终的噪声等效电路的小信号图	· 21
冬	2-13	分析共源共栅管的第三种作用	· 24
冬	2-14	计算带隙基准电压源的 PSR	· 24
冬	2-15	将电源噪声引入反馈环路的实现	· 27
冬	2-16	引起带隙基准基准电压源误差的因素	· 27
冬	2-17	带隙基准电压源电路图	· 28
冬	2-18	系统供电方案框图	· 30
图	2-19	3.3 V 带隙基准电压源的温度曲线(前仿)	• 31
图	2-20	电源电压 2.1 V 时输出温度曲线(前后仿) ······	· 32
冬	2-21	1.8 V 带隙基准电压源输出温度曲线(前后仿)	· 32
图	2-22	电源电压为 2.1 V 时温度曲线与工艺角的关系(前仿)······	· 33
图	2-23	1.8 V 带隙基准电压源温度曲线与工艺角的关系(前仿)	· 33
图	2-24	电源电压为 2.1 V 时输出参考电压的蒙特卡罗仿真(前仿)	· 34
冬	2-25	1.8 V 带隙基准电压源输出参考电压的蒙特卡罗仿真(前仿)	· 34
图	2-26	3.3 V 带隙基准电压源输出参考电压的线性调整率(后仿)	· 35
图	2-27	电源电压为 2.1 V 时环路交流特性(后仿) ······	· 36
冬	2-28	1.8 V 带隙基准电压源环路交流特性(后仿)	· 36
图	2-29	电源电压为 2.1 V 时环路交流特性与工艺角的关系(后仿)········	· 37
图	2-30	1.8 V 带隙基准电压源环路交流特性与工艺角的关系(后仿)	· 37
冬	2-31	相位裕度随电源电压的变化(后仿)	· 38
图	2-32	电源抑制与电源电压的关系(后仿)	- 39

图	2-33	1.8 V 带隙基准电压源电源抑制特性(后仿)	· 39
图	2-34	电源电压 2.1 V 时电源抑制与工艺角的关系(后仿)	· 40
图	2-35	1.8 V 带隙基准电压源电源抑制与工艺角的关系(后仿)	· 40
图	2-36	电源电压为 2.1 V 时输出噪声与工艺角关系(后仿)	· 41
图	2-37	1.8 V 带隙基准参考源输出噪声与工艺角关系(后仿)	· 42
图	2-38	输出噪声与电源电压的关系(后仿)	· 42
图	2-39	1.8 V 带隙基准电压源的输出噪声(后仿)	· 43
图	2-40	1.8 V 带隙基准电压源启动时间与工艺角的关系(后仿)	· 43
图	2-41	电源电压为 2.1 V 时启动时间与工艺角的关系(后仿)	· 44
图	3-1	长距离电压偏置	· 45
图	3-2	电压一电流转换电路原理图	· 45
图	3-3	电压一电流转换电路结构图	· 46
图	3-4	数字控制电阻阵列	· 47
图	3-5	Tuning 电路原理图······	· 48
图	3-6	低压共源共栅电流镜	· 48
图	3-7	计算电源抑制的 V2I 电路图	· 49
图	3-8	V2I 电路主体部分电路图	· 50
图	3-9	计算运放电源抑制的电路图	· 50
图	3-10	V2I 电路图	· 51
图	3-11	Vr的电源抑制与工艺角的关系	· 52
图	3-12	数字控制信号 Rctrl 与输出参考电流的关系	· 52
图	4-1	集成温度传感器原理图	· 54
图	4-2	温度检测电路结构图	· 54
图	4-3	运放 A1 的电路图	· 56
图	4-4	运放 A2 的电路图 ······	· 56
图	4-5	温度检测电路的输出电压的温度特性	· 57
图	4-6	输出电压与温度的斜率特性	· 58
图	4-7	不同工艺角下输出电压的温度特性	· 58
图	4-8	不同工艺角下输出电压与温度的斜率特性	· 59

表目录

表 2-1	3.3V 带隙基准电压源的直流特性	31
表 2-2	1.8V 带隙基准电压源的直流特性	31
表 2-3	3.3V 带隙基准电压源的环路特性	35
表 2-4	1.8V 带隙基准电压源的环路特性	35
表 2-5	3.3V 带隙基准电压源电源抑制特性	38
表 2-6	1.8V 带隙基准电压源电源抑制特性	38
表 2-7	3.3V 带隙基准电压源输出噪声特性	41
表 2-8	1.8V 带隙基准电压源输出噪声特性	41
表 2-9	带隙基准电压源性能参数总结	44
表 3-1	电压电流转换电路性能参数与工艺角的关系	52
表 4-1	不同工艺角下温度检测电路的性能参数	57

摘 要

射频接收机是包含射频、模拟和数字三种类型电路的片上系统。不同类型的 电路对基准源性能要求各不相同,射频电路要求基准源提供低噪声的基准电压和 电流。随着片上系统的规模不断增大,电源电压的波动对系统性能影响逐渐增大。 针对这些问题,本文对基准源和温度检测电路进行了探索和研究,并且完成了一 款数字电视调谐芯片基准源和温度检测电路的设计。

首先,设计了带隙基准电压源。针对射频接收机的要求,对带隙基准电路的 温度系数、输出噪声和电源抑制及相互之间的关系进行了详细的分析。在此基础 上,给出了具有高电源抑制和低输出噪声的电路设计方案。该电路设计的温度系 数小于15.48 ppm/°C, V_{DD}为2.1~3.3 V时直流电源抑制小于–79.8 dB, V_{DD}为1.8 V时直流的电源抑制为–60 dB,从100 Hz到100 kHz频率范围的积分噪声小于 16.93 μV_{ms}。

其次,设计了电压一电流转换电路。电路采用6位数字信号控制片内电阻阵列,输出电流精度为7.8‰。通过增加共栅管,得到较高的电源抑制,其直流电源抑制为–95.3 dB。

最后,设计了温度检测电路。电路的温度检测范围为-45 ℃~125 ℃,输出 电压对温度的斜率为5.2 mV/℃。

关键词:带隙基准电压源,电压电流转换电路,温度检测电路,电源抑制,噪声, 软修正,片内可调电阻

中图分类号: TN4

Abstract

In this work, the reference source and temperature detection circuit are designed for DTV Tuner. The RF receiver is SoC(System on Chip),which includes three types of circuit system: RF, analog and digital circuits. The requirement of different type circuits to the reference varies, power fluctuations impact larger on the system. As result of the introduction of the RF circuit, need to lower output noise. Reference and temperature detection circuit design and exploration for these new problems.

First, the article describes the design of bandgap voltage reference. To receiver characteristics, a detailed analysis of temperature coefficient, output noise and power supply rejection of bandgap, sort out a solution to meet the design requirements, with a high power supply rejection and low output noise characteristics, the temperature coefficient is less than 15.48 ppm/°C, the V_{DD} of 2.1~3.3 V DC power supply rejection smaller than - 79.8 dB, the V_{DD} of 1.8 V DC power supply rejection is - 60 dB .Less than 16.93 μV_{rms} integral noise from 100 Hz to 100 kHz range.

Then, the design of the voltage to current converter. The circuit uses 6 bits digital signal control on-chip resistor array, the output current accuracy of 7.8‰. Add the common-source common-gate transistors, get a high power supply rejection, in a simple circuit structure and its DC power supply rejection is –95.3 dB.

Finally, the design of temperature sensing circuitry. The temperature sensing range is -45 °C \sim 125 °C, the temperature slope of the output voltage 5.2 mV/°C.

Keywords: Bandgap Voltage Reference, Voltage to Current, Temperature Sensor, Power Supply Rejection, Noise, Soft-trimming, On-chip Tuning Resistor

Classification Code: TN4

第一章 概述

1.1 研究动机

近年来无线通信技术的发展呈爆炸式增长,以iOS和Android等为代表的智能 手机的蓬勃发展,2G、3G、4G、Bluetooth、WLAN、GPS、WiMax和Digital TV 等通信技术普遍而深入的应用在人们的日常生活和工作中。

同时,工艺可以量产的晶体管特征尺寸已达到22 nm,晶圆的最大尺寸也在 不断增加,单片上已经能集成完整功能的大规模的系统。片上系统(System on Chip, SoC)技术也应运而生,其原理就是将一个完整的系统集成于一块芯片上。 这种技术一方面能提高芯片的性能,另一方面能有效的减少了芯片流片、封装和 测试的费用,使产品更具竞争力。因此,片上系统技术已成为集成电路发展的重 要方向之一。

通信技术的蓬勃发展促使射频接收机芯片的需求也呈现爆炸性增加,同时射 频接收机作为片上系统技术应用的一个典型范例,拥有了片上系统技术的优势。 因此,对射频接收机的研究具有光明的前景。

目前,数字电视正逐步取代模拟电视成为主流电视接收方式。本文的应用背 景是射频接收机中的数字电视调谐芯片,研究了在射频接收机应用中基准源和温 度检测模块的指标要求,设计了数字电路调谐芯片中的基准源和温度检测模块。

基准源是模拟电路的基本模块之一,包括基准电压源和基准电流源。基准电压源和基准电流源分别为整个系统提供基准电压和基准电流,其性能的好坏影响整个系统的性能。与传统电路不同,射频接收机是包含射频、模拟和数字电路的片上系统。由于不同类型电路对基准性能要求各不相同,这对基准源的设计提出了更高要求。数字电路对基准源要求最低,射频电路要求很高,主要是输出噪声方面。由于数字电路的电源电压波动可能通过耦合方式影响基准电压和电流的稳定性,这就需要基准源具有高的电源抑制能力。传统的带隙基准电压源,一般要求对工作温度、电源电压和工艺变化不敏感。因为,本文设计还需要考虑噪声对射频模块的影响,所以对电源电压的稳定性提出了更高的要求。因此,只有设计出更高性能的基准源才能满足上述要求。本设计的基准电压源通过带隙基准电压源来实现,基准电流源可使用传统的片外电阻提高电流精度的方法,而是使用片内可调电阻阵列的方法。由于片内电阻存在20%~30%工艺误差的原因,通过校正电路来得到数字校正控制信号来保证稳定的精确电流。

温度检测模块在片上系统中扮演重要的角色。随着芯片集成度提高,器件密度和能耗密度增大,热量散发到周围环境的速度变慢,芯片温度升高显著。有研究表明,芯片温度平均每升高1℃,MOS管的驱动能力将下降约4%,连线延迟

射频接收机中基准源和温度检测电路设计

增加5%,集成电路失效率增加一倍[1]。因此,在芯片种集成温度检测模块,实时检测芯片内部温度,采用算法调节芯片模块的工作状态,对提高芯片性能具有 重要意义。

另外,当工艺特征尺寸进入深亚微米以后,器件失配已成为限制芯片性能的 重要因素。因此,在电路设计中也应该考虑器件失配。

1.2 研究内容及贡献

本论文围绕基准源电路和温度检测电路在数字电视调谐芯片的应用展开研 究和设计。根据使用片上系统技术的数字电视调谐芯片对基准源电路和温度检测 电路提出的低输出噪声和高电源抑制的要求,设计出符合要求的带隙基准电压源 电路、电压—电流转换电路和温度检测电路。论文主要贡献有:

- 分析得到传统的带隙基准电压源的温度系数和输出噪声的关系。采用将 电源噪声引入反馈环路的方法提高电源抑制。给出全局供电方案,且该 方案提高了输出电压的电源抑制性能。
- 电压一电流转换电路在传统结构中增加了共源共栅管,优化了电路的电源抑制。采用校正电路产生的6比特数字信号控制电阻阵列消除工艺带来的阻值误差。
- 对温度传感器的电路设计进行了探索。使用带隙基准电压源产生的与温 度成正比的电流,设计了一款温度检测电路。

1.3 论文组织结构

论文针对基准源和温度检测模块在数字电视调谐芯片中的应用,首先确定各 模块在射频接收机中的要求,再对电路原理和结构进行分析,最后根据分析结果, 设计满足性能指标的电路。论文各部分内容如下:

第二章为带隙基准电压源电路设计。首先介绍了带隙基准电压源的发展历史、 国内外研究现状、性能指标、基本结构及原理。紧接着对电路结构和温度系数、 输出噪声和电源抑制等参数性能进行分析。最后,给出电路设计和仿真结果和本 章小结。

第三章为电压一电流转换电路设计。首先介绍电路结构,主要集中于片内电 阻的实现方法;其次重点分析这种电路结构的电源抑制特性,接着给出了电路的 实现方案;最后给出仿真结果和电路的性能总结。

第四章为温度检测电路设计。分析了电路结构及性能,然后给出电路的具体 实现和仿真结果,最后对该电路的设计进行了总结。

第五章为总结和展望。对论文的工作进行了总结,并对今后的工作做了展望。

第二章 带隙基准电压源电路设计

2.1 前言

1971年,带隙基准电压源由 Widlar[2]首次实现,其为整个电路系统提供对 温度、电源电压和工艺变化不敏感的直流参考电压,它是模拟电路基础模块之一 [2]。随着集成电路工艺技术的不断发展,其应用范围不断扩大,结构不断创新, 性能不断的提高,朝着低电源电压、低功耗、低温度系数、高电源抑制和低噪声 的方向不断发展。

2.1.1 带隙基准源的发展历史

集成电路发展初期,基准参考电压源主要是利用齐纳二极管来实现,但齐纳 二极管基准源存在所需电源电压高(高于7V)、工作电流大(一般为几毫安)、容易 受到表面氧化层中迁移电荷及外界环境的影响、噪声较大和长期稳定性差等缺点。

Widlar 首次提出了带隙基准源概念[2]。它相比于齐纳二极管基准源具有很 多优点,这一技术具有里程碑意义。其基本原理是利用具有负温度系数的三极管 的基极一发射极电压 V_{BE} 和具有正温度系数的工作在不同电流密度下的两个基 极一发射极电压之差ΔV_{BE},将两个电压加权相加,得到零温度系数的基准电压。

在此之后,基于 Widlar 结构, Kuijik 利用运放设计一种精确参考电压源,这种结构兼容于标准 CMOS 工艺,是目前标准 CMOS 工艺下的普遍结构[3]。在 Kuijik 基准源的基础上,Brokaw 提出了一种消除三极管基极电流误差的设计方法,大大提高了带隙参考源输出电压的精度。相比于 Widlar 基准源,它大大简 化了电路结构,具有良好的电源抑制特性,是目前 BiCMOS 工艺下的常用结构 [4]。

随着工艺特征尺寸向深亚微米发展,电源电压降低到 1 V 以下,这已低于硅 的带隙电压(约 1.2 V 左右), H. Banba 等人首次提出了可以工作在 1 V 电压以下 的带隙基准结构[5]。其将输出参考电压转换为两路电流之和,一路正比于 V_{BE} 的电流,另一路正比于 V_{T} 。近日,有研究提出一种新结构 SBGR(Subtracting Bandgap Reference),其将两个不同幅度,但具有相同温度系数的 CTAT(Complementary To Absolute Temperature)电流相减来得到低温度系数的 输出参考电压[6]。该结构相对于现有的结构,温度系数大大降低。

双极型晶体管由于良好的重复性和温度特性,一直都是带隙基准的主流测温 元件。但有研究表明:工作于弱反型区 MOSFET 的栅源电压与温度的关系是准 指数关系。可以用 MOSFET 的栅源电压 V_{GS} 取代双极型晶体管的基极-发射极电 压 V_{BE} 来设计基准参考源,实现了纯 CMOS 器件基准参考源[7][8][9]。这种技术

能大大降低成本,其在低电源电压和低功耗领域具有诱人的前景。

2.1.2 国内外研究现状

自上世纪**70**年代以来,国内外对带隙基准电压源做了大量的研究,主要集中在以下几个方面:

(1) 低温度系数

温度系数是带隙基准电压源最重要的指标。前文所述各种带隙基准结构,都 是一阶零温度系数的结构,能到达的温度系数一般为 20~50 ppm/℃。这是由于 双极型晶体管的基极一发射极电压 V_{BE} 包含高阶温度项。在高精度系统中应用, 如:高精度的模数转换器和数模转换器,必须要进一步降低温度系数,使用曲率 补偿技术,该类技术的基本思路是通过各种方法,抵消 V_{BE} 引起的温度二阶及以 上项。

主要的曲率补偿技术有: 二阶曲率补偿技术、指数型曲率补偿法、V_{BE}线性 化法、基于不同类型电阻温度系数补偿法和分段线性补偿法。指数型曲率补偿法 是利用双极型晶体管的电流增益 β 随温度呈指数型变化的规律对基准电压进行 温度补偿的方法[10]。V_{BE}线性化法是通过构建电路抵消 V_{BE}中的 7ln7 项,从而 实现精确补偿[11][12]。基于不同类型电阻温度系数补偿法是利用不同类型电阻 具有不同温度系数的特点,来抵消的 V_{BE}高阶项[13]。分段线性补偿法是将工作 温度范围分为若干个区间,分别对每个区间进行补偿,从而在整个温度范围内得 到低温度系数[14]。

(2) 高电源抑制(Power Supply Rejection, PSR)

电源抑制一直都是带隙基准基准的重要指标之一。特别是近年来片上系统技术的发展,不同类型的电路之间信号的串扰给芯片性能带来很大影响。为了抑制 电源电压的波动对输出的影响,需要提高电源抑制。

提高电源抑制的方法主要有以下几种:第一,对带隙基准供电电压进行预处 理。这种方法一般将带隙基准源的供电由电源电压改为电流源来代替,或者用预 处理过的电压来给带隙基准源供电[15][16][17][18];第二,将电源噪声引到带隙 基准源的反馈环路中提高电源抑制[19];第三,提高钳位运放的电源抑制比[19]; 第四,采用全差分结构可以显著改善电源抑制[20];第五,还有一个提高电源抑 制的简单方法,在输出电压端加 RC 滤波电路,但这种方法不利于集成,需要很 大的滤波电容。

(3) 低输出噪声

随着带隙基准应用的越来越广,输出噪声变得越来越重要,特别是一些低噪 声应用中,例如射频接收机和高精度模数转换器。但关于低输出噪声带隙基准报 道并不多,较简单的降噪方法是加 RC 滤波电路,但需要较大的面积。另一种常 用方法是通过分析噪声对其进行优化。目前文献报道的有效方法有:使用采用了 斩波稳定技术的运放,降低了低频的闪烁噪声[21];使用 RBVP(Reverse Bandgap Voltage Principle)方法设计的带隙基准电压源,具有良好的噪声特性, 偏置电流为 20 μA 时,输出噪声为 40 nV/√Hz,在 0.1~10 Hz 带内的峰峰输出 噪声为 4 μV[22]。

(4) 低电源电压

90 nm 工艺的电源电压为 0.9 V,而目前的工艺特征尺寸已到 22 nm,电源 电压势必更低。因此,对低电源电压的带隙基准电压源研究十分有必要。目前低 电源电压的主要实现方法是 H. Banba 于 1999 年提出的电流模的带隙基准结构 [5],这种技术不需要使用任何特殊器件和工艺,兼容于标准 CMOS 工艺。除此 之外,低电源电压技术还包括以下四种:第一,采用无运放结构[16];第二采用 特殊器件和工艺技术,例如低阈值器件和 DTMOS 技术,但这会增加成本[23][24]; 第三,采用纯 CMOS 结构[25];第四,采取跨阻放大器取代跨导放大器,克服 运放的共模输入电压对电源电压的限制[26]。

(5) 低功耗

电池寿命已成为限制便携式电子产品的瓶颈,谁能提供更长的电池续航时间, 谁就能在市场中占得先机。因此,低功耗已成为模拟电路设计的一个重要指标。 目前低功耗带隙基准源设计主要有以下两种方法:第一,使用工作在弱反型区的 MOSFET 来设计带隙基准源[27];第二,使用浮栅 MOSFET 器件来设计。这两 种方法都使用了特殊器件,因此成本较高[28]。

2.1.3 主要性能指标

带隙基准电压源就是要产生一个对温度、电源和工艺不敏感的输出基准电压,因此,其主要性能指标包括:温度系数、线性调整率、精度、电源抑制、输出噪声、启动时间和直流功耗等

a) 温度系数 TC(temperature coefficient)

温度系数是衡量输出参考电压随温度变化量大小的指标。其定义是指在工作 温度范围内,输出参考电压的最大变化量相对标称值的比值的百万倍与整个温度 区间的比值,其表达式如下

$$TC = \frac{\left(\frac{V_{\text{REF,max}} - V_{\text{REF,min}}}{V_{\text{REF}}}\right) \times 10^{6}}{T_{\text{max}} - T_{\text{min}}}$$
(2.1)

单位为ppm/°C(part per million/°C)。式中*T*_{max}和*T*_{min}分别表示其能工作的最高和 最低温度,*V*_{REF,max}和*V*_{REF,min}分别表示在整个工作温度范围内的最大和最小输出 参考电压,*V*_{REF}是指输出参考电压的标称值,通常是室温下的输出参考电压。

b) 线性调整率LNR(Line Regulation)

线性调整率衡量的是直流电源电压变化对输出参考电压的影响。它与即将介 绍的电源抑制共同组成衡量电源变化对输出电压影响的指标。线性调整率是表征 直流电压变化的影响,电源抑制表征的则是交流小信号电压变化的影响。因此, 线性调制率定义为输出参考电压直流变化量ΔV_{REF}随电源电压直流变化量ΔV_{DD} 的变化率,与频率无关。其表达式为

$$LNR = \frac{\Delta V_{\text{REF}}}{\Delta V_{\text{DD}}} \Big|_{\text{DC}}$$
(2.2)

c) 精度(Accuracy)

精度是表征基准电压相对设计标称值的相对误差。主要由初始精度(Initial Accuracy)、线性调整率及温度系数决定。初始精度是指不带负载时输出参考电压的容差。精度是指初始精度容差 ΔV_{REF,IA}、温度变化范围内容差 ΔV_{REF,TC} 和电压范围内容差之和 ΔV_{REF,INR} 与标称值之比,其表达式为

$$Accuracy = \frac{\Delta V_{\text{REF,IA}} + \Delta V_{\text{REF,TC}} + \Delta V_{\text{REF,LNR}}}{V_{\text{REF}}}$$
(2.3)

d) 电源抑制 PSR (Power Supply Rejection, PSR)

电源抑制是衡量电源交流小信号对输出参考电压的影响。该概念是由运放的电源抑制比(Power Supply Rejection Ratio, *PSRR*)的概念延伸而来。其定义为输入到输出的交流电压增益与电源到输出的交流电压增益的比值,表达式为

$$PSRR = \frac{A_{\rm v}}{A_{\rm dd}}$$
(2.4)

式中 A_v 表示 V_{dd}=0 时输入到输出的增益, A_{dd} 表示 V_{in}=0 时电源电压到输出的增益, 表达式如下:

$$A_{dd} = \frac{V_{out}}{V_{id}} \bigg|_{V_{in}} = 0$$

$$A_{v} = \frac{V_{out}}{V_{in}} \bigg|_{V_{dd}} = 0$$

$$(2.5)$$

但带隙基准基准源没有类似运放的输入信号,电源是其唯一输入信号,所以 忽略输入信号带来的增益,推出该种结构的指标:电源抑制 PSR(Power Supply Rejection),定义为电源电压交流小信号量 ΔV_{dd} 到输出参考电压交流小信号量 ΔV_{ref} 的增益。表达式如下:

$$PSR = \frac{\Delta V_{\text{ref}}}{\Delta V_{\text{dd}}}$$
(2.7)

e) 输出噪声

输入噪声是描述运放噪声的指标,与电源抑制相类似,描述带隙基准电压源 只能用输出噪声,因为带隙基准没有类似运放的输入。随着电路对噪声的要求越 来越高,低输出噪声在电路设计中的地位越来越高。

f) 启动时间(Start Time)

由于带隙基准电压源存在直流简并偏置点,一个是正常的直流工作点,另一 个整个电路零电流不工作的状态。为了解决这个问题,带隙基准电路需要加入自 启动电路,保证电路工作在正确的直流偏置点。启动时间则是指电源上电后,输 出参考电压达到正常标称值所需的时间,其在高速电路中是一个重要指标。

g) 直流功耗

便携式电子产品的广泛应用,使得低功耗也是带隙基准电压源的一个重要方向。使用全CMOS结构和浮栅器件的带隙基准器件可以得到很低的功耗[27][28], 但这是以较高的成本为代价的。

2.1.4 带隙基准源的基本原理及结构

带隙基准电压源就是要产生一个与温度无关的输出参考电压。基本思路是产 生一个正温度系数的量和一个负温度系数的量,再将两个量以适当的权重相加, 得到一个零温度系数的量,并将它输出。

要实现这样电路,就必须在集成电路器件中找到这样的量。实际上,集成电路中所有器件都存在与温度有关的特性,例如电阻、MOS管、隧穿二极管和双极型三极管。但在所有半导体工艺的器件参数中,双极型晶体管的特性参数被证实具有最好的重复性[29]。双极型晶体管的基极一发射机电压V_{BE}具有负温度系数,两个工作不同电流下的双极型晶体管的基极一发射机电压之差ΔV_{BE}具有正温度系数,利用上面两个量,可以得到零温度系数的输出参考电压,如图 2-1 所示。



图 2-1 带隙基准电压源基本原理图

下面对 V_{BE}的负温度系数和ΔV_{BE}正温度系数进行分析。

(1) 负温度系数电压 VBE



图 2-2 NPN 型 BJT

下面通过公式推导来说明 V_{BE} 的负温度系数特性。图 2-2 给出 NPN 型 BJT(Bipolar Junction Transistor),根据其拓扑结构,给出基极一发射极 V_{BE} 与 集电极电流 *I*_c 关系的公式:

$$I_{\rm C} = I_{\rm S} \exp\left[\frac{V_{\rm BE}}{V_{\rm T}}\right]$$
(2.8)

式中 V_T=kT/q, k 为波尔兹曼常数。I_s是饱和电流,有以下表达式:

$$I_{\rm S} = \frac{AkT n_{\rm i}^2 \overline{\mu}(T)}{N_{\rm B}}$$
(2.9)

A 为发射结面积, N_B 杂质掺杂度。 n_i 为硅的本征载流子浓度, 其与温度的关系可 表示为 $n_i^2 \propto T^3 \exp\left[-\frac{V_g(T)}{V_T}\right]$, 其中 $V_g(T)$ 为硅的带隙电压, 其随温度 T 变化, 可表达为 $V_g(T) = V_{g0} - \alpha T$, V_{g0} 为 0 K 时, 硅的带隙电压, α 为常数。 $\overline{\mu}$ 为基极中 少子平均迁移率, 其与温度的关系可表示为 $\overline{\mu}(T) \propto T^n$, 其中 $n \approx 3/2$ 。综合以 上参数与温度的关系, 可以得到 I_s 与温度的关系

$$I_{\rm S} \propto T^{4-n} \exp\left[-\frac{V_{\rm g0}}{V_{\rm T}}\right]$$
 (2.10)

根据式(2.8), 先得到 VBE 表达式:

$$V_{\rm BE} = V_{\rm T} \ln \frac{I_{\rm C}}{I_{\rm S}}$$
(2.11)

为得到 VBE 的温度系数, VBE 对 T 求导

$$\frac{\partial V_{\text{BE}}}{\partial T} = \frac{\partial V_{\text{T}}}{\partial T} \ln \frac{I_{\text{C}}}{I_{\text{S}}} + V_{\text{T}} \frac{I_{\text{S}}}{I_{\text{C}}} \frac{I_{\text{S}} \frac{\partial I_{\text{C}}}{\partial T} - I_{\text{C}} \frac{\partial I_{\text{S}}}{\partial T}}{I_{\text{S}}^2}$$
(2.12)

注意 /c 也与温度有关系,根据(2.10)表达的 /s 关系,可以得到下式:

$$\frac{\partial V_{\text{BE}}}{\partial T} = \frac{V_{\text{BE}} - (4 - n)V_{\text{T}} - V_{\text{g0}}}{T} + \frac{V_{\text{T}}}{I_{\text{C}}} \frac{\partial I_{\text{C}}}{\partial T}$$
(2.13)

对上式做一个粗略估算, V_{BE}通常在 0.7 V, V_{g0}约为 1.2 V 左右, n≈3/2, (4–n) 大于 0, 所以上式第一项小于 0。第二项通常与温度成阶乘关系, 一般小于第一 项的绝对值, 所以 V_{BE} 为负温度系数。

下面通过推导,给出 V_{BE} 更为普遍的表达式。将式(2.10)带入式(2.8),取 η=4-n,得到

$$I_{\rm C}(T) = CT^{\eta} \exp\left[\frac{q(V_{\rm BE}(T) - V_{\rm g0})}{kT}\right]$$
(2.14)

式中C为常数。对上式两边都求对数 In,得到

$$\ln[I_{\rm C}(T)] - \ln C - \eta \ln T = \frac{q}{kT} (V_{\rm BE}(T) - V_{\rm g0})$$
(2.15)

取一参考温度 Tr带入上式

$$\ln[I_{\rm C}(T_{\rm r})] - \ln {\rm C} - \eta \ln T_{\rm r} = \frac{q}{kT_{\rm r}}(V_{\rm BE}(T_{\rm r}) - V_{\rm g0})$$
(2.16)

将上述两式相减得到

$$\ln\left[\frac{I_{\rm C}(T)}{I_{\rm C}(T_{\rm r})}\right] - -\eta \ln\frac{T}{T_{\rm r}} = \frac{q}{kT}(V_{\rm BE}(T) - V_{\rm g0}) - \frac{q}{kT_{\rm r}}(V_{\rm BE}(T_{\rm r}) - V_{\rm g0})$$
(2.17)

最后,整理可得 VBE 更为普遍的表达式:

$$V_{\rm BE}(T) = V_{\rm g0}(1 - \frac{T}{T_{\rm r}}) + \frac{T}{T_{\rm r}}V_{\rm BE}(T_{\rm r}) + \frac{kT}{q} \left[\ln\left(\frac{I_{\rm C}(T)}{I_{\rm C}(T_{\rm r})}\right) - \eta \ln\frac{T}{T_{\rm r}} \right]$$
(2.18)

从上式,可以清楚的看到,除了含有与T成一阶关系项,还包含TlnT项,这也 表明,带隙基准源输出电压只能在一点取得零温度系数,要取得更低的温度系数, 就必须采用曲率补偿技术。

(2) 正温度系数电压ΔV_{EB}



图 2-3 正温度系数电压的产生

利用双极性三极管可以得到很精确的正温度系数电压。如图 2-3所示,根据 式(2.11)的关系,可以得到ΔV_{EB}为:

$$\Delta V_{\rm EB} = V_{\rm EB2} - V_{\rm EB1} = V_{\rm T} \ln \frac{nl_0}{l_{\rm S2}} - V_{\rm T} \ln \frac{l_0}{l_{\rm S1}} = V_{\rm T} \ln \frac{nl_{\rm S1}}{l_{\rm S2}}$$
(2.19)

如果图 2-3 中两个三极管的尺寸相同,则 /s1= /s2,进一步可以得到:

$$\Delta V_{\rm EB} = V_{\rm T} \ln \frac{n I_{\rm S1}}{I_{\rm S2}} = V_{\rm T} \ln n \tag{2.20}$$

由于 $V_{T}=kT/q$,可以看出 ΔV_{EB} 是完美的正温度系数电压,仅包含一阶温度项。

透过上面对双极性晶体管来实现正负温度系数量方法的分析,只要通过对 V_{BE}和ΔV_{EB}适当组合,就可以得到一个零温度系数的输出电压,从而实现带隙基 准电压源。这里指的零温度系数电压并不是绝对的,由于 V_{BE}还存在高阶的负温 度系数成分,所以只能在某个点达到零温度系数,通常将这个点选在室温 300K 下。图 2-4 给出了典型带隙基准电压源的温度系数,从图上可以看出 V_{REF}不是 只在某一点取得零温度系数,所以在低温度系数的应用,需要对 V_{BE} 中的高阶温 度项补偿,来得到更加趋于零温度系数的输出电压,因此,也将图 2-4 中的温 度系数的曲线成为一阶补偿的带隙基准电压源的温度曲线。





最后,来说明如何在标准 CMOS 工艺下实现双极性晶体管。无疑,在集成

电路设计, MOSFET 管几乎替代了 BJT, BJT 仅在一些特殊应用场合使用,例如高频。如果不能在标准 CMOS 工艺实现 BJT,这就意味着增加成本,这显然 是很难接受。幸运的是,可以在 n 阱的 CMOS 工艺实现 PNP 型双极性晶体管,如图 2-5 所示。p 型衬底是集电区,但衬底必须接到电路的最负电源上。因此标准 CMOS 工艺上的 PNP 管有一定的实现限制,这在设计过程中必须注意。



图 2-5 CMOS 工艺中 pnp 双极性晶体管的实现

2.2 电路结构及性能分析

本文一共设计了两个带隙基准电压源,一个是工作在2.1~3.3V电源电压下, 另一个工作在1.8V电源电压下。两者采用相同的结构。带隙基准电压源除了提 供输出参考电压,还提供 PTAT 电流。并且通过两个带隙基准的配合来实现芯片 全局供电方案,这将在2.4节进行介绍。

2.2.1 电路结构

图 2-6 给出了带隙基准电压源的原理图。运放将节点 1 和节点 2 嵌至同一 电位,有 V₁= V₂。因此有

$$I_2 = \frac{V_{\text{EB3}} - V_{\text{EB2}}}{R_1}$$

其中 Q2 管为 N 个相同尺寸的 PNP 管的并联,因此流过每个 PNP 管的电流要 除以 N,根据式(2.11)有

$$V_{\rm EB2} = V_{\rm T} \ln \frac{I_2}{NI_{\rm S}}$$

由于 Q3 和 Q2 在单个晶体管的尺寸相同,因此Is相同,因此可得

$$I_2 = \frac{V_{\rm T}}{R_{\rm 1}} \ln \frac{NI_{\rm 1}}{I_2}$$
(2.21)

该电流为 PTAT 电流,可用于输出,实现了电路的正温度系数部分。再通过电流 镜复制给第三路,因此得到输出参考电压的表达式为:

$$V_{\text{REF}} = V_{\text{EB1}} + \frac{R_2}{R_1} V_{\text{T}} \ln \frac{NI_1}{I_2}$$
(2.22)



通过上面表达式,可以看出本电路并未使用曲率补偿技术,是最基本的一阶补偿。

图 2-6 带隙基准电压源电路原理图

根据允许的电源电压的范围,采用了共源共栅电流镜结构来提高复制电流的 准确度。另一方面,由于本电路用于射频接收机中,对输出噪声要求十分严格。 为了取得在简单结构上,对噪声的最大优化,Q2 管的 N 取值达到 100 以上。取 值如此之大,PNP 管的不匹配必然给输出参考电压带来较大误差,必须对电路 进行修正。修正有软修正和硬修正两种,硬修正的成本较高,因此这里采用了软 修正的方法,通过数字信号控制 Q2 管的数目 N,其电路实现方式如图 2-7 所示。 数字控制信号为 3 位,其通过 3-8 译码器产生 S1~S7 七个控制信号,控制由 PNP 管和反相器组成的基本单元。基本单元中,反相器输入端连接控制信号,输出端 连接到 PNP 管的基极。以 S1 控制信号为例,当 S1 为低电平时,PNP 基极电 压为 V_{DD},PNP 管关断不工作,相反,当 S1 为高电平时,PNP 基极电压为 GND, 与二极管连接的 PNP 管一样,PNP 管正常工作。这样实现了数字信号控制 PNP 导通数目 N的要求。由于这样方法得到的 PNP 管基极电压未必一定偏置在 GND, 但这种非理想因素带来的误差是几乎可以忽略的。该控制模块,可实现 8 个 PNP 管数目的状态,步长为 11,控制范围为 109~186,在这个控制范围内,总能找 到一个合理的控制码 ABC 满足要求的温度系数,达到软修正的效果。这种方法 的不足之处就是需要更多的面积,因为晶体管数目 N 是对数函数 ln 内的项,需 要很大的值,才能达到效果。但增大线性项 *R*₂/*R*₁ 对噪声影响太大,所以这也不 失为一种解决方法。



图 2-7 数字控制 PNP 管数目的电路实现

2.2.2 温度系数分析

温度系数是带隙基准电压源最基本和最重要的性能指标。通过上面分析,已 知本电路结构采用的一阶补偿的结构,并未进行曲率补偿,曲率补偿技术由于对 V_{BE}中的高阶温度项进行抵消,可以得到更低的温度系数,但本应用中,进行一 阶补偿就可以达到满足要求的温度系数。采用这种结构的带隙基准源,温度系数 曲线呈抛物线状,只存在一个零温度系数点,将该点所在温度记为 T_{peak}。T_{peak} 点对于温度系数很重要。由于 T_{peak}点同时也是曲线的极值点,其周围范围内, 输出参考电压随温度变化较小。通常,将 T_{peak}点取在芯片正常工作的温度下, 一般也就是室温下,这样围绕 T_{peak}点某个范围内的温度系数较大,这同时也是 芯片经常工作的范围。

下面我们将求出 Tpeak 的表达式。首先将公式(2.13)和公式(2.21)重写在这里

$$\frac{\partial V_{\text{BE}}}{\partial T} = \frac{V_{\text{BE}} - (4 - n)V_{\text{T}} - V_{\text{g0}}}{T} + \frac{V_{\text{T}}}{I_{\text{C}}} \frac{\partial I_{\text{C}}}{\partial T}$$
$$V_{\text{REF}} = V_{\text{EB1}} + \frac{R_2}{R_1}V_{\text{T}} \ln \frac{NI_1}{I_2}$$

V_{REF} 对温度 **T** 求导

$$\frac{\partial V_{\text{REF}}}{\partial T} = \frac{\partial V_{\text{EB1}}}{\partial T} + \frac{R_2}{R_1} \ln \frac{NI_1}{I_2} \frac{\partial V_T}{\partial T}$$

利用上面公式得到的结果,得

$$\frac{\partial V_{\text{REF}}}{\partial T} = \frac{V_{\text{EB1}} - (4 - n)V_{\text{T}} - V_{\text{g0}}}{T} + \frac{V_{\text{T}}}{I_2}\frac{\partial I_2}{\partial T} + \frac{V_{\text{T}}}{T}\frac{R_2}{R_1}\ln\frac{NI_1}{I_2}$$

因为12与温度成正比,所以

$$\frac{\partial V_{\text{REF}}}{\partial T} = \frac{V_{\text{EB1}} - (3 - n - \frac{R_2}{R_1} \ln \frac{NI_1}{I_2})V_{\text{T}} - V_{\text{g0}}}{T}$$

取上式等于零时,此时温度就是 Tpeak

$$\frac{V_{\text{EB1}}(T_{\text{peak}}) - (3 - n - \frac{R_2}{R_1} \ln \frac{NI_1}{I_2})V_{\text{T}}(T_{\text{peak}}) - V_{\text{g0}}}{T_{\text{peak}}} = 0$$

$$V_{\text{EB1}}(T_{\text{peak}}) - (3 - n - \frac{R_2}{R_1} \ln \frac{NI_1}{I_2})V_{\text{T}}(T_{\text{peak}}) - V_{\text{g0}} = 0$$

由于 V_T=kT/q,最后得到 T_{peak} 的表达式:

$$T_{\text{peak}} = \frac{V_{\text{EB1}}(T_{\text{peak}}) - V_{g0}}{\frac{k}{q}(3 - n - \frac{R_2}{R_1} \ln \frac{NI_1}{I_2})}$$
(2.23)

上式中, V_{g0}为硅的带隙电压, k 为玻尔兹曼常数,常数 n 通常取值为 3/2。

根据上式,可以通过调节电阻比 R₂/ R₁、Q2 晶体管数目 N 和运放嵌位的两路电流比 I₁/ I₂来调节灵温度系数点温度 T_{peak}大小,增大上述任一量值,都可以使 T_{peak}减小,减少上述任一量值,都可以使 T_{peak}增大,但就效率来看, R₂/ R₁ 最佳。

虽然,本论文采用的结构是一种一阶结构,但是由于集成电路任何器件参数 都与温度有关系,在器件和参数的设置差别,会使带隙基准呈现出高阶补偿的效 果。例如,由于电阻 *R*₁与具有温度系数,所以得到电流 *I*₂并非是 PTAT 电流, 存在高阶的温度项,而且不同类型的电阻具有不同的温度系数,例如 Poly 电阻 具有负温度系数,扩散电阻却是正温度系数。所以这些在设计中必须注意,通过 查看工艺文件和仿真器件模型来得到器件的温度特性,确保设计的正确。另外, *T*_{peak} 的关系式与输出噪声存在强烈的折中关系,这在下节将进行介绍。

2.2.3 输出噪声分析

在低噪声的应用,带隙基准电压源的输出噪声已成为重要性仅次于温度系数 的性能指标。目前,对于低噪声的带隙基准电压源设计并没有太多好的办法。本 文采用的方法就是通过分析整个电路的输出噪声,来找到影响噪声最重要的因素, 从而对电路的参数进行优化,从而得到符合指标要求的设计。



图 2-8 带隙基准电压源等效噪声电路

图 2-8 给出了本文带隙基准电压源的等效噪声电路。其中 $V_{n,A}^2$ 为误差放大器 的输入等效噪声, $V_{n,R1}^2$ 是电阻 R_1 的热噪声, $V_{n,R2}^2$ 是电阻 R_2 的热噪声, $I_{n,MX}^2$ 代 表对应晶体管 MX 的热噪声。对于 MOS 管,只考虑了其热噪声。相对 MOS 管, 双极型晶体管的噪声要小的多,所以在这里忽略了三极管的噪声。为了进一步简 化,二极管连接的 Q1、Q2 和 Q3 的交流小信号电阻为 1/ g_{m1} 、1/ g_{m2} 和 1/ g_{m3} , 相对于电阻 R_1 和 R_2 ,因此,也将其忽略,如图 2-9 所示。



图 2-9 忽略 PNP 小信号电阻的等效噪声电路

如果用图 2-9 的噪声等效电路去计算带隙基准电压源的输出噪声仍是非常 麻烦和困难,如果能忽略电路中的共源共栅管,将大大简化计算。首先,来计算 下图电路的增益。图 2-10 左边电路实际是源级退化的共源放大器,其增益为

$$A_{\rm v} = \frac{g_{\rm m2}R}{1 + g_{\rm m2}r_{\rm ds1}} \approx \frac{R}{r_{\rm ds1}}$$
(2.24)

由于 *r*_{ds1}>>*R*,所以增益很小。再看右边电路,虽然从 *V*_{out}向上看的输出电阻很大,约为 *g*_{m2} *r*_{ds1} *r*_{ds2},但其与 *R* 并联,并联后的值大概为 *R*,所以增益大概为 *A*_v = *g*_{m2}*R* (2.25)

与不加 M2 时的源级放大器相同。所以单论其对噪声信号的放大,可以再在电路 将其忽略。





共源共栅管除了在电路结构中对其他噪声信号的放大作用,还有自身噪声信号在输出端的输出,由噪声的知识知,其噪声不对输出有影响,可忽略。所以综合上述两方面对共源共栅管在噪声等效电路中的作用,可以将其忽略,由此,得到最终的噪声等效电路,如图 2-11 所示。

在对电路进行具体计算之前,先对电路进行一些简单的分析。首先,电路的 主要噪声贡献部分应是图 2-11 中蓝框和红框部分,因为其部分产生的噪声部分, 还要经过蓝框的共源放大。红框部分不对输出噪声产生影响,M1 管的热噪声电 流不能在运放负输入端产生电压,所以不传递到输出端。



图 2-11 最终的噪声等效电路

根据之前的分析,给出最终的噪声等效电路的小信号图,并对各个器件的造成的输出噪声进行详细计算:



图 2-12 最终的噪声等效电路的小信号图

a) 运算放大器等效到输出的噪声

运算放大器的输入等效噪声为 $\overline{V_{n,A}^2}$,运放的增益为 A,运放的输出电阻为 R_{out} 。由图 2-12 电路结构得:

$$v_1 = v_{n,A} - g_{m2}R_1v_2$$
$$v_2 = Av_1$$
$$v_{n,REF} = -g_{m3}R_2v_2$$

综上得

$$v_{n,REF} = -\frac{g_{m3}R_2Av_{n,A}}{1+g_{m2}R_1A} \approx -\frac{g_{m3}R_2}{g_{m2}R_1}v_{n,A}$$
(2.26)

b) 电阻 R₁等效到输出的噪声

电阻 R_1 的热噪声为 $\overline{V_{n,R1}^2} = 4kTR_1$,其等效到输出的噪声与运放是相似,因为其都出现在运放的正输入端。因此,由图 2-12 电路结构得:

$$v_1 = v_{n,R1} - g_{m2}R_1v_2$$
$$v_2 = Av_1$$
$$v_{n,REF} = -g_{m3}R_2v_2$$

综合得

$$v_{n,\text{REF}} = -\frac{g_{\text{m}3}R_2Av_{n,\text{R1}}}{1+g_{\text{m}2}R_1A} \approx -\frac{g_{\text{m}3}R_2}{g_{\text{m}2}R_1}v_{n,\text{R1}}$$
(2.27)

上式可以证明之前的结论。

c) M2 管等效到输出的噪声 M2 管的热噪声为 $\overline{I_{n,M2}^2} = 4kT\frac{2}{3}g_{m2}$,由图 2-12 电路结构得: $v_1 = -(i_{n,M2} + g_{m2}v_2)R_1$ $v_2 = Av_1$ $v_{n,REF} = -g_{m3}R_2v_2$

综合得

$$V_{n,REF} = g_{m3}R_2 \frac{AR_1 i_{n,M2}}{(1 + AR_1 g_{m2})} \approx \frac{g_{m3}R_2}{g_{m2}} i_{n,M2}$$
(2.28)

d) M3 管等效到输出的噪声

M3 管的热噪声为 $\overline{I_{n,M3}^2} = 4kT\frac{2}{3}g_{m3}$,该管处在输出级,可以很简单得到其等 效输出噪声。由图 2-12 电路结构得:

$$V_{n,REF} = -i_{n,M3}R_2$$
 (2.29)

e) 电阻 R₂等效到输出的噪声

电阻 R_2 的热噪声为 $\overline{V_{n,R^2}^2}$ = 4k TR_2 ,根据电路结构,其热噪声在输出端的等效噪声是所见即所得的,由此得:

$$V_{n,\text{REF}} = V_{n,\text{R2}} \tag{2.30}$$

将以上所有噪声源对输出噪声的贡献汇总,得到总的输出噪声为:

$$\overline{V_{n,REF}^{2}} = \left(\frac{g_{m3}R_{2}}{g_{m2}R_{1}}\right)^{2} (\overline{V_{n,A}^{2}} + \overline{V_{n,R1}^{2}}) + \left(\frac{g_{m3}R_{2}}{g_{m2}}\right)^{2} \overline{I_{n,M2}^{2}} + \overline{I_{n,M3}^{2}}R_{2}^{2} + \overline{V_{n,R2}^{2}}$$
(2.31)

将每个噪声源的具体表达式带入得:

$$\overline{V_{n,REF}^{2}} = \left(\frac{g_{m3}R_{2}}{g_{m2}R_{1}}\right)^{2}\overline{V_{n,A}^{2}} + \left(\frac{g_{m3}R_{2}}{g_{m2}R_{1}}\right)^{2}4kTR_{1} + \left(\frac{g_{m3}R_{2}}{g_{m2}}\right)^{2}4kT\frac{2}{3}g_{m2} + 4kT\frac{2}{3}g_{m3}R_{2}^{2} + 4kTR_{2}$$
(2.32)

从上式,可以看出电阻 R₁、电阻 R₂和电阻比 R₂/R₁对噪声性能很大,减少上面 三个参数的值是降低噪声的关键。正如,在温度系数一节的分析,调节 R₂/R₁ 的值可以有效的调节 T_{peak}的值,通常是增大这个值。这正好与噪声的要求相反, 所以在设计的过程中,这是带隙基准电压源设计的一个很重要的折中。另外 g_{m3}/ g_{m2}也对噪声性能影响很大,虽然这个值取得越小越好,但就电路结构上讲,一 般取为 1。在这里,我们一直忽略了运放的等效输入噪声,从上式可以看出运放 的噪声是产生噪声的最大一部分,所以尽可能降低运放的噪声,是低噪声带隙基 准电压源必须的一个努力目标。

2.2.4 电源抑制分析

电源抑制(Power Supply Rejection)又是一个带隙基准电压源需要重点关注的指标。这不仅是因为片上集成规模越来越大,还因为单片集成了模拟、射频和数字等类型电路。这使得,电路的抗干扰能力需要增强。

下面对本文中的带隙基准电压源结构的电源抑制进行详细的计算分析。首先, 第一个要解决的问题是:能否忽略结构中的共源共栅管?如果能忽略其中的共源 共栅管将大大简化运算,所以回答这个问题是很有益。共源共栅管在电源抑制分 析中共起到三个作用: (1)输入信号作用于共源共栅管栅极,(2)输入信号作用共 源输入管的栅端,(3)电源纹波信号作用于共源管的源端。前两种情况,已在噪 声分析中介绍过,作用可忽略。下面分析第三种情况,如图 2-13 所示,计算左 右两边的从 V_{dd} 到 V_{out}的小信号增益都是一样,都等于:

$$A_{\rm d} = \frac{V_{\rm out}}{V_{\rm dd}} = g_{\rm m1}R \tag{2.33}$$

可以看出第三种共源共栅管的作用也可忽略。因此,在电源抑制分析中,仍可忽略共源共栅管。



图 2-13 分析共源共栅管的第三种作用

根据上面分析,得到如图 2-14 所示。这里需要说明,由于现在大部分电路 都在使用负电源,原来接负电源端,都接地。所以现在对电源抑制的计算,只是 计算正电源的电源抑制。



图 2-14 计算带隙基准电压源的 PSR

图 2-14 中, 1/g_{mQ1}、1/g_{mQ2}和 1/g_{mQ3}是二极管连接的 PNP 管 Q1~Q3 的 小信号等效电阻。对于电源抑制的计算,按照参考文献[30]的方法进行计算。基

本思路是:将图中每个框的部分都看成独立的部分,每个框中部分,都可看成有两个输入信号,一个是电源纹波输入信号,另一个共源放大的输入信号,分别独立计算每个输入信号的输出,根据线性叠加定理,两者的和是最终的输出。首先,计算红框的输出 v₁。设 A_{v1}为 v_c到 v₁的增益, A_{dd1}为 v_{dd}到 v₁的增益,于是有:

v = A v + A v

红框内共源放大器的输出电阻为
$$R_{out1} = \frac{1}{g_{mQ3}} || r_{o1}$$
,于是有:
 $A_{v1} = -g_{m1}R_{out1}$
 $A_{dd1} = (g_{m1} + \frac{1}{r_{o1}})R_{out1}$

综合得:

$$V_1 = -g_{m1}R_{out1}V_c + (g_{m1} + \frac{1}{r_{o1}})R_{out1}V_{dd}$$
 (2.34)

接着计算蓝框的输出 v₂。设 A_{v2}为 v_c到 v₂的增益, A_{dd2}为 v_{dd}到 v₂的增益, 蓝 框内共源放大器的输出电阻为 R_{out2}=(1/g_{mQ2}+ R₁)|| r_{o2}, 于是有:

$$v_{2} = A_{v2}v_{c} + A_{dd2}v_{dd}$$

 $A_{v2} = -g_{m2}R_{out2}$
 $A_{dd2} = (g_{m2} + \frac{1}{r_{o2}})R_{out2}$

综合得:

$$v_{2} = -g_{m2}R_{out2}v_{c} + (g_{m2} + \frac{1}{r_{o2}})R_{out2}v_{dd}$$
(2.35)

得到上述两个电压,利用同样的方法求 v_c。设 A_v为运放开环增益,A_{dd}为运放开环人电源到输出的增益,根据图 2-14 的结构有:

$$\boldsymbol{V}_{\rm c} = \boldsymbol{A}_{\rm v} (\boldsymbol{V}_2 - \boldsymbol{V}_1) + \boldsymbol{A}_{\rm dd} \boldsymbol{V}_{\rm dd}$$

将式(2.34)和(2.35)带入上式得:

$$v_{c} = A_{v} \left[-g_{m2}R_{out2}v_{c} + (g_{m2} + \frac{1}{r_{o2}})R_{out2}v_{dd} + g_{m1}R_{out1}v_{c} - (g_{m1} + \frac{1}{r_{o1}})R_{out1}v_{dd} \right] + A_{dd}v_{dd}$$

计算得:

$$v_{\rm c} = \frac{A_{\rm v}[(g_{\rm m1} + \frac{1}{r_{\rm o1}})R_{\rm out1} - (g_{\rm m2} + \frac{1}{r_{\rm o2}})R_{\rm out2}] - A_{\rm dd}}{A_{\rm v}(g_{\rm m1}R_{\rm out1} - g_{\rm m2}R_{\rm out2}) - 1} v_{\rm dd}$$
(2.36)

最后计算输出 *v*_{ref}。设 *A*_{v3}为 *v*_c到 *v*_{ref}的增益, *A*_{dd3}为 *v*_{dd}到 *v*_{ref}的增益,绿框内 共源放大器的输出电阻为 *R*_{out3}=(1/*g*_{mQ1}+ *R*₂)|| *r*_{o3},于是有:

$$v_{ref} = A_{v3}v_c + A_{dd3}v_{dd}$$
$$A_{v3} = -g_{m3}R_{out3}$$
$$A_{dd3} = (g_{m3} + \frac{1}{r_{o3}})R_{out3}$$

综合得:

$$v_{\rm ref} = -g_{\rm m3}R_{\rm out3}v_{\rm c} + (g_{\rm m3} + \frac{1}{r_{\rm o3}})R_{\rm out3}v_{\rm dd}$$

将式(2.36)代入,得到电源抑制 PSR 为:

$$PSR = g_{m3}R_{out3} \frac{A_{v}[(g_{m2} + \frac{1}{r_{o2}})R_{out2} - (g_{m1} + \frac{1}{r_{o1}})R_{out1}] + A_{dd}}{A_{v}(g_{m1}R_{out1} - g_{m2}R_{out2}) - 1}$$
(2.37)
+ $(g_{m3} + \frac{1}{r_{o3}})R_{out3}$

考虑到一般情况下, *g*_{m1}>>1/*r*_{o1}, *g*_{m2}>>1/*r*_{o2}, *g*_{m3}>>1/*r*_{o3}, *R*₁>>1/*g*_{mQ2}, *R*₂>>1/ *g*_{mQ1},所以将式(2.37)简化为如下:

$$PSR \approx \frac{g_{m_3}R_2}{g_{m_2}R_1} \frac{1 - A_{dd}}{A_v}$$

$$= \frac{g_{m_3}R_2}{g_{m_2}R_1} \frac{1}{A_v} - \frac{g_{m_3}R_2}{g_{m_2}R_1} \frac{A_{dd}}{A_v}$$

$$= \frac{g_{m_3}R_2}{g_{m_2}R_1} \frac{1}{A_v} - \frac{g_{m_3}R_2}{g_{m_2}R_1} \frac{1}{PSRR}$$
(2.38)

从上式可以看出, *PSR* 主要取决于(1- A_{dd})项,通常情况 A_{dd} <<1,这是 *PSR* 取 决于 $\frac{g_{m3}R_2}{g_{m2}R_1} \frac{1}{A_v}$ 。但通过某些技术,我也可使 A_{dd} 接近于 1,从而得到更大的 *PSR*。

另外 PSR 式中,又出现了 R₂/ R₁项,减小其可增大 PSR。可见在本电路的设计中要重点关断的参数。

本文采用三种方法来提高电源抑制。第一种方法是通过在输出端加一阶 RC 滤波电路;第二种方法是通过电源供电的系统方案来实现,这个将在 2.4 节介绍; 第三种方法是将电源噪声引入反馈环路的方法,实现方法如图 2-15 所示。运放 的实现中输出级用了 M4 和 M5 管组成的二极管连接负载的共源级,用了这一级, 基本上运放的 A_{dd} 为:

$$A_{\rm dd} \approx \frac{r_{\rm o4}}{1/g_{\rm m5} + r_{\rm o4}}$$
 (2.39)

从而使 vc 基本跟随 vdd 的变化,从而增大了电路的电源抑制。



图 2-15 将电源噪声引入反馈环路的实现

2.2.5 误差分析



图 2-16 引起带隙基准基准电压源误差的因素

CMOS 电路在实际的制造中,由于每一道工序都存在不确定性,因此标称 相同的器件都存在有限的不匹配。而这些不匹配必然会给电路带来误差。在本文 中的带隙基准电压源电路中,引起输出参考电压变化的误差因素有: **MOS** 管的 失配、运放的失配、电阻的失配和双极型晶体管的失配。MOS 管的失配引起的 共源共栅电流镜的失配,造成各支路电流的误差,造成输出参考电压误差。运放 的失配使得节点 1 和节点 2 电压的不相同,会造成误差。电阻的失配造成电阻比 偏离标称值噪声误差。BJT 的失配造成各管特性不一致,偏离其个数比 *N*,也造 成误差。

对于这些误差,可分为随机失配造成的误差和系统失配造成的误差。对于系统失配的误差,可以通过合理设置器件尺寸和电路结构,做好版图的匹配来消除。 但随机误差却没有没法消除。但随机误差的往往呈现出一定的概率分布,一般是 高斯分析,可以通过设置合理器件尺寸最小值,将误差最大值控制容许的范围内, 具体的值可通过蒙特卡罗仿真来仿出[31]。



2.3 电路实现

图 2-17 带隙基准电压源电路图

本文共设计两个带隙基准电压源电路,结构完全相同,只是工作的电源电压 不同,一个工作在 2.1~3.3 V,一个工作在 1.8 V。图 2-17 给出了带隙基准电压 源电路的完全电路图。电路共有三个部分组成:启动电路、误差放大器和带隙基 准核。

启动电路由 MPS1、MNS1、MNS2、MNS3 和 MNS4 组成。带隙基准电压 源电路只有电源电压一个输入,所以存在两个直流工作状态,一个是正常工作状态,另一个是所有器件不工作,电流为零的状态。当电路上电时,电路有可能正 常工作,也有可能维持零电流状态。所以需要增加启动电路确保电路正常工作。本电路启动电路工作原理是:当 V_{DD}上电到一定电压时,由于 MPS1 管的源端
接 V_{SS}, MPS1 管开启,将 MPS1 管漏端拉高,其漏端直接连到 MNS2~MNS4 管的漏端,从而使 MNS2~MNS4 管开启, MNS2~MNS4 管的源端都被拉低,与上述三管相接的 MP3~MP16 管的栅端都被拉低,从而开启了整个电路,开启的 MN6 端的栅电压连接到 MNS1 管的栅端,从而使 MNS1 管开启,从而使 MNS1 漏端电压拉低,该点电压小于 MNS2~MNS4 管的阈值电压,关断 MNS2~MNS4,从而完成整个启动过程。另外需要注意的是,启动电路是为了进入正常工作状态 而设计的电路,本身对电路功能没有影响,这就要求电路完成启动后,启动电路 关闭,不产生静态功耗。为此, MPS1 取为倒比管,产生极大电阻,从而使启动 电路 MPS1 和 MNS1 的通路只有极小可忽略静态电流。

误差放大器已在图 2-17 标明,由 MP1~MP10 管和 MN1~MN6 管组成。运放是传统的二级运放,考虑嵌位输入的双极型晶体管输入电压大约在 0.7~0.9V,采用 PMOS 管输入。正如前面电源抑制分析, MN4、MP7 和 MP8 二极管连接的负载共源级来提高。

带隙基准核心电路由 MP11~MP18 管、Q1~Q3 管、电阻 R1~R3 组成。该部分实现两个功能,一个是产生输出参考电压,另一个产生输出 PTAT 电流。节 点 1 和 2 是运放的嵌位点,两点电压相等,Q1 与 Q2 的 V_{EB} 差值在 *R*₁ 上产生 PTAT 电流,采用共源共栅结构使其精确复制 PTAT 电流,并经 *R*₂产生 PTAT 电压,与 Q3 管的 V_{EB} 求和得到最终的输出参考电压。Q2 管的个数 *N* 采用三位数 字信号 ABC 控制,产生 7 个控制信号,一共可以产生 8 个值,范围从 109~186,步长为 11。*R*₃ 和 *C*₂ 组成一阶 *RC* 滤波器,可改善输出噪声和电源抑制的高频性能,起到降低噪声和增大电源抑制的效果,*RC*时间常数是越大,效果越好。不过此电路需要消耗大量面积,所以在满足系统需要的前提下,尽量选择小的 *RC* 时间常数。

2.4 电路在系统中的考虑

整个芯片的供电方案如图 2-18 所示。根据不同电路类型的特点,设计了三种低压差线性稳压器,分别是适用于数字电路频繁切换特点的低压差线性稳压器,考虑射频和模拟模块低噪声要求的低压差线性稳压器,和专门为压控振荡器设计的低压差线性稳压器。供电方案中1.8 V的带隙基准电压源的电源电压是由3.3 V的带隙基准电压源和模拟的低压差线性稳压器产生的1.8 V电压,采用这种方法的好处就是可以大幅度减小电源抑制。设 A_{dd1}为 V_{DD}(PAD)到1.8 V电压输出的增益,A_{dd2}为1.8 V电压输出到 V_{REF2}的增益,则在 V_{REF2}处的 *PSR* 为:

$$PSR = A_{dd1}A_{dd2} \tag{2.40}$$

如果将 1.8 V 电压输出处直接接片外电源,在 VREF2 处的 PSR 为:

$$PSR = A_{dd2} \tag{2.41}$$

从上述结果可以,采用这样的结构大大提高电源抑制。这也是使用两个带隙基准 电压源的好处,但无疑这增加面积和成本。另外,大幅度减小电源抑制的效果, 对于专用于压控振荡器的低压差线性稳压器和电压电流转换电路也是一样的。



图 2-18 系统供电方案框图

2.5 仿真结果

本文设计的带隙基准电压源共有两个,一个工作的电源电压范围为 2.1~3.3 V,电源电压在这个范围内本节都是指这个带隙基准电压源,另一个工作的电源 电压为 1.8 V,电压电源为 1.8 V 都是指这个带隙基准电压源。本文采用的工艺 是 TSMC 0.18 µm 1P5M。仿真的结果包括前仿和后仿。采用的 abc 码为 100。 2.5.1 直流特性

直流特性包括电路的静态功耗、温度系数和线性调整率。表 2-1 和表 2-2 给出了两个带隙基准电压源的直流特性。其中表 2-1 给出的是电源电压为 2.1 V 时,3.3 V带隙基准电压源的前后仿特性。在表达功耗时,采用的是总的静态电 流。其在整个电源电压范围内变化不大,随着电源电压升高,总功耗增加。图 2-19 给出了 3.3 V带隙基准电压源在整个电压工作范围内的输出温度曲线前仿结果, 其温度范围为-45℃~125℃,从该图可以看出,整个电压工作范围,各曲线基本 相同。因此,下面采用电源电压 2.1 V时的仿真结果。图 2-20 给出了 3.3 V带 隙基准电压源在电源电压为 2.1 V时的前后仿结果。后仿比前仿整体上上升约 2 mV。图 2-21 给出了 1.8 V带隙基准电压源的前后仿结果,后仿比前仿上升了 3 mV。另外一个值得关注的问题由图 2-22 和图 2-23 给出,两个带隙基准电压源 在不同的工艺角下,输出参考电压的变化范围很广,达到十几个 mV。图 2-24 和图 2-25 给出了器件失配和工艺波动对输出参考电压的影响,3.3 V 带隙源在 一个 sigma 内的波动为 2.4 mV,1.8 V 带隙源在一个 sigma 内的波动为 2.9 mV。 图 2-26 给出了 3.3 V 带隙基准电压源的在整个电源电压工作范围内的线性调整 率,可以看出当电源电压降到 2.0 V 附近时,输出参考电压快速下降。由于 1.8 V 带隙基准源的电源电压来自稳压电路(见 2.4 节),所以波动很小,在此不考虑线 性调整率。

表 2-1 3.3V 带隙基准电压源的直流特性

	V _{REF} @27°C(V)	TC(ppm/°C)	Power(µA)
Pre-Simulation	1.243	15.74	230
Post-Simulation	1.245	15.48	230

表 2-2 1.8V 带隙基准电压源的直流特性

	V _{REF} @27°C(V)	TC(ppm/°C)	Power(µA)
Pre-Simulation	1.243	14.7	232
Post-Simulation	1.246	14.79	232

⁻ vbg (vdd=2.10e+00) - vbg (vdd=2.20e+00) - vbg (vdd=2.30e+00) - vbg (vdd=2.40e+00) - vbg (vdd=2.50e+00) - vbg (vdd=2.60e+00) - vbg (vdd=2.70e+00) - vbg (vdd=2.80e+00) - vbg (vdd=2.90e+00) - vbg (vdd=3.00e+00) - vbg (vdd=3.10e+00) - vbg (vdd=3.20e+00)



图 2-19 3.3 V 带隙基准电压源的温度曲线(前仿)







图 2-21 1.8 V 带隙基准电压源输出温度曲线(前后仿)







图 2-23 1.8 V 带隙基准电压源温度曲线与工艺角的关系(前仿)







图 2-25 1.8 V 带隙基准电压源输出参考电压的蒙特卡罗仿真(前仿)



图 2-26 3.3 V 带隙基准电压源输出参考电压的线性调整率(后仿) 2.5.2 环路特性

环路特性指的是带隙基准电压源电路的稳定性。表 2-3 和表 2-4 给出了两 个带隙基准电压源的环路特性,其前后仿特性保持的很好。 图 2-27 和图 2-28 分别是 3.3 V和 1.8 V带隙基准源的环路特性。由于在各电源电压下, 3.3 V带 隙基准电压源环路特性相似,故只选择 2.1 V 电压的仿真结果。图 2-29 和图 2-30 给出工艺角变化对环路特性的影响,从图可见,环路特性变化不大。图 2-31 给出 3.3 V带隙基准电压源随电源电压变化的 PM 特性,从图可见电路十分稳定。

	LoopGain(dB)	PM(deg)	UGB(MHz)	GM(dB)
Pre-Simulation	60.24	49.65	1.504	17.63
Post-Simulation	60.17	49.92	1.477	17.5

表 2-3 3.3V 带隙基准电压源的环路特性

表 2-4 1.8V 带隙基准电压源的环路特性

	LoopGain(dB)	PM(deg)	UGB(MHz)	GM(dB)
Pre-Simulation	51.44	48.88	1.335	25.76
Post-Simulation	51.41	49.06	1.32	24.95



图 2-27 电源电压为 2.1 V 时环路交流特性(后仿)



图 2-28 1.8 V 带隙基准电压源环路交流特性(后仿)



图 2-29 电源电压为 2.1 V 时环路交流特性与工艺角的关系(后仿)



图 2-30 1.8 V 带隙基准电压源环路交流特性与工艺角的关系(后仿)



图 2-31 相位裕度随电源电压的变化(后仿)

2.5.3 电源抑制

表 2-5 和表 2-6 给出两个带隙基准电压源的电源抑制特性,表中的数据指的是未经 RC 滤波的输出参考电压的电源抑制特性。由于随着电源电压的升高,电源抑制特性变好,表 2-5 给出的是电源电压为 2.1 V 时的电源抑制特性。图 2-32 和图 2-33 给出了电源电压变化对电源抑制特性影响。图 2-34 和图 2-35 给出了工艺角对电源抑制特性的影响。从上几图来看,电源电压和工艺角对电源抑制的影响很大。注意上几图中的两簇曲线,上扬的一簇代表的是未经 RC 滤波,另一簇代表的是经过 RC 滤波的。

表 2-5 3.3V 带隙基准电压源电源抑制特性

	PSR@DC (dB)	PSR@10kHz (dB)	PSR@100kHz (dB)	PSR@1MHz (dB)
Pre-Simulation	- 79.8	- 72.3	- 55.2	- 34.0
Post-Simulation	- 79.0	- 74.0	- 55.3	- 33.5

表 2-6 1.8V 带隙基准电压源电源抑制特性

	PSR@DC (dB)	PSR@10kHz (dB)	PSR@100kHz (dB)	PSR@1MHz (dB)
Pre-Simulation	- 60.8	- 61.1	- 55.9	- 34.8
Post-Simulation	- 60	- 60	- 55.3	- 33.9



图 2-32 电源抑制与电源电压的关系(后仿)



图 2-33 1.8 V 带隙基准电压源电源抑制特性(后仿)





图 2-35 1.8 V 带隙基准电压源电源抑制与工艺角的关系(后仿)

2.5.4 输出噪声

C="typ";output_noise

由于带隙基准电压源没有直接的输入,所以对于噪声的衡量采用输出参考电压的噪声,根据本电路的用途,取其在 100 Hz 到 100 kHz 的积分噪声来衡量。表 2-7 和表 2-8 给出了两个设计的输出噪声,3.3 V 的采用的电源电压为2.1 V。图 2-38 显示输出噪声与电源电压的关系很弱。图 2-39 则是 1.8 V 带隙基准电压源的输出噪声。图 2-36 和图 2-37 显示的输出噪声与工艺角的关系,fast_best工艺角得出的噪声最低, slow worst工艺角得到的噪声最高。

表 2-7 3.3V 带隙基准电压源输出噪声特性

	Integrated Noise (100 Hz to 100 kHz, μV_{rms})		
Pre-Simulation	16.87		
Post-Simulation	16.93		

表 2-8 1.8V 带隙基准电压源输出噪声特性

	Integrated Noise (100 Hz to 100 kHz, μV_{rms})		
Pre-Simulation	14.57		
Post-Simulation	14.7		

- C="fast_best";output_noise



图 2-36 电源电压为 2.1 V 时输出噪声与工艺角关系(后仿)



图 2-38 输出噪声与电源电压的关系(后仿)



图 2-39 1.8 V 带隙基准电压源的输出噪声(后仿)

2.5.5 启动时间

图 2-41 和图 2-40 显示启动时间与工艺角关系密切。图 2-41 表示的其最 大启动时间为 60 µs,最小为 15 µs。图 2-40 表示的最大启动时间为 360 µs, 最小启动时间为 260 µs。



图 2-40 1.8 V 带隙基准电压源启动时间与工艺角的关系(后仿)



图 2-41 电源电压为 2.1 V 时启动时间与工艺角的关系(后仿)

2.6本章小结

本章共设计了两个带隙基准基准源,满足在整个系统的考虑。鉴于射频接收 机对噪声和电源抑制的要求,电路在传统结构的基础上,采用提高双极型晶体管 的方法的来达到温度系数和输出噪声的折中,另外,由于电阻的噪声会给电路带 来很大影响,所以减小电阻阻值的同时,会造成电路整体功耗的快速上升。另外, 由于目前使用的工艺是 0.18 µm,所以由于器件失配带来的误差相对还较大,这 在以后的电路设计,必须重点关注。对于提高电路的电源抑制,其实有很多方法, 在系统芯片中,采用系统的解决方法往往是很好的方法,所以就带隙基准电压源 本身来说,不需要太多关注,即使得到了很好的值,在版图设计时,由于寄生的 存在也很难达到,所以在进一步的设计中需要关注。最后将电路的整体性能指标 列在表 2-9 中。

	Bandgap(1.8 V)	Bandgap(3.3 V)	
Supply Voltage(V)	1.8	2.1~3.3	
Temperature Range(°C)	-45~125		
V _{REF} @27℃(V)	1.246	1.245	
TC(ppm/°C)	14.79	15.48	
PSR@DC(dB)	<-79.0	-60	
Output Integrated Noise(μV_{rms})	14.7	16.93	
Startup Time(µs)	<60	<360	
Power(µA)	232	230	
Technology	TSMC ().18 µm	

表 2-9 带隙基准电压源性能参数总结

第三章 电压—电流转换电路设计

3.1 前言

电路的直流偏置包括两种:电压偏置和电流偏置。电压偏置通常适用于局部 偏置,离基准电压电路较近的区域。对于离基准电压电路较远的区域的偏置,由 于需要长距离的布线,一方面长距离连线的压降,另一方面信号的串扰都会使基 准电压值变化较大。通常长距离电压偏置,采用图 3-1 方式,在发送端采用电 压缓冲器后输出,隔离长距离连线串扰对 V_{REF} 的影响,接收端采用电压缓冲器 接收,一方面可以隔离串扰,另一方面避免压降。电压偏置由基准电压源产生。 电流偏置则是对局部和全局的偏置,不存在长距离电压偏置的问题。本章将介绍 用于产生基准电流的电压—电流转换电路(Voltage to Current, V2I)。



图 3-1 长距离电压偏置

电压一电流转换电路原理图如图 3-2 所示。V_{REF} 是带隙基准电压源的输出 电压,是一个精准的电压。运放、M1 管和电阻 R 组成负反馈环路。运放两输入 端电压相等,因此有:

$$I_{\text{REF}} = \frac{V_{\text{REF}}}{R} \tag{3.1}$$

由于 V_{REF} 是精准电压,只要电阻 R 是精准的,我们就得到精准电流 I_{REF}。电阻 R 通常采用片外电阻,这样就可以精确控制阻值,达到精确电流。



图 3-2 电压一电流转换电路原理图

再通过 M1 和 M2 管组成的电流镜,将 *I*_{REF} 精确复制到 M2 管,得到参考输 出电流 *I*_{OUT}

$$I_{\rm OUT} = \frac{(W/L)_2}{(W/L)_1} I_{\rm REF}$$
(3.2)

这里忽略了 M1 和 M2 管的沟道调制效应。至此,电路完成了输出参考电压到输出参考电流的转换。

如果将图 3-2 中 M2 管去掉的话,电路呈现出来的拓扑结构是一个 LDO(Low-dropout Regulator)电路。特殊之处在于该电路是固定负载阻抗和负载 电流的电路,因此比低压差线性稳压器电路简单许多。因此,分析低压差线性稳 压器电路的方法可用于电压一电流转换电路的分析。

3.2 电路结构及性能分析

电压一电流转换电路的性能主要看一下三个方面:(1)精确电阻 R 值。惯常的做法是采用片外电阻,但如果能将电阻集成到片内,不仅增加了集成度,也会降低成本。由于 CMOS 工艺造成的阻值不确定性,需要增加校正电路来校正阻值。(2)电路的电源抑制。(3)电流的精确复制。如果 *I*_{OUT} 不能精确复制 *I*_{REF},那么再精准的 *I*_{REF} 也将没有意义。下面将就这三方面内容进行讨论。

3.2.1 电路结构



图 3-3 电压一电流转换电路结构图

本文设计的电压一电流转换电路结构如图 3-3 所示。电阻 R 采用片内集成, 采用 6 比特数字信号控制。电流复制采用低压共源共栅电流镜。

数字控制电阻阵列如图 3-4 所示。Rctrl<0>~Rctrl<5>是 6 比特数字控制信

号,其最低有效位为 Rctrl<0>,其控制的电阻调制范围为 8*R*/10~191*R*/160,最 小步长为 *R*/160。电阻阻值变化涵盖范围±20%,这个误差范围是根据工艺厂商 提供的电阻误差参数设定的。对于落在这个范围内的阻值,产生的阻值误差小于 最小步长 *R*/160,经计算得到的输出参考电流误差的不超过 7.8‰。



图 3-4 数字控制电阻阵列

数字控制信号 Rctrl<0>~Rctrl<5>是通过 Tuning 电路来得到的。Tuning 电路并不是电压—电流转换电路的一部分,但它对实现片内集成电阻,具有重要意义,所以在这里介绍一下 Tuning 电路的基本原理。图 3-5 给出了 Tuning 电路的原理图。其中 *C*_{ext}为片外电容。电路以 *I*_{REF} 给电容 *C*_{ext}充电,直至达到电压 *V*_{REF},比较器输出变化,从而 AFT(Auto Frequency Tuning)电路记录下电容的充电时间 *T*,根据电路结构,我们得到 *T* 的表达式为:

$$T = RC_{\text{ext}} \tag{3.3}$$

设R'为标称电阻值,T'为标称电阻时充电时间,因此可以得到:

$$\frac{T}{T} = \frac{R}{R}$$
(3.4)

AFT 利用公式(3.4)的关系,最终得到电压一电流转换电路的电阻校正码。



图 3-5 Tuning 电路原理图

低压共源共栅电流镜是保证能够提供精确电流的重要一环。对于工作在饱和 区的 NMOS 管的漏电流 *I*_D公式为:

$$I_{\rm D} = \frac{1}{2} \mu_{\rm n} C_{\rm ox} \frac{W}{L} (V_{\rm GS} - V_{\rm TH})^2 (1 + \lambda V_{\rm DS})$$
(3.5)

从上式看,在考虑沟道调制效应后,还需要保证两个电流镜管的 V_{DS}相等才能精确复制电流。普通的电流镜结构,只能保证两个 MOS 管的 G、S 和 B 端相同。 图 3-6 给出本文使用的低压共源共栅结构。该种结构在 M1 和 M2 管上加了 Cascode 管 M3 和 M4。设计尺寸时,确保 M1 管的漏源电压 V_{DS1}等于 M2 管的 漏源电压 V_{DS2},从而使 M1 和 M2 管四端口电压都相等,保证电压。同时确保所 有管子都工作在饱和区的节点 1 电压只需要两个过驱动电压。从节点 1 看进去的 输出阻抗大约为 g_{m4}r_{ds4}r_{ds2}。节点 1 电压的变化对节点 2 电压影响很小,共源共 栅管 M4 管对节点 2 的电压起到很好的屏蔽作用,从而确保了电流的精确复制。



图 3-6 低压共源共栅电流镜

3.2.2 电源抑制分析



图 3-7 计算电源抑制的 V2I 电路图

为了得到稳定的电流, V_r的稳定性很重要。因此,我们对 V_r的对电源的稳定性进行分析。根据参考文献[30]介绍的方法,根据图 3-7 的拓扑结构,得到 *PSR* 为:

$$PSR = \frac{V_{\rm r}}{V_{\rm dd}} = \frac{A_2 A_{\rm p1} + A_{\rm p2}}{1 - A_1 A_2} \approx -\frac{A_2 A_{\rm p1} + A_{\rm p2}}{A_1 A_2}$$
(3.6)

式中 A₁ 是虚线左边运放的增益, A_{p1} 是虚线左边运放的电源抑制, A₂ 是虚线右边运放的增益, A_{p2} 是虚线右边运放的电源抑制。

为了进一步得到电源抑制的详细表达式,对上式中的各个量进行计算。图 3-8 给出了电压一电流转换电路核心模块的整体电路图,虚线左边是图 3-7 中的 运放 *A*₁。对于 *A*₁和 *A*₂,由于是典型的模块,所以可以很容易得到:

$$A_{1} = g_{m1}(r_{ds1} || g_{m6}r_{ds3}r_{ds6}) \approx g_{m1}r_{ds1}$$
(3.7)

$$A_{2} = -g_{m1}(R || g_{m8}r_{ds5}r_{ds8}) \approx -g_{m1}R$$
(3.8)

A_{p2}为:

$$A_{p2} = \frac{(g_{m1} + g_{ds1})(g_{m2} + g_{ds2})R}{g_{m2} + g_{ds1} + g_{ds2} + g_{ds1}g_{ds2}R} \approx (g_{m1} + g_{ds1})R$$
(3.9)

然而,对于 A_{p1} 就没有那么容易得到。图 3-9 给出了计算 A_{p1} 的小信号图,该图 中差分对的两条支路完全对称,所以电压 v_A和电压 v₁ 完全相等。由此,可以计 算得出:

$$A_{p1} = \frac{g_{m3}g_{m6} + g_{m6}g_{ds3} + g_{m3}g_{ds6} + g_{ds3}g_{ds6}}{g_{m3}g_{m6} + g_{m6}g_{ds1} + g_{m3}g_{ds6} + g_{ds1}g_{ds3} + g_{ds1}g_{ds6} + g_{ds3}g_{ds6}}$$
(3.10)



图 3-8 V2I 电路主体部分电路图



图 3-9 计算运放电源抑制的电路图

将上述公式都带入(3.6)中,得:

$$PSR \approx \frac{g_{ds1}(g_{ds3} + g_{ds6})}{g_{m1}r_{ds1}g_{m3}g_{m6}} + \frac{1}{(g_{m1}r_{ds1})^2} - \frac{(g_{ds3} - g_{ds1})}{g_{m1}r_{ds1}g_{m3}}$$
(3.11)

从上式可以看出 PSR 的直流值大概为晶体管两个本征增益积到三个本征增益积, 具体的值取决于 M1、M3 和 M6 管的具体取值。重要的是 M1 和 M3 管的取值。

最后,给出一个对于本电路电源抑制的直观的理解:有源负载差分对的输出 几乎跟随者电源变化,当其和电源共同作用于第二级的输出管,几乎相互抵消, 从而产生了极大的电源抑制。

3.3 电路实现



图 3-10 V2I 电路图

图 3-10 为电压一电流电路完整电路图。电路共有三部分组成: 偏置电路、 V2I 核心电路和电流输出级。M14~M17 组成偏置电路。M3~M7 管、M13 管、 电容 C₁和数字控制电阻 R 组成电压一电流转换核心电路。该部分的运放为两级 运放,采用 Cascode 密勒补偿,这种补偿方式有助于提高高频时 V2I 电路的电 源抑制性能。电阻 R 采用的是片内电阻,提高了集成度,为了弥补片内电阻制 作上带来的误差,采用 6 比特数字信号控制,其控制信号由 Tuning 电路产生。 最后电流输出级采用低压共源共栅电流镜结构,其偏置由 M16 和 M17 管产生, 达到精确复制电流的效果。

3.4 仿真结果

电压电流参考电路的性能参数包括输出参考电流 *I*_{ref}和电路 *V*_r点的电源抑制 特性。本电路的仿真采用的是 TSMC 0.18 μm 的工艺。由于电路采用的是片内 电阻,在不同的工艺角下,电阻阻值变化很大。本电路设计的输出参考电流值为 10 μA。仿真采用是直接的外接输出参考电压源 1.243 V,数字控制信号 Rctrl 为 100000。表 3-1 给出电路性能参数随工艺角变化的情况,由工艺角引起的误 差电流需要通过 Tuning 电路的纠正来消除。图 3-12 给出了 6 比特数字控制信 号 Rctrl 在 typ 工艺角下可调控的电流范围: 8.38~12.5 μA。图 3-11 给出了不同 工艺角下, *V*_r点的电源抑制的特性,可见工艺角对低频时 *PSR* 值的影响很大, 其中 slow_worst 工艺角最差, slow_fast 工艺角最好。

	typ	fast_best	slow_worst	fast_slow	slow_fast
l _{ref} (μA)	9.992	11.58	8.814	10.02	9.984
PSR@DC(d	-95.3	-77.6	-67.7	-84	-98.4

表 3-1 电压电流转换电路性能参数与工艺角的关系

C="typ";V/V /V0; xf dB20(V/V)
 C="fast_best";V/V /V0; xf dB20(V/V)
 C="slow_worst";V/V /V0; xf dB20(V/V)
 C="slow_fast";V/V /V0; xf dB20(V/V)







图 3-12 数字控制信号 Rctrl 与输出参考电流的关系

第四章 温度检测电路设计

4.1 前言

随着晶体管的特征尺寸不断减小,芯片的规模不断增大,芯片的散热已成为 影响芯片性能的重要因素。有研究表明,芯片温度平均每升高1℃,MOS管的 驱动能力将下降约4%,连线延迟增加5%,集成电路失效率增加一倍[1]。因此, 对芯片内部温度的及时检测也变的很重要。对于有些射频接收机芯片,通常会集 成温度检测电路,通过一定的算法来控制芯片的温度,从而提高芯片的性能。

本文就为射频接收机芯片设计了一个温度检测电路。本电路应属于模拟集成 温度传感器。下面对温度传感器进行一些总体性介绍。

1821年,德国物理学家赛贝发明热电偶传感器,第一次把温度变成电信号。 自此以来,发展出来种类繁多的温度传感器类型。大致可分为非接触式和接触式 两大类[32]。接触式是通过与被测物体的直接接触来测量物体的温度,常见的有 热电偶、热敏电阻、铂热电阻、双金属片、光纤、半导体、磁性等温度传感器。 非接触式是通过监测物体热辐射发出的红外线或光来测量物体的温度,常见的有 量子转换型和热红外线型。

温度传感器的发展大致可以分为三个阶段。第一阶段是传统的分立式温度传 感器时代,以热电偶传感器为代表。至今,热电偶传感器仍是工业测量中应用最 广泛的一种温度传感器,它与被测对象直接接触,精确度较高,测量范围广 (-270 ℃~2300 ℃),但需校正,有效寿命短。第二阶段是模拟集成温度传感器 时代。其在 20 世纪 80 年代问世的,它是将温度传感器集成在一个芯片上、可 完成温度测量及模拟信号输出功能的专用 IC。测温误差小、价格低、体积小、 微功耗等,适合远距离测温、控测,但其测量温度范围较窄。第三阶段是智能温 度传感器时代。其兴起于 20 世纪 90 年代中期,其内部都包含温度传感器、AD 转换器、信号处理器、存储器(或寄存器)和接口电路,能输出温度数据及相关的 温度控制量,适配各种微控制器;并通过软件来实现测试功能的。

温度传感器目前的发展方向可以归结为以下几个方面: (1)扩展测温范围, 以适应对超高温、超低温的测量要求; (2)提高测量精度; (3)扩大测温对象,由 点测量发展到线、面测量,适用于生活中的各种应用; (4)发展新产品,满足特 殊需要,如防硫、防爆、耐磨的热电偶,钢水连续测温,火焰温度测量等; (5) 检测自动化。

根据上面介绍,温度传感器不仅用途广泛,而且种类繁多。但对于半导体技 术来说,主要就是利用 PN 结和热敏电阻的温度特性来设计温度传感器,具有小 体积、低成本和精度较高等优点,主要缺点就是测温范围较窄。这类温度传感器 实现的重要实现方式是利用双极型晶体管集电极电流与基极一发射极电压的指 数关系,通过一定的方式产生 PTAT 电压。同理,自从发现 MOS 晶体管在弱反 型区的饱和漏电流随电压呈指数关系的特性,亦可利用相似的方法来设计温度传 感器[33]。其性能主要受到高温下的漏电流和阈值电压容差的限制。此外,还有 基于环形振荡器的 CMOS 温度传感器,其主要原理是利用受温度影响的电阻决 定振荡器的充放电电流,进而得到与温度近似成线性关系的振荡频率[34]。

虽然本文设计的仅是温度传感器中的温度检测电路,但本节最后介绍一下集成温度传感器的主要性能参数。主要性能参数有: (1)测量精度:输出数据的准确位数; (2)分辨率:最小可测量温度值; (3)精度:输出值与实际温度值接近程度; (4)线性度:测量温度范围内,与温度的线性关系; (5)空间分辨率:温度传感器产生响应的周围的芯片面积大小; (6)噪声抑制能力; (7)长期稳定性; (8)绝对校正; (9)功耗; (10)成本。

4.2 电路分析及实现

4.2.1 电路分析



图 4-1 集成温度传感器原理图



图 4-2 温度检测电路结构图

集成温度传感器原理图如图 4-1 所示,包括3个部分:温度检测模块T、参

考电压模块 Ref 和模数转换模块 A/D。温度检测模块用于产生与温度成线性关系的输出电压。参考电压模块产生基准电压用于模数转换器和进行比较。模数转换器将得到的模拟电压转换成数字信号。本章介绍的温度检测电路即为图 4-1 的 T 模块, Ref 模块已在第二章设计完成,相对于完整的温度传感器电路,缺少一个模数转换器模块。

下面具体介绍温度检测模块的设计。图 4-2 给出了本文设计的温度检测电路的结构图。图中 *I*_{PTAT} 为与绝对温度成正比的电流源,其由第二章中的带隙基准基准电压源产生。温度检测基本原理就是:将 *I*_{PTAT} 电流经过运算电路转化为 *V*_{TS},该电压为与绝对温度成正比的电压,并且要使得在检测温度范围内的 *V*_{TS} 电压范围落在模数转换器的采样范围。根据图 4-2 的拓扑结构,能得到 *V*_{TS} 的表达式为:

$$V_{\rm TS} = \left[1 + \frac{R_1}{R_0} - \frac{R_1(R_0 || R_3 || R_4)}{R_0^2}\right] I_{\rm PTAT} R_2 - \frac{R_1(R_3 || R_4)}{R_0 R_4} V_{\rm REF}$$
(4.1)

上式中包含一复杂项*R*₁(*R*₀ || *R*₃ || *R*₄)/*R*₀²,通常情况下*R*₀ >> *R*₃ || *R*₄,因此,可以得到下式:

$$V_{\rm TS} = (1 + \frac{R_1}{R_0})I_{\rm PTAT}R_2 - \frac{R_1(R_3 || R_4)}{R_0 R_4}V_{\rm REF}$$
(4.2)

通过合理设置 R₀~ R₄值,可以使 V_{TS} 在温度测量范围落在 ADC 的检测范围内。 对于温度检测电路的设计,需要注意以下方面:

- a) 由于在整个温度范围内,电压的变化很大,所以要求运放 A₂ 的输入共模范围要很大。
- b) 由于运放的增益是有限的,所以运放的输入端存在增益误差,这个误差 会直接代入到最后的结果中,所以运放 A₂的设计需要提高增益。
- c) 运放的随机失配会直接进入最后的结果,需要采用减少失配的运放结构。 由于本文设计的温度检测电路要求不高,所以不考虑。
- d) 图 4-2 中虚线以右的结构,由于电阻 R₀和 R₁的连接方式会产生负载 效应,降低运放的增益,所以 R₀和 R₁的取值必须要大,保证运放的增 益变化较小,减小误差。

4.2.2 电路实现

电路总体结构图已在图 4-2 中给出了,对于里面具体模块的实现下面给出:

图 4-3 给出了图 4-2 虚线以左的电路的具体电路图。由于带隙基准电压源 输出的电压 V_{REF} 大约为 1.2 V 左右,太高,所以本电路通过电阻 R₃和 R₄将其 分压到 0.9 V 左右。该电路是个两级 OTA,采用 RC 密勒补偿。在该种结构中, R_z 为调零电阻,用来消除运放中因电容 C_c跨接引起的右半平面的零点,或者可

55

以通过选取合理的 Rz值,得到一个左边平面的零点,来得到更好的稳定性。



图 4-4 运放 A2 的电路图

图 4-4 给出了图 4-2 虚线右边电路的运放 A₂ 的电路图,这是个轨到轨运放。 由于在整个被测温度范围内,运放 A₂ 的输入共模电压变化范围很大,所以采用 了采用轨到轨结构。M₁~M₄ 管组成了一个 PMOS 输入对和一个 NMOS 输入对。 负载采用了 Cascode 结构,提高增益。由于本文中设计的温度检测电路要求不 高,所以采用这种结构就可以。实际上这个运放结构存在很多缺点。其只有一级, 可以采用两级提高增益;第二,在整个输入共模共模电压变化范围内,两个输入 对的总跨导 G_m变化很大,从而会给输出引入很大的误差;第三,由于电流镜的 复制不可能十分精确,所以由 M₁₅~M₂₂组成的负载管级很难确定共模电压,一 般情况下,需要引入共模反馈电路。

4.3 仿真结果

温度检测电路最重要的仿真结果就是输出电压Vtemp与温度之间的线性度。

我们用K_{temp}来表示输出电压对温度的斜率 $\frac{dV_{temp}}{dT}$ 。本电路采用的是TSMC 0.18 µm工艺进行仿真。表 4-1给出了不同工艺角下,整个温度温度范围内K_{temp}的平均值,从表中数据可以看出,工艺角对电路的线性度影响不大。图 4-5给出温度检测电路的输出电压温度特性,其检测温度范围为 - 45 ℃~125 ℃,最小输出电压为472.4 mV,最大输出电压为1.361 V。图 4-6给出图 4-5的K_{temp},其最大值和最小值相差约0.3 mV/℃。图 4-7和图 4-8不同工艺角下的V_{temp}和K_{temp},再次证明了工艺角对电路的线性度影响较小,当然这是建立本电路对精度要求不高的基础上。



表 4-1 不同工艺角下温度检测电路的性能参数

图 4-5 温度检测电路的输出电压的温度特性



图 4-7 不同工艺角下输出电压的温度特性





第五章 总结与展望

5.1 总结

本文设计电路包括:带隙基准电压源、电压一电流转换电路和温度检测电路。 带隙基准电压源为电路产生基准电压,电压一电流转换电路通过将基准电压转换 为电流,温度检测电路用来对芯片温度进行监控。由于本文所设计实现的电路应 用于射频接收机,所以本文在设计的过程中,就这一特殊应用对于低噪声和高电 源抑制的特点,展开分析和设计。另外,以这些电路为主,设计相关的辅助电路。

本文设计带隙基准电压源共有两个,分别使用组合达到在系统中的应用。为 了达到低噪声,通过分析,通过增大双极型晶体管的比例,降低电阻的方法来达 到低噪声,同时在这一优化过程中,电路的功耗和面积也增大很大。通过在运放 中采用二极管连接的低增益共源级来达到将电源噪声引入的负反馈环路,达到提 高电源抑制的效果,通过 *RC* 滤波电路来进一步抑制高频的电源噪声。电压一电 流电路主要采用了片内集成电阻,通过 Tuning 电路的方式来消除工艺角变化对 电阻阻值变化的抑制,来达到精确电流。另外,由于电压一电流转换电路结构形 似低压差线性稳压器电路,通过分析电压一电流转换电路,对其电源抑制特性进 行了一定的研究。鉴于温度对芯片性能的影响,设计温度检测电路,采用带隙基 准电压源产生的 PTAT 电流,通过转换最终得到在模数转换器采样范围的 PTAT 电压,这一设计主要是以后打下研究基础。

5.2展望

本文设计的电路已经交付流片。通过整个设计过程,仍然存在不少可以改进 的地方。带隙基准电压源在实现低噪声的方法上,存在很大的缺陷,因为大大增 加了面积和功耗,因此在以后的设计中,必须采用更好的结构。另外,系统的解 决方案已可很好解决电源抑制指标,所以在设计考虑上,可以弱化。由于集成电 路的低电压和小尺寸工艺的使用,必须采用低电压结构和消除失配的更好方法, 例如在运放的选择上,可以采用斩波技术,同时这一技术对降低噪声也是很有好 处的。电压一电流转换电路的改进主要依赖于对片内集成电阻阻值变化更好的修 正。温度检测电路由于是首次进行研究,可改进的空间非常大,具体的改进方法 已在第四章中介绍了。

致谢

复旦的求学历程,转眼而已,感谢曾经帮助过我的老师和同学。

感谢我的硕士导师唐长文副教授,您严谨的治学态度和执着的敬业精神,使 我获益良多。

感谢王俊宇副教授,您在学业上的引导和生活上的关心照顾,使我在 IC 设计路上拔锚起航。

感谢唐聪、杨涛、万熊熊、黄实、卓晨飞、万明贵、宋波、张唯一、孙玉香 和董叶,忘不了与你们并肩学习、战斗和打球的日子,苦中亦做乐,是研究生生 活最精彩的一部分,获益良多。求学生活不易,孙玉香和董叶两位女生,为实验 室带来很多活力。感谢张江的王心、张艺武和万鑫,与你们的交流,使我再学术 上日见精进。

最后,尤其感谢我的家人,你们无微不至的关怀和理解是我不断向前的不竭 动力。
参考文献

- [1]. Chandrakasan A.P., Sheng S., Brodersen R.W., "Low-power CMOS digital design," *Solid-State Circuits, IEEE Journal of*, vol.27, no.4, pp.473-484, Apr 1992
- [2]. Widlar, R.J., "New developments in IC voltage regulators," Solid-State Circuits, IEEE Journal of, vol.6, no.1, pp. 2-7, Feb 1971
- [3]. Kuijk, K.E., "A precision reference voltage source," *Solid-State Circuits, IEEE Journal of*, vol.8, no.3, pp.222-226, June 1973
- [4]. Brokaw, A.P., "A simple three-terminal IC bandgap reference," *Solid-State Circuits, IEEE Journal of*, vol.9, no.6, pp.388-393, Dec. 1974
- [5]. Banba H., Shiga H., Umezawa A., Miyaba T., Tanzawa T., Atsumi S., Sakui K., "A CMOS bandgap reference circuit with sub-1-V operation," *Solid-State Circuits, IEEE Journal of*, vol.34, no.5, pp.670-674, May 1999
- [6]. Wen-rui Zhu, Hai-gang Yang, Tong-qiang Gao, "A novel low voltage Subtracting BandGap Reference with temperature coefficient of 2.2 ppm/°C," *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on*, vol., no., pp.2281-2284, 15-18 May 2011
- [7]. Hongchin Lin, Chao-Jui Liang, "A sub-1V bandgap reference circuit using subthreshold current," *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol., no., pp. 4253- 4256 Vol. 5, 23-26 May 2005
- [8]. Serra-Graells F., Huertas J.L., "Sub-1-V CMOS proportional-to-absolute temperature references," *Solid-State Circuits, IEEE Journal of*, vol.38, no.1, pp. 84- 88, Jan 2003
- [9]. Ka Nang Leung, Mok, P.K.T., "A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device," *Solid-State Circuits, IEEE Journal of*, vol.37, no.4, pp.526-530, Apr 2002
- [10]. Inyeol Lee, Gyudong Kim, Wonchan Kim, "Exponential curvature-compensated BiCMOS bandgap references," Solid-State Circuits, IEEE Journal of, vol.29, no.11, pp.1396-1403, Nov 1994
- [11]. Malcovati P., Maloberti F., Fiocchi C., Pruzzi M., "Curvature-compensated BiCMOS bandgap with 1-V supply voltage," *Solid-State Circuits, IEEE Journal of*, vol.36, no.7, pp.1076-1081, Jul 2001
- [12]. Andreou C.M., Koudounas S., Georgiou J., "A Novel Wide-Temperature-Range, 3.9 ppm/°C CMOS Bandgap Reference Circuit," *Solid-State Circuits, IEEE Journal of*, vol.47, no.2, pp.574-581, Feb. 2012
- [13]. Ka Nang Leung, Mok P.K.T., Chi Yat Leung, "A 2-V 23-µA 5.3-ppm/°C

curvature-compensated CMOS bandgap voltage reference," *Solid-State Circuits, IEEE Journal of*, vol.38, no.3, pp. 561- 564, Mar 2003

- [14]. Le Jin, Hanqing Xing, Degang Chen, Geiger R., "A self-calibrated bandgap voltage reference with 0.5 ppm//spl deg/C temperature coefficient," *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, vol., no., pp.4 pp.-2856, 21-24 May 2006
- [15]. Behzad Razavi 著,陈贵灿等译,模拟 CMOS 集成电路设计 西安:西安交 通大学出版社,2003: 324~327
- [16]. Khong-Meng Tham, Nagaraj K., "A low supply voltage high PSRR voltage reference in CMOS process," *Solid-State Circuits, IEEE Journal of*, vol.30, no.5, pp.586-590, May 1995
- [17]. Mehrmanesh S., Vahidfar M.B., Aslanzadeh, H.A.; Atarodi, M.; , "A 1-volt, high PSRR, CMOS bandgap voltage reference," *Circuits and Systems,* 2003. ISCAS '03. Proceedings of the 2003 International Symposium on , vol.1, no., pp. I-381- I-384 vol.1, 25-28 May 2003
- [18]. Xiaozhi Kang, Zhangwen Tang, "A novel high PSRR bandgap over a wide frequency range," Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on , vol., no., pp.418-420, 1-4 Nov. 2010
- [19]. Siew Kuok Hoon, Jun Chen, Maloberti F., "An improved bandgap reference with high power supply rejection," *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol.5, no., pp. V-833-V-836 vol.5, 2002
- [20]. Nicollini G., Senderowicz D., "A CMOS bandgap reference for differential signal processing," *Solid-State Circuits, IEEE Journal of*, vol.26, no.1, pp.41-50, Jan 1991
- [21]. Yueming Jiang, Lee E.K.F., "A low voltage low 1/f noise CMOS bandgap reference," *Circuits and Systems*, 2005. ISCAS 2005. IEEE International Symposium on , vol., no., pp. 3877- 3880 Vol. 4, 23-26 May 2005
- [22]. Sanborn K., Dongsheng Ma, Ivanov V., "A Sub-1-V Low-Noise Bandgap Voltage Reference," *Solid-State Circuits, IEEE Journal of*, vol.42, no.11, pp.2466-2481, Nov. 2007
- [23]. Annema A.-J., "Low-power bandgap references featuring DTMOSTs," *Solid-State Circuits, IEEE Journal of*, vol.34, no.7, pp.949-955, Jul 1999
- [24]. Hongchin Lin, Chao-Jui Liang, "A sub-1V bandgap reference circuit using subthreshold current," *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol., no., pp. 4253- 4256 Vol. 5, 23-26 May 2005
- [25]. Dehghani R., Atarodi S.M., "A new low voltage precision CMOS current

reference with no external components," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol.50, no.12, pp. 928-932, Dec. 2003

- [26]. Yueming Jiang, Lee E.K.F., "Design of low-voltage bandgap reference using transimpedance amplifier," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol.47, no.6, pp.552-555, Jun 2000
- [27]. Camacho-Galeano E.M., Galup-Montoro C., Schneider M.C., "A 2-nW 1.1-V self-biased current reference in CMOS technology," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol.52, no.2, pp. 61- 65, Feb. 2005
- [28]. Ahuja B.K., Hoa Vu, Laber C.A., Owen W.H., "A very high precision 500-nA CMOS floating-gate analog voltage reference," *Solid-State Circuits, IEEE Journal of*, vol.40, no.12, pp. 2364- 2372, Dec. 2005
- [29]. Behzad Razavi 著,陈贵灿等译,模拟 CMOS 集成电路设计 西安:西安交 通大学出版社,2003:313
- [30]. Steyaert, M.S.J., Sansen W.M.C., "Power supply rejection ratio in operational transconductance amplifiers," *Circuits and Systems, IEEE Transactions on*, vol.37, no.9, pp.1077-1084, Sep 1990
- [31]. Behzad Razavi 著,陈贵灿等译,模拟 CMOS 集成电路设计 西安:西安交 通大学出版社,2003: 376~388
- [32]. 沙占友,智能化集成温度传感器的原理和应用 北京:机械工业出版社,2002
- [33]. Syal, A.; Lee, V.; Andre, I.; Altet, J.; , "CMOS differential and absolute thermal sensors," On-Line Testing Workshop, 2001. Proceedings. Seventh International, vol., no., pp.127-132, 2001
- [34]. Bota, S.A.; Rosales, M.; Rossello, J.L.; Segura, J.; , "Smart temperature sensor for thermal testing of cell-based ICs," *Design, Automation and Test in Europe, 2005. Proceedings*, vol., no., pp. 464- 465 Vol. 1, 7-11 March 2005

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除 了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的 研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明 并表示了谢意。

作者签名:_____ 日期:_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留 送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内 容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此 规定。

作者签名: ______ 导师签名: _____ 日期: _____