

学校代码： 10246

学 号： 06300720401

復旦大學

学 士 学 位 论 文

静电放电保护电路的分析与设计

院 系： 微电子学系

专 业： 微电子学与固体电子学

姓 名： 张唯一

指 导 教 师： 唐长文 副教授

完 成 日 期： 2010 年 6 月 22 日

目录

摘要	1
Abstract	2
第一章 概述	3
1.1 研究动机	3
1.2 研究内容及贡献	3
1.3 论文组织结构	4
第二章 静电放电的基本概念	5
2.1 静电放电的模式	5
2.2 静电放电的测试	6
2.2.1 静电放电的测试组合	6
2.2.2 静电放电的故障判定	6
2.3 静电保护电路的基本架构	7
第三章 静电放电保护电路的设计	11
3.1 I/O保护电路	11
3.1.1 栅极接地NMOS	12
3.1.2 栅极耦合NMOS	13
3.1.3 硅控整流器	14
3.1.4 互补式I/O保护电路	16
3.1.5 噪声	18
3.2 电源钳位电路	19
3.2.1 RC触发MOSFET ESD电源钳位	19
3.2.2 简化的RC触发MOSFET ESD电源钳位	21
第四章 系统的静电放电保护	23
4.1 电路设计	23
4.2 正常工作时的仿真结果	23
4.3 ESD时的仿真结果	25
第五章 总结与展望	35
5.1 总结	35
5.2 未来展望	35
参考文献	36
致谢	37

摘要

随着集成电路工艺的发展，对静电放电保护的要求越来越高。本文的主要目的，就是要设计一个能覆盖整个芯片的 ESD 保护网络，然后以此为目标展开理论探讨和电路实现的相关工作。

本文首先从静电放电的基本概念出发，分析了 ESD 设计需要考虑的因素，以及如何测试，怎样才算通过测试，从而引出设计目标，提出一种设计的基本架构。

然后，文章自上而下地，从基本架构出发，细化到模块、器件，一一进行分析，分别设计出 I/O 保护电路以及电源钳位电路。

接着，文章针对一个二输入二输出的简单系统，设计了一个 ESD 保护网络，最后给出仿真结果。我们能看到每种测试模式都有合适的路径释放大电流。

关键词：静电放电，ESD 保护网络，I/O 保护电路，电源钳位电路

Abstract

With the development of IC manufacturing technology, it becomes demanding to protect the circuit from electrostatic discharge. The main purpose of this paper is to design an ESD protect network, which can be applied to cover all the IC to avoid ESD overstress. Based on this purpose, a lot of work about theoretic research and circuit implement are carried out.

Firstly, this paper focuses on the basic concept of electrostatic discharge, analyses the principles in ESD design. How to test and the standard to pass the test are discussed. According to the theory, we are led to the design object. Then we get a kind of base configuration.

Secondly, we try to design ESD protect circuit from top to bottom. We begin with the base configuration, and then, module and device. I/O protect circuit and VDD-to-VSS ESD clamp circuit are presented in this paper.

And then, an ESD protect network for a two-input two-output system is designed. We get the simulation result at last. All ESD test mode can meet demand.

Key word: Electrostatic discharge, ESD protect network, I/O protect circuit, VDD-to-VSS ESD clamp circuit

第一章 概述

1.1 研究动机

静电放电(Electrostatic Discharge, ESD)会对电子器件或电子系统造成电性过度应力(Electrical Overstress, EOS)[1], 这种破坏会使半导体器件或者计算机系统等形式形成一种永久性的毁坏, 是造成集成电路失效的主要原因之一。据统计, 将近 40%的集成电路失效是由静电放电引起的[2]。集成电路工艺发展到深亚微米阶段, 特征尺寸不断缩小, 更薄的栅氧化层, 更短的沟道长度, 更浅的源漏, 使 MOS 管能承受的电流和电压越来越小。又比如广泛应用的 LDD 结构, 在源漏两端形成“尖端”, 在 ESD 电压下容易产生“尖端放电”现象。先进的工艺使集成电路的静电放电保护能力下降, 但外界环境中产生的静电并未减少, 因此要进一步优化电路的抗 ESD 性能。除了加强在流片、封装、测试、存放、搬运过程中对静电累积的控制外, 必须在电路中加入能防患静电放电的装置。

我们可以在芯片中做这样的设计, 在大电流或高电压事件发生时, 建立可选的电流环路或第二路径, 使 ESD 电流避开对过压敏感的电路。该电流环路必须对 ESD 事件做出响应, 即有“开关”, 同时具有低阻抗。我们的测试假设在断电状态下进行, 因而 ESD 事件本身起到了电流和电压源的作用[3]。所以, 设计的总体思路是利用低压触发网络把电流从敏感电路转移到可选电流路径, 即 ESD 保护电路。

ESD 保护电路的作用是增加整个电路的 ESD 鲁棒性, 首要的设计目的是避免系统中任何物理元件遭受 ESD 事件带来的永久的或潜在的功能性、可靠性、质的损害[3]。其必然结果是要保证任意两引脚间发生的 ESD, 都有适合的低阻旁路将 ESD 电流绕开内部电路, 引入接地端, 并且钳位关键点的电压。同时, 保护电路还要有很好的稳定性, 能在 ESD 发生时快速响应、完整吸收, 而且在芯片正常工作时不能对工作电路有影响。

1.2 研究内容及贡献

本论文着重研究了静电放电保护电路, 其主要内容首先包括静电放电的基本概念, 主要是测试组合模式; 然后从系统级出发, 分析了保护网络的架构;

接着自上而下，设计出模块和器件；在此基础上实现一个简单系统的保护网络，经过仿真得到电流路径。本文的主要贡献包括：

1. 从系统角度分析静电保护电路的架构。
2. 从各个方面，包括触发电压、钳位电压、电流排放能力、噪声等因素讨论了 ESD 器件。
3. 以 RC 频率触发的电源钳位为核心设计整个网络，而非电压触发的电源钳位电路，提高了整个电路的 ESD 保护能力。

1.3 论文组织结构

本文从静电放电保护电路的应用出发，首先阐述了静电放电的基本理论，接着自上而下设计了一个 ESD 保护网络，并根据仿真结果总结了在各个测试模式下电流的流向。具体的组织结构如下：

第二章介绍了静电放电的基本概念，包括静电放电的模式、如何测试以及如何判断电路的 ESD 故障，然后给出了一个 ESD 电路设计的基本架构。

第三章着手设计具体的电路，细分到两类电路：I/O 保护电路和电源钳位电路。然后分析了这两类电路的实现方式以及需要注意的设计细节。

第四章给出了一个应用于二输入二输出系统的 ESD 保护网络，并通过仿真，验证了能满足测试的八种组合模式。

第五章对本文做出了总结，并对今后工作做了展望。

第二章 静电放电的基本概念

2.1 静电放电的模式

根据ESD产生机制，通常把与集成电路相关的ESD事件分为三类，相应的有三种测试模型[3]：Equation Section 2

1. 人体放电模型(human-body model, HBM)

指带静电人体接触到 IC 后，静电由 IC 管脚放电到地。三种模型中，人体放电模型最为通行。此放电模型会在几百 ns 的时间内产生数安培的瞬间电流。在 HBM 标准中，用 100pf 电容串联 1500Ω 电阻的 RC 网络来模拟已充电人体。此 RC 网络具有特征上升和下降时间。其中特征下降时间与 RC 时间有关。

$$T_{HBM} = R_{HBM}C_{HBM} \quad (2.1)$$

式中， R_{HBM} 和 C_{HBM} 分别为人体模型中的串联电阻和电容。故下降时间在 100~200ns 的数量级。

若将HBM波形看做是电容、电感和电阻串联的RLC网络的集总，可以证明上升时间由式(2.2)决定。

$$t_r \cong \frac{2L}{R} \quad (2.2)$$

在 HBM 模型中，电感在 5~10μH，故上升时间在 10~20ns 的数量级。

我们在接下去的设计和仿真都是围绕 HBM 模型考虑的。

2. 机器放电模型(machine model, MM)

指工厂机器本身累积了静电，当机器触碰 IC 时，该静电通过 IC 放电。因为大多数机器都是用金属制造的，其等效电阻为 0Ω，故其放电的过程比 HBM 模型短，在几十 ns 间，对 IC 的损伤更大。

3. 器件充电模型(charge-device model, CDM)

指 IC 自身内部的充放电过程。具体指 IC 先因磨擦或其它因素在内部累积了静电，但在累积过程中并没发生损害。带静电 IC 在处理过程中，当引脚碰到地时，IC 内部的静电便会释放出来，造成了放电的现象。CDM 模型的放电时间更短，仅约几 ns 之内。因为 IC 内部累积的静电会因对地的等效电容而变，而由于放电时 IC 的摆放位置等多种因素，CDM 模型很难被模拟。

2.2 静电放电的测试

静电放电的形式多种多样，不仅体现在模式上，还体现在路径上。ESD 电流在电路中的流窜有一定路径可循，在测试时，对各引脚做交叉放电固然可行，但是效率低下也没必要，必须要有一套正确而高效的测试方法和准则。

2.2.1 静电放电的测试组合

1. VDD 到 VSS

- 1) 正向模式：VDD 施加正的 ESD 电压，VSS 接地，其余引脚悬空；
- 2) 反向模式：VDD 施加负的 ESD 电压，VSS 接地，其余引脚悬空。

2. I/O 引脚到 VDD 或 VSS

- 1) 正向到 VSS 模式(positive-to-VSS mode, PS mode)：VSS 接地，指定 I/O 引脚施加正的 ESD 电压，对 VSS 放电，其余引脚悬空；
- 2) 反向到 VSS 模式(negative-to-VSS mode, NS mode)：VSS 接地，指定 I/O 引脚施加负的 ESD 电压，对 VSS 放电，其余引脚悬空；
- 3) 正向到 VDD 模式(positive-to-VDD mode, PD mode)：VDD 接地，指定 I/O 引脚施加正的 ESD 电压，对 VDD 放电，其余引脚悬空；
- 4) 反向到 VDD 模式(negative-to-VDD mode, ND mode)：VDD 接地，指定 I/O 引脚施加负的 ESD 电压，对 VDD 放电，其余引脚悬空。

3. I/O 引脚到 I/O 引脚

- 1) 正向模式：指定 I/O 引脚施加正的 ESD 电压，其余所有 I/O 引脚一起接地，VDD 和 VSS 引脚悬空；
- 2) 反向模式：指定 I/O 引脚施加负的 ESD 电压，其余所有 I/O 引脚一起接地，VDD 和 VSS 引脚悬空。

综上，ESD 的测试组合共有八种类型。

2.2.2 静电放电的故障判定

有了测试模式，如何判定芯片已被 ESD 所损坏？通常用如下三种方法[1]：

1. 绝对漏电流：当其引脚的漏电流超过 $1\mu\text{A}$ (或 $10\mu\text{A}$)时，认为芯片已损坏。

漏电流会随所加偏压增加而增加，所加的偏压有人用 $2\text{V}(\text{VDDX1.1})$ ，也有人用 $2.5\text{V}(\text{VDDX1.4})$ 。

2. 相对 I-V 漂移：指引脚看进芯片内部的 I-V 特性曲线漂移量在 20% (30%或 40%)时，认为芯片已损坏。

3. 功能：检查 ESD 测试后的功能是否仍符合原来的规格。

用不同的故障判定准则，对同一芯片而言，测出的 ESD 耐压值差距可能非常大。因此 ESD 测试要在统一了故障判定准则的前提下，才能进行。

2.3 静电保护电路的基本架构

一个引脚的静电放电故障临界电压(ESD failure threshold)定义为该引脚在所有测试模式下的耐压最低值，一颗芯片的静电放电故障临界电压定义为所有引脚中静电放电故障临界电压最小的电压值[4]，故 ESD 保护电路的安排必须全方位考虑每个引脚的 ESD 测试的各种组合。

图 2-1给出了一个简单的ESD保护网络的抽象模型，箭头方向为可选路径。可以看到，每个I/O引脚都有PD和NS的保护电路，VDD到VSS有双向的电源钳位电路。接下去，我们将根据ESD测试的八种测试组合，指出当ESD来临时，该ESD保护网络对应的电流排放路径。

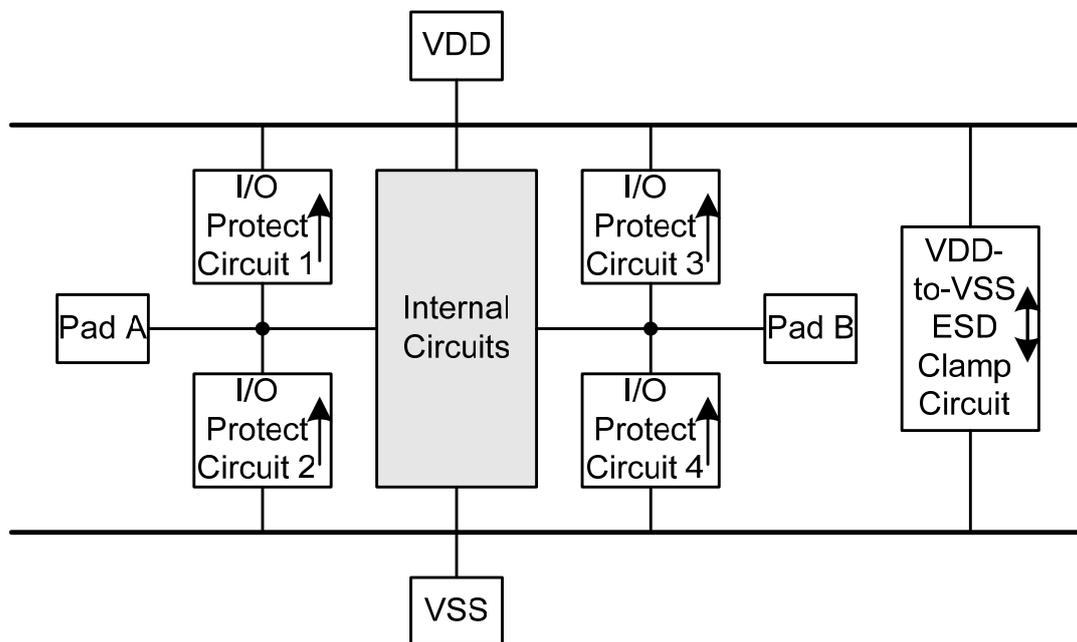


图 2-1 简单 ESD 保护网示意图

1. VDD 到 VSS

1) 正向模式：通过电源钳位电路；

2) 反向模式：通过 I/O 保护电路 1、2、3、4 以及电源钳位电路，如图 2-2。

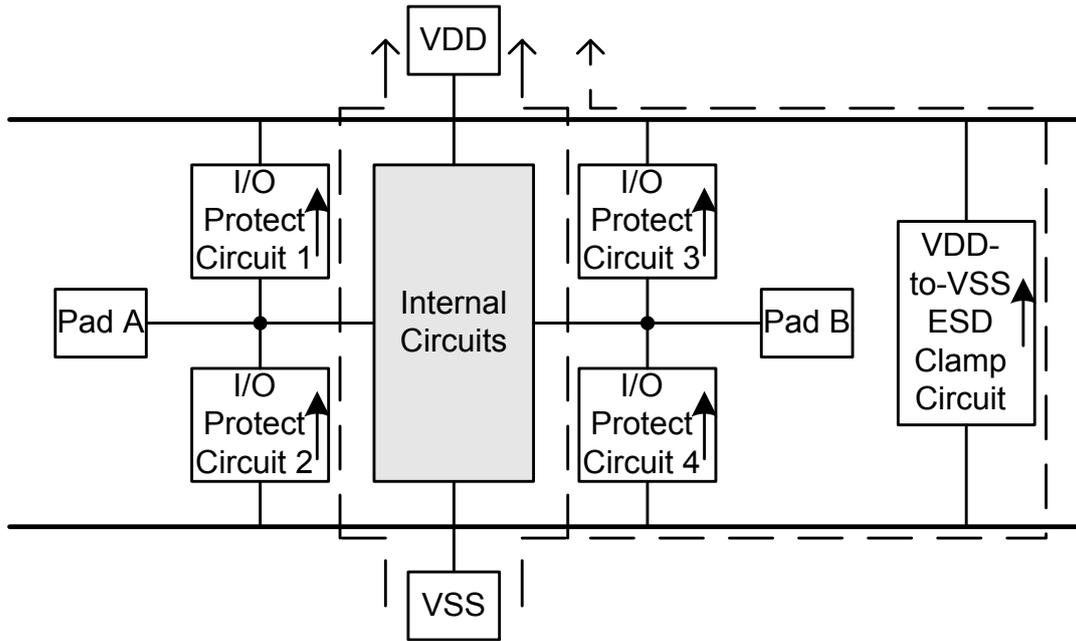


图 2-2 VDD 到 VSS 反向模式时的 ESD 电流路径

2. I/O 引脚到 VDD 或 VSS

1) 正向到 VSS 模式：电流从引脚 A，依次通过 I/O 保护电路 1、VDD、电源钳位电路，流向 VSS，如图 2-3；

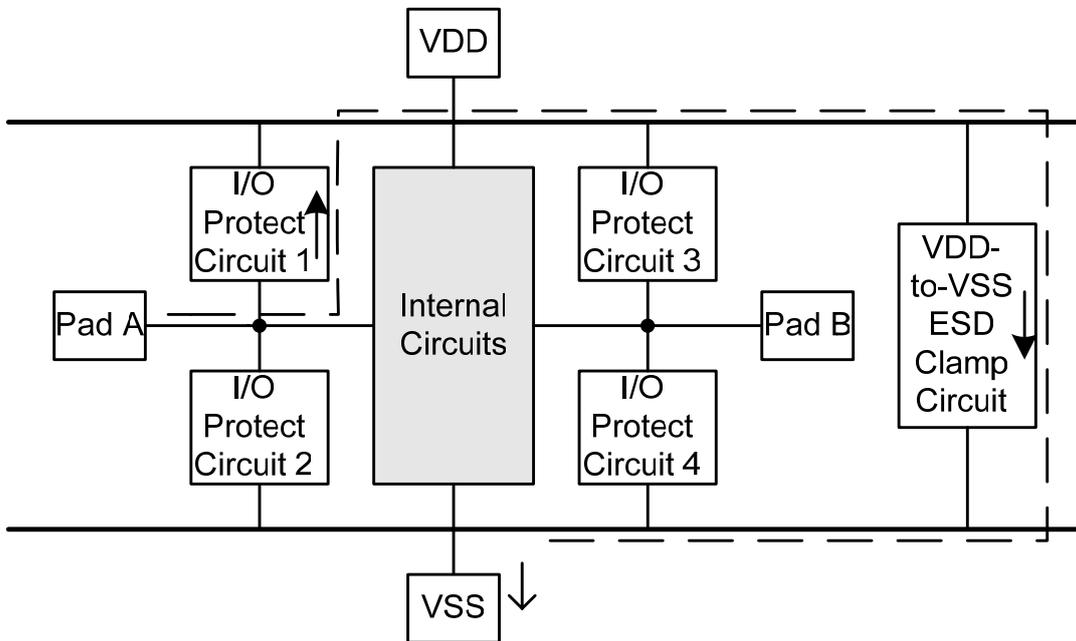


图 2-3 PS 模式时的 ESD 电流路径

- 2) 反向到 VSS 模式：通过 I/O 保护电路 2；
- 3) 正向到 VDD 模式：通过 I/O 保护电路 1；

4) 反向到 VDD 模式：电流从 VDD，依次通过电源钳位电路、VSS、I/O 保护电路 2，流向引脚 A，如图 2-4。

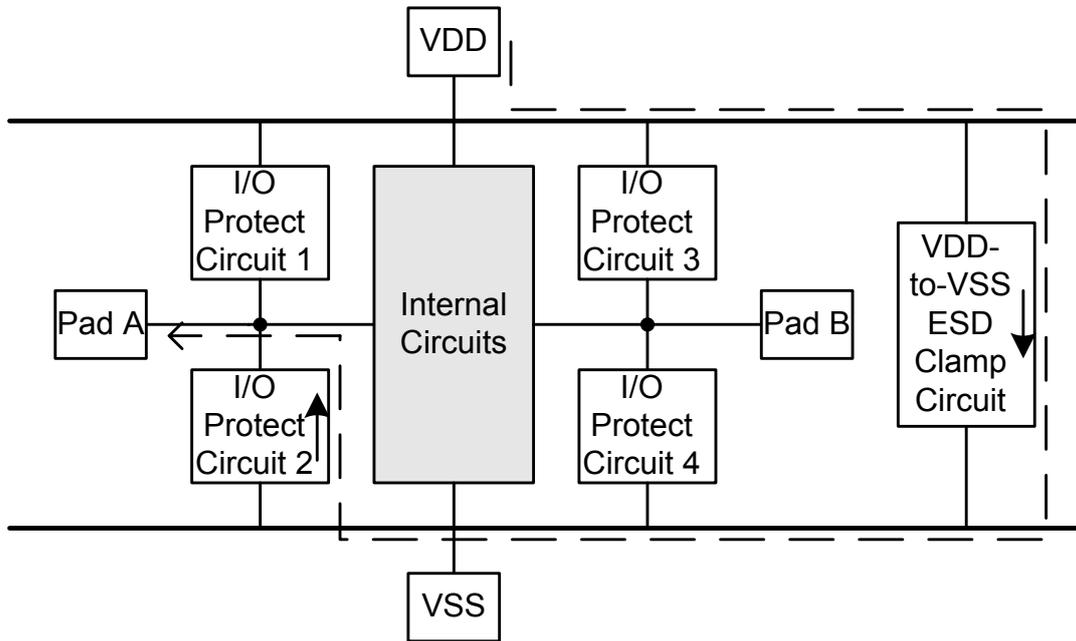


图 2-4 ND 模式时的 ESD 电流路径

3. I/O 引脚到 I/O 引脚

1) 正向模式：电流从引脚 A，依次通过 I/O 保护电路 1、VDD、电源钳位电路、I/O 保护电路 4，流向引脚 B，如图 2-5；

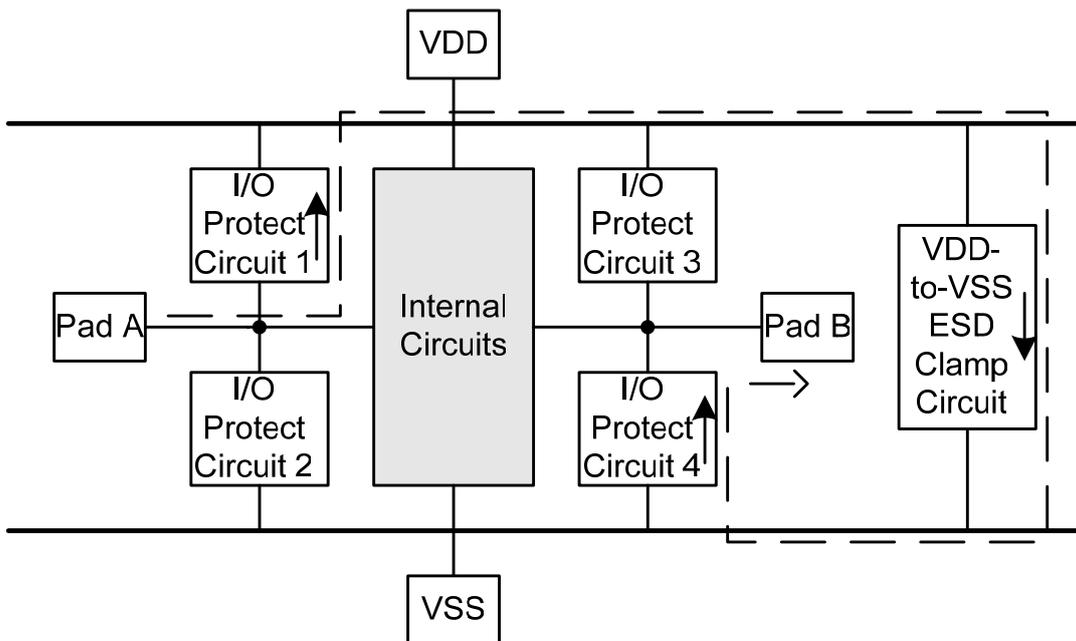


图 2-5 I/O 到 I/O 正向模式时的 ESD 电流路径

2) 反向模式：参考正向模式。

的确，如果省略某些专用保护电路(比如I/O引脚的PS、ND模式的专用保护电路)以减少ESD保护网的面积，理论上可以保证每种放电模式都能排放电流。但是，对于大尺寸的芯片，当我们考虑了寄生电阻电容后，情况并不那么乐观。考察引脚A对VSS的正向放电，当引脚A离电源钳位电路很远时，存在VDD和VSS线上的寄生电阻 R_{DD} 和 R_{SS} ，以及寄生电容 C 。图 2-6 给出了寄生电阻和电容的位置，恰好处在ESD电流排放路径中。当ESD应力来临时，这些寄生的电阻电容会延迟ESD电流经过电源钳位电路的速度，来不及排放的电流会从VDD进入内部电路，脆弱的内部电路通常无法承受。更严重的是，此时引脚上的保护电路完好无损，但内部已经被损坏，如果测试时，只检查引脚处的漏电流或是ESD器件的完好性，甚至会误认为通过了ESD测试！

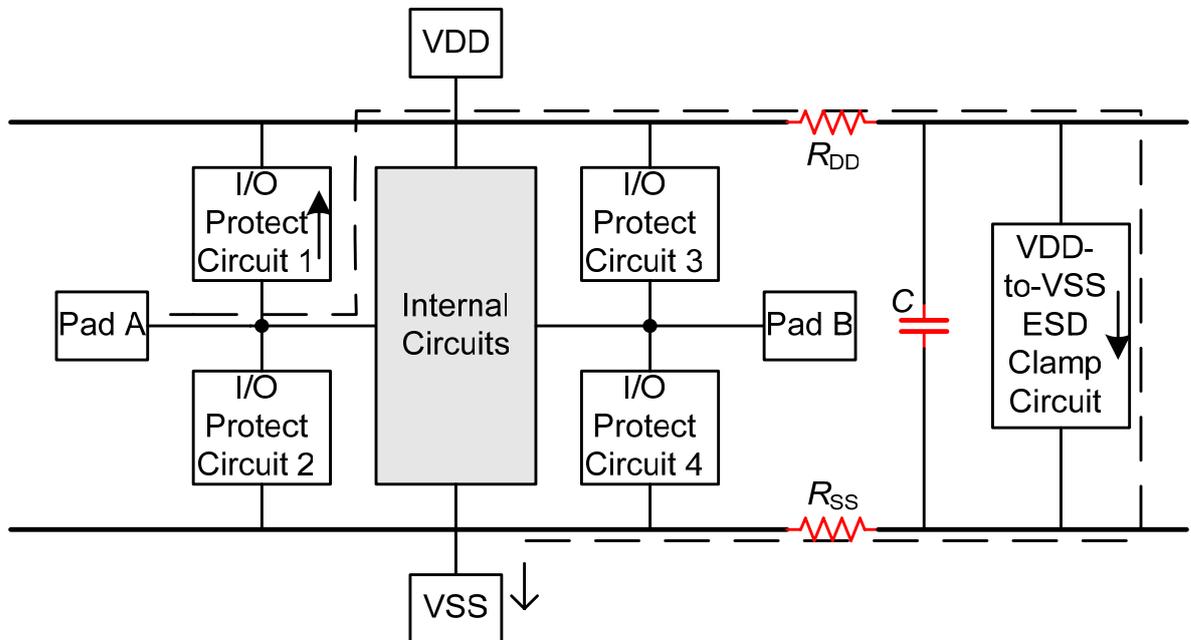


图 2-6 寄生电阻电容对 ESD 保护电路的影响

要解决大型电路存在的这个问题，有两种方法。一是增加电源钳位电路的数量，保证每个引脚附近都有 VDD 到 VSS 的通路，设法减小寄生的电阻电容；二是补充其余放电模式的专用电路。两种方法势必增加 ESD 保护网的面积。无论如何，有一点是明确的：ESD 保护电路的设计不仅要保证每个引脚的每个测试模式都合格，还要从芯片整体的角度去考虑。

第三章 静电放电保护电路的设计

这一章，我们将根据之前提到的静电保护电路的基本架构，设计出具体的保护电路，分为 I/O 保护电路和电源钳位电路两部分。

3.1 I/O 保护电路

HBM 和 MM 模式的 ESD 来自外界，故 I/O 保护电路通常做在 PAD 的下面或旁边。在输出端，由于互补输出的 PMOS 和 NMOS 尺寸较大，本身就能当做 ESD 保护组件。但输入端一般直接连接在 MOS 管的栅极，容易被 ESD 击穿，因此在输入端必须要做一组保护电路。Equation Section (Next)

I/O 保护电路通常由三部分组成：一级器件、隔离电阻和二级器件[4][10]。图 3-1 给出了这三部分的连接。

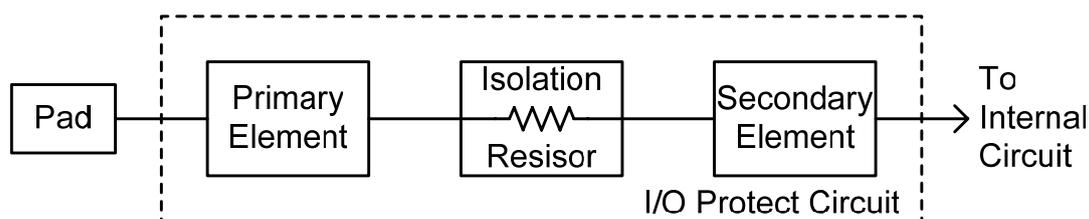


图 3-1 I/O 保护电路的结构框图

三部分的作用和设计要求如下：

1. 一级器件是 ESD 保护电路的核心组件，吸收大部分电流。
2. 隔离电阻将一级、二级器件分离开，并且承担了一部分电压，降低了电流。要注意隔离电阻不能太大，如果 ESD 保护电路的阻抗相当大，那么 ESD 电流会直接流入内部电路，后果不堪设想。
3. 二级器件有两个作用：

1)一级器件首先要确保大电流的释放，往往拥有过高的触发电压，在一级器件开启前，必须由二级器件来承担这期间的 ESD 应力；

2)二级器件一般连接着内部电路的缓冲器，也就是晶体管的栅极，二级器件的钳位电压必须低于缓冲晶体管栅极的击穿电压，才能保护内部电路。

因此，二级器件的设计重点不是电流的释放能力，而是低触发电压和低钳位电压。对耐压等级要求不高的电路，二级器件可以省略。

有了结构框图，我们再来关注几种常用的器件结构。为方便起见，先针对指定 I/O 引脚到 VSS 的器件进行说明。

3.1.1 栅极接地 NMOS

栅极接地的 NMOS (Grounded-Gate NMOS, GGNMOS) 的结构如图 3-2(a) 所示，NMOS 栅极接地，保证了作为 MOS 管自身不会导通。保护电路利用的是 NMOS 横向寄生的 npn 管，如图 3-2 (b) 所示，只有当 ESD 发生时，这个寄生三极管才开启，继而吸收大量电流。

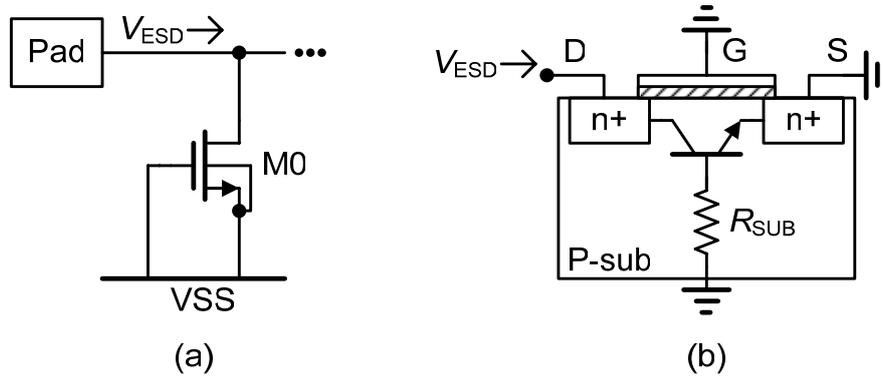


图 3-2 栅极接地 NMOS 结构以及横向寄生 npn 管

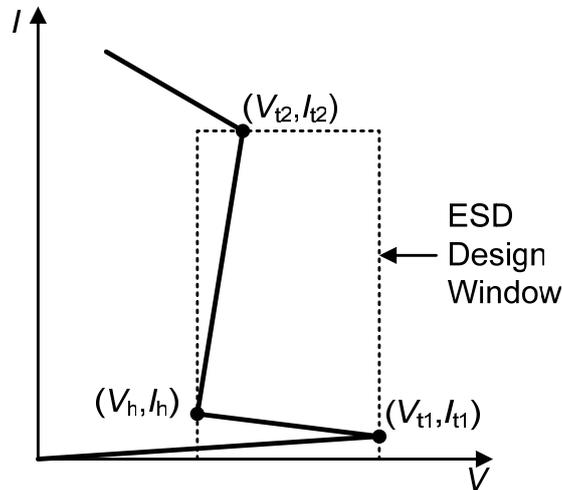


图 3-3 GGNMOS 的 ESD 设计窗口

图 3-3 给出了 GGNMOS 的 I - V 曲线，具体过程如下：当漏端加 ESD 正向脉冲时，漏端 n+/p 结反偏，器件进入高阻态，直到漏结雪崩击穿，即漏端电压达到一次击穿电压 V_{t1} 时，在漏结耗尽区产生电子-空穴对，电子被漏极收集，一部分空穴被源极收集，剩下的流过衬底。在衬底寄生电阻 R_{SUB} 上产生电压降，使衬底

电压升高，当衬底和源之间的pn结正偏时，NMOS管内部的寄生npn管开启，相当于发射结正偏，集电极反偏，寄生npn管正向导通，GGNMOS进入微分负阻区，即电压随着电流增大而下降，漏端电压降至寄生npn管的集电极-发射极导通电压 V_h 附近。若电流继续上升，电子在源漏之间的电场的作用下被加速，产生电子、空穴的碰撞电离，从而形成更多的电子空穴对，产生局部“热点”，当流过器件漏端的电流密度过大，就会造成热击穿，这是不可回复的损伤。通常漏端的热击穿点位于栅边缘附近[4]，热击穿对应的击穿电压为二次击穿电压 V_{t2} 。

作为ESD电源钳位的GGNMOS，必须工作在ESD设计窗口内，要保证电压既不能在正常工作区，也不能达到栅氧击穿区，电流不能超过二次击穿时的 I_{t2} 。为了增强ESD鲁棒性，即增大ESD设计窗口的面积，可以降低 V_{t1} 或者增加 I_{t2} 。通常使用多指状NMOS以增加晶体管面积来增加 I_{t2} 。

GGNMOS内部有一个寄生的二极管，在反向放电模式时，可以利用这个二极管。即GGNMOS具有双向性，如图3-4所示。

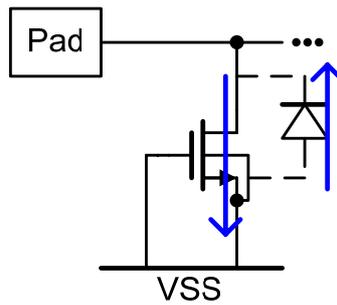


图 3-4 GGNMOS 的双向性

3.1.2 栅极耦合 NMOS

上文提及的多指状GGNMOS有一个致命缺陷，当ESD电压来临时，往往出现某个指条首先导通，ESD电流只从该指条释放，特别是如果 V_{t2} 小于 V_{t1} ，有些指条就可能在其它指条发生骤回现象前二次击穿，降低了多指条晶体管的ESD性能。这就是为何组件尺寸已经足够大，但ESD保护能力不如预期的原因。为提高ESD性能，则需要使其所有指条在ESD应力来临时都导通，我们考虑栅极耦合NMOS(Gate-Coupled NMOS, GCNMOS)技术。如图3-5，电阻 R 保证该NMOS在电路正常工作时是关闭的，在ESD发生时，电阻 R 与MOS寄生电容及外置电容 C 构成RC结构，电压耦合到NMOS栅极，使它微导通，于是所有指条被一起导通，同时降低了寄生npn管的 V_{t1} ，若 $V_{t1} < V_{t2}$ ，就能保证在某个指条进入二次击穿前，所有指条都已进入骤回区域[4]。

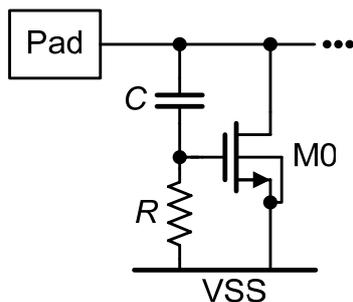


图 3-5 栅极耦合 NMOS 结构

GCMOS 还有一个优点，RC 结构使 GCMOS 的开启电压很低，在 ESD 应力来临的前几 ns，电压通过电容 C 耦合到 NMOS 的栅极，令栅极为高电平，n 型沟道导通，即使寄生 npn 没有开启，其本身作为 MOS 管也能放电一段时间。

需要注意的是，GCMOS 在引脚处安排了额外电容，会严重影响电路的高频特性，在高频电路中使用需格外小心。

3.1.3 硅控整流器

如果将 NMOS 作为一级器件，需要排放大电流就不可避免的要采用大尺寸。在高集积度的要求下，硅控整流器(Silicon Controlled Rectifier, SCR)较 NMOS 具有明显的优势，可以在较小的版图面积下提供较强的 ESD 保护能力。

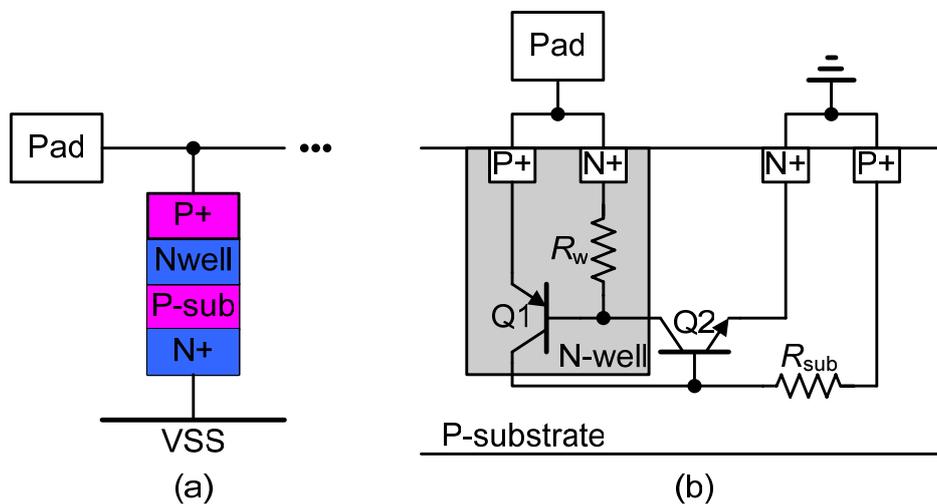


图 3-6 SCR 及其内部结构

图 3-6 (a)给出了 SCR 的结构，由 P-N-P-N 四层半导体结构组成，此四层结构依次为 P+ diffusion、N-well、P-substrate、N+ diffusion[4]。这四层结构也是导致 CMOS 闩锁效应(latchup)的相同结构。但作为 ESD 保护器件时，SCR

结构有优秀的放电能力，更重要的是所占面积小。

图 3-6 (b)给出了 SCR 的内部结构以及寄生器件，如果忽略寄生电阻带来的影响，抽象出如图 3-7 所示的 pnp 管和 npn 管的结构，易知这是正反馈。

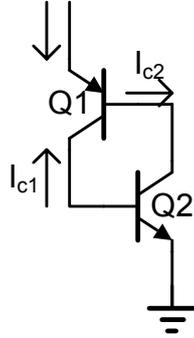


图 3-7 SCR 内部寄生三极管

具体分析如下：

$$I_{c1} = \alpha_1 I_{e1} - I_{co1} \quad (3.1)$$

$$I_{c2} = \alpha_2 I_{e2} - I_{co2} \quad (3.2)$$

$$I = I_{c1} + I_{c2} = \alpha_1 I_{e1} - I_{co1} + \alpha_2 I_{e2} - I_{co2} = I_{e1} = I_{e2} \quad (3.3)$$

$$I = \frac{I_{co1} + I_{co2}}{\alpha_1 + \alpha_2 - 1} \quad (3.4)$$

其中 I_{co1} 和 I_{co2} 分别为 Q1 和 Q2 的集电极扩散电流，若 $\alpha_1 + \alpha_2$ 的值约等于 1，那么 SCR 的总电流将会非常大，这是我们所期望的。

SCR 的触发电压等效于 CMOS 下 N-well 与 P-substrate 的界面击穿电压。由于 N-well 具有较低的掺杂浓度，因此其界面击穿电压高达 30~50V[12]。拥有如此高的触发电压，使得 SCR 作为一级器件时对后面的二级器件依赖性很大。

我们可以通过改变 SCR 的结构，降低它的触发电压。一种方法是结合一个短沟道的 NMOS，其结构图如图 3-8。在 P-substrate 上放置栅极，N-well、P-substrate 和 N+ diffusion 依次为 NMOS 的漏极、衬底和源极。当 ESD 电压来临时，首先短沟道 NMOS 发生骤回崩溃，引发电流从 N-well 流向 P-substrate，大电流继而触发 SCR 的导通。这样，SCR 的触发电压可以下降到短沟道 NMOS 的骤回崩溃电压附近。我们称这种结构的 SCR 为 LVTSCR(Low-voltage-trigger SCR)。和 GGNMOS 一样，为防止在正常工作情形下被导通，其内含的短沟道 NMOS 之栅极必须要连接到 VSS，以保证它是关闭的。

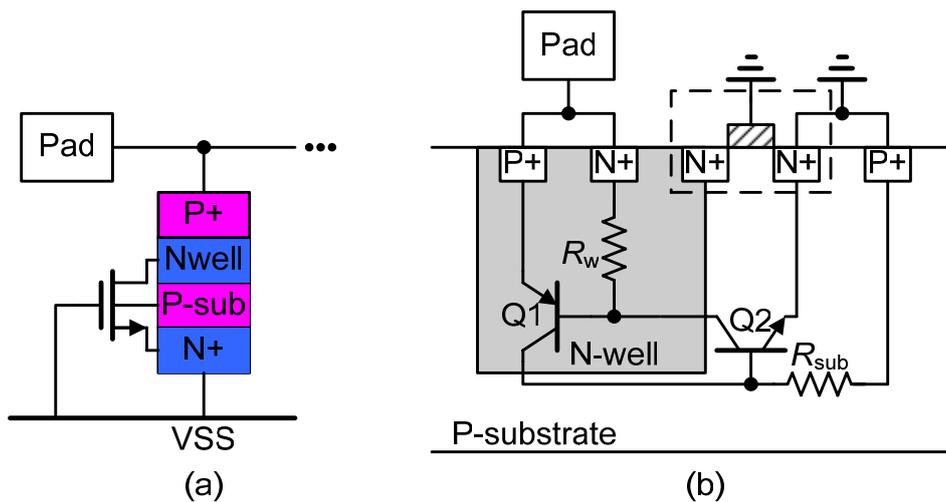


图 3-8 LVTSCR 及其内部结构

表 3-1 三种基本器件的优缺点

	优点	缺点
GGNMOS	结构简单，触发电压较低	部分指条可能不起作用
GCMOS	所有指条都起作用，触发电压更低	面积较大，高频特性差
SCR	面积小，放电能力强	高触发电压

表 3-1 给出了以上三种基本器件的优缺点，由于 SCR 面积小，放电能力强，改进后的 LVTSCR 也优化了触发电压，所以在一级器件的选择上，我们首先考虑使用它。对于隔离电阻，可使用多晶硅、n+注入、p+注入或 N 阱，若要求大阻值及小面积，可使用 MOS 管电阻。对于二级器件，由表 3-1 可以看出，GGNMOS 结构简单，触发电压低，较为常用。

3.1.4 互补式 I/O 保护电路

一个 I/O 引脚和电源线之间，有四种不同的 ESD 放电测试组合。以上三种结构保证了 I/O 引脚到 VSS 的正向放电模式，通常反向模式由二极管或者寄生二极管实现放电。对于 I/O 引脚和 VDD 之间的放电模式，可采用互补的结构。图 3-9 给出了最简单的基于 GGNMOS 结构的互补式 I/O 保护电路。由于一、二级器件分工不同，一级器件主要负责排放电流，二级器件负责钳位电压和快速启动，故一般二级的 MOS 管面积比一级小几倍[10]。如果耐压等级要求不高，不必专门放置二极管，利用 MOS 管寄生二极管即可。

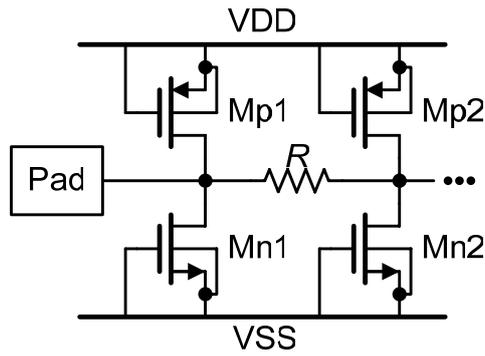


图 3-9 基于 GGNMOS 结构的互补式 I/O 保护电路

LVTSCR 较 SCR 已经降低了触发电压，如果结合栅极耦合技术，能再一次降低内部短沟道 MOS 管的触发电压。即使没有二级期器件，ESD 保护能力也十分出色。图 3-10 给出了结合这两种技术的 I/O 保护电路，也为互补式。

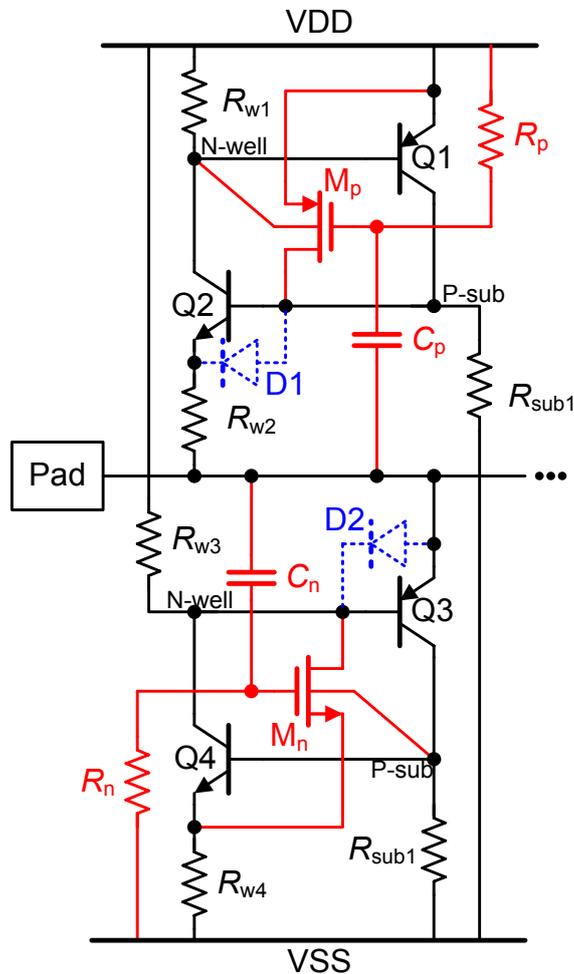


图 3-10 结合了栅极耦合技术的互补式 LVTSCR

容易得知，该电路满足PS模式(I/O到VSS的正向放电)和ND模式(I/O到VDD的反向放电)。至于NS模式(I/O到VSS的反向放电)，我们考察npn管Q2内的寄生

二极管D1，电流从VSS流出，经过 R_{sub1} ，来到P型衬底，再经由D1、 R_{w2} ，流入引脚处。同理，PD模式也能经由D2旁路掉。于是，四种放电模式都有合适的通路来排放，只需调整好耦合用RC的值，保证该电路在正常工作时不启动，便能很好地完成ESD保护工作。

3.1.5 噪声

要提高 ESD 保护能力，必须降低 I/O 保护电路的触发电压，以免在开启前 ESD 电流进入芯片内部，但是过低的触发电压会带来噪声问题。

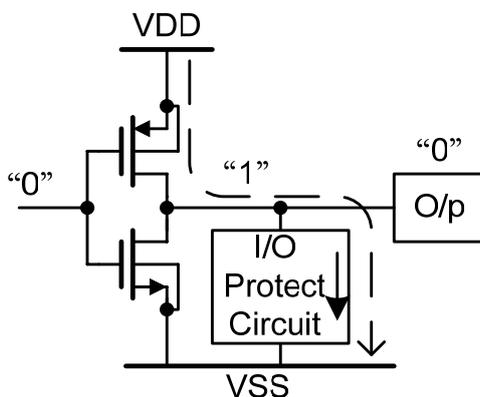


图 3-11 输出引脚的噪声干扰

以如图 3-11 的情况为例，在输出引脚安排了 PS 模式的低触发保护电路。前一级缓冲反相器的输入为逻辑“0”，输出引脚理应输出逻辑“1”。但此时，若恰好有突发噪声耦合到该引脚，可能会形成一过高的电压脉冲，I/O 保护电路会误认为是 ESD 电压而启动，导致电流被引入 VSS，如果 I/O 保护电路的钳位电压低于逻辑“1”电平，那么输出的就是逻辑“0”，造成电路错误，产生的漏电流也会造成无谓的损耗。同理，这种噪声引起的危害也会发生在输入端。

为避免低触发结构在噪声干扰下意外启动，电路设计必须考虑对噪声干扰的免疫能力。提高触发电压是没有意义的，我们有两种途径可以考虑：一是提高触发电流，二是使钳位电压大于 VDD 电位。

提高触发电流的最直接的方法是加入一个限流二极管，或者设置另一条高钳位电压的通路，对 ESD 电流进行分流。2.3 节曾提到将电流引入 VDD 再通过电源钳位电路引入 VSS，就是一种设置另外通路的方法。

提高钳位电压，甚至是大于 VDD 并不容易，需要利用防止闩锁效应的保护环以及较大的布局间隔，如此虽可提升钳位电压，但也会提高触发电压[4]。

3.2 电源钳位电路

在超大系统中，电源到地之间存在较大电容，其阻抗大小[3]

$$Z(\omega) = \frac{1}{j\omega_{\text{esd}}C_{\text{eff}}} \quad (3.5)$$

在 ESD 事件发生时，由于频率很高，阻抗可以很小。这就要求 ESD 基尔霍夫电流回路的阻抗更小。我们将“ESD 电源钳位电路”放置在电源和地之间，来减小有效阻抗。在章节 2.3 里我们可以看到，多种 ESD 放电模式的电流路径都要经过电源钳位电路，使得这一部分的设计格外重要。电源钳位电路的存在意义不是在芯片运行过程中启动或关闭，不是干扰系统的功能通过，而是当且仅当 ESD 事件发生时启动。通过它，ESD 电流被导向特定的电流通道。

电源钳位电路可由频率启动或电压启动。频率触发的 ESD 电源钳位在直流现象中保持关闭，但却回应由 ESD 脉冲事件诱发的交流信号[3]。电压触发的 ESD 电源钳位在正常电压条件时保持关闭，当超过某一电压值时触发启动。之前提到的 GGNMOS、GCNMOS 和 SCR 结构等都属于电压启动，且都能作为电源钳位器件使用。

下面，我们重点分析频率启动的电源钳位。

3.2.1 RC 触发 MOSFET ESD 电源钳位

图 3-12 给出了 RC 触发 MOSFET ESD 电源钳位的结构，有如下多个优点：

1. 频率触发

开启不依赖电压，只要检测到一定斜率的上升沿，即使在很低的电压情况下也能启动。而电压触发在达到一定直流电平前会延时启动。

2. 不使用寄生器件，可电路仿真

使用寄生元件(例如 GGNMOS 中的寄生 npn 管)的 ESD 解决方案，通常不支持特性化、器件模型、电路仿真模型。而 RC 触发的 MOSFET ESD 电源钳位不使用寄生元件，在低电压情况下，存在 MOS 器件电流模型，能够进行电路仿真。

3. 兼容 CMOS 工艺，可按比例缩小

与 CMOS 工艺是兼容的，随每一代工艺成比例。同时兼容数字 CMOS 电路，防止了诸如 $1/f$ 噪声，电压电平不兼容等问题[3]。

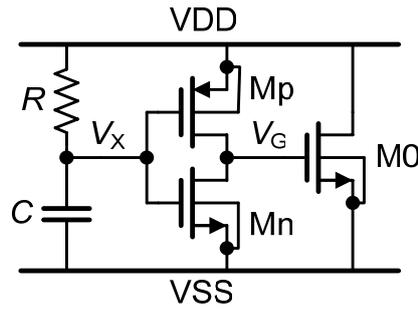


图 3-12 RC 触发 MOSFET ESD 电源钳位

该电路分为三个部分：

1. RC 频率辨别电路

由电阻 R 和电容 C 组成，用于判别频率。电阻可以是 p 型、n 型、多晶硅、栅极接漏的 MOSFET。电容可以是源漏衬底三端接地的 NMOS 或金属-绝缘体-金属电容等等。

2. 反相器

由 M_p 和 M_n 组成，有两个作用：首先，分离出频率辨别电路，避免 RC 误触发；其次，驱动钳位 MOSFET 的栅电压。关于第一项，若没有反相器，RC 中的电容将与钳位 MOSFET 的栅电容并联，改变网络的频率响应。确切地说，此时为 GCNMOS，是另一种结构的电源钳位网络，需要重新设计尺寸。

3. MOSFET 钳位元件

即大尺寸 NMOS 管 M_0 ，为保证该 NMOS 不被 ESD 烧毁，必须做成大尺寸，在参考文献[3]中， M_0 的 W/L 为 $8000/0.8$ ，为了能快速推动大尺寸 NMOS，可以串联多个奇数个反相器，如图 3-13(a) 所示，但反相器尺寸也不能小，于是 ESD 保护网络可能会做得很大。一个解决方法是减小钳位 NMOS 的尺寸，并在漏端加上一个分压电阻 R_x ，如图 3-13(b) 所示，缺点是会限制电流的排放速度，可能会造成芯片内部损伤。如何平衡面积和 ESD 鲁棒性之间的取舍是一个难题。

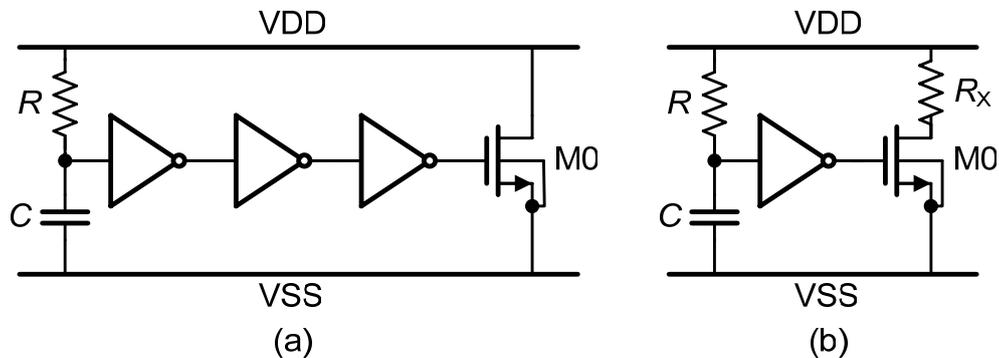


图 3-13 对 RC 触发电源钳位电路的改进

我们重新回到图 3-12 的电源钳位电路。该电路具有双向性，在正常供电情况下关闭，当检测到从 VDD 到 VSS 或者从 VSS 到 VDD 的 ESD 电压时，钳位 NMOS 管 M0 开启，吸收大量电流。假设 ESD 电压上升时间为 10ns，那么为了满足设计要求，我们将 RC 辨别的电路的 RC 时间设置为 100-1000ns 数量级，保证远大于 ESD 电压上升时间即可[5]。

该电路能进行电源钳位的具体原理如下：

正常工作时，VDD 有一个上电的过程，上升时间大约为 ms 数量级，远远大于 RC 时间，故 V_x 能跟上 VDD 的上升速度，一旦 V_x 超过 M_n 的阈值电压， V_G 立刻降为低电平，M0 关闭。即除了开始的极短时间内，其余时间该电源钳位电路都是保持关闭状态的，基本没有漏电流。

接着，我们来看当 ESD 电压来临时的情况。首先考察从 VDD 到 VSS 的 ESD 电压。一开始，电容 C 两端的电压相同， V_x 和 VSS 都为 0，ESD 电压会对 V_x 点进行充电。VDD 上升得很快，故反相器会立即被驱动，由于 V_x 是 0， V_G 会跟随 ESD 电压幅度立刻到高电平，M0 开启，大量电流通过它流向 VSS。直到 V_x 充电到高电平，反相器输出小于 NMOS 阈值电压，M0 关闭。值得一提的是，不用担心 V_G 过大而破坏 M0 的栅极，因为如果 ESD 电压超过了 M_n 闾回电压， M_n 进入闾回区， V_G 会自动钳位，保护后级电路。

由于我们设置的 RC 时间常数为 100-1000ns 数量级，远大于 ESD 电压的上升时间，故 V_x 放电缓慢， V_G 会保持一段时间的高电平，这段时间内钳位 NMOS 一直处于开启状态。

万一 ESD 电压持续时间足够长， V_G 已经使 M0 关闭，此时的 M0 相当于一个栅极接地的 NMOS，即 GGNMOS，其内部的寄生 npn 会起到电源钳位的作用。

如果考察从 VSS 到 VDD 的 ESD 电压，我们也能得出， V_G 会保持一段时间高电平促使 M0 开启。注意到，由于衬底接高电平，此时的 NMOS 可以等效于一个开启的 MOS 管加一个正向偏置的二极管的并联，建立了两条低阻旁路。

3.2.2 简化的 RC 触发 MOSFET ESD 电源钳位

上述电源钳位，由于 RC 时间常数为 100-1000ns 的数量级，故电容和电阻所占面积相当大。图 3-14 给出了简化后的一种结构，我们删除了反相器中的 PMOS，并且将 RC 时间设置成 ns 级，大大减小了面积。

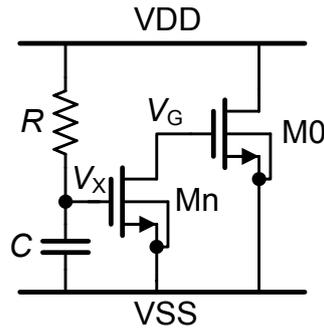


图 3-14 简化后的 RC 触发电源钳位电路

由于RC时间小于ESD电压的上升时间，故 V_x 电位能紧跟ESD电压上升，瞬间就能开启Mn， V_G 点电位由于Mn寄生电容的耦合作用，在一开始充电到高电平，直到Mn开启才渐渐放电，此放电过程会持续好几百ns，直到ESD过程结束，即 V_G 保持了一段时间的高电平，能够保证M0吸收绝大部分ESD电流。

第四章 系统的静电放电保护

在本章，我们省略内部电路，抽象出简单的二输入二输出结构，针对该电路系统，设计一个静电放电保护网络。目的是了解在这个 ESD 保护网中，电流是如何排放的，所以为方便仿真，省略互补输出的 MOS 管，以及隔离电阻和二级器件。

4.1 电路设计

图 4-1 给出了一个简单的 ESD 保护网络。

最左侧的是 RC 触发的电源钳位，具有双向性，另设钳位二极管 D0；

在输入端，根据之前提到的互补原则，我们采用了栅极接 VSS 的 NMOS 以及栅极接 VDD 的 PMOS，由于这种结构的双向性，所以可基本解决输入端到电源线的四种放电模式；

在输出端，互补输出的大尺寸 MOS 管内寄生的二极管本身能作为 ESD 器件，但我们仍放置了 ESD 保护用二极管。

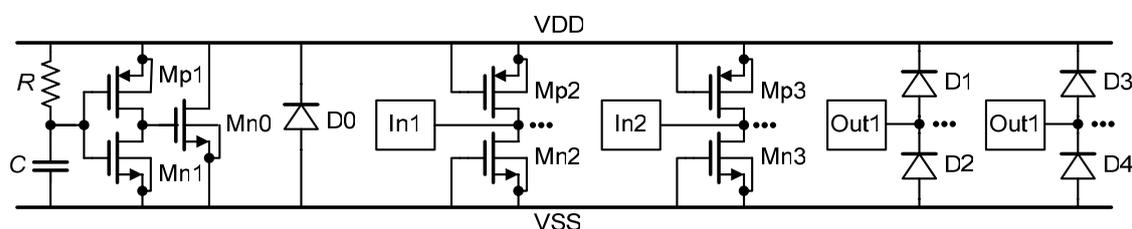


图 4-1 ESD 保护网络

电源钳位中的 RC 时间为 100-1000ns 数量级，故另 $R=10k\Omega$ ， $C=10pf$ 。其余各管数值均从版图逆向提取而得。

4.2 正常工作时的仿真结果

芯片正常工作有一个上电的过程，我们用图 4-2 所示波形来模拟 VDD 的启动，上升时间为 1ms，然后到达 2V(正常工作时 VDD 应为 1.8V)，持续 1ms。只要保证在这期间，ESD 保护器件没有被触发，或者说没有足够大的电流流经任何器件，就可以说该 ESD 保护网络没有影响芯片正常工作。



图 4-2 模拟电路正常工作时的上电过程

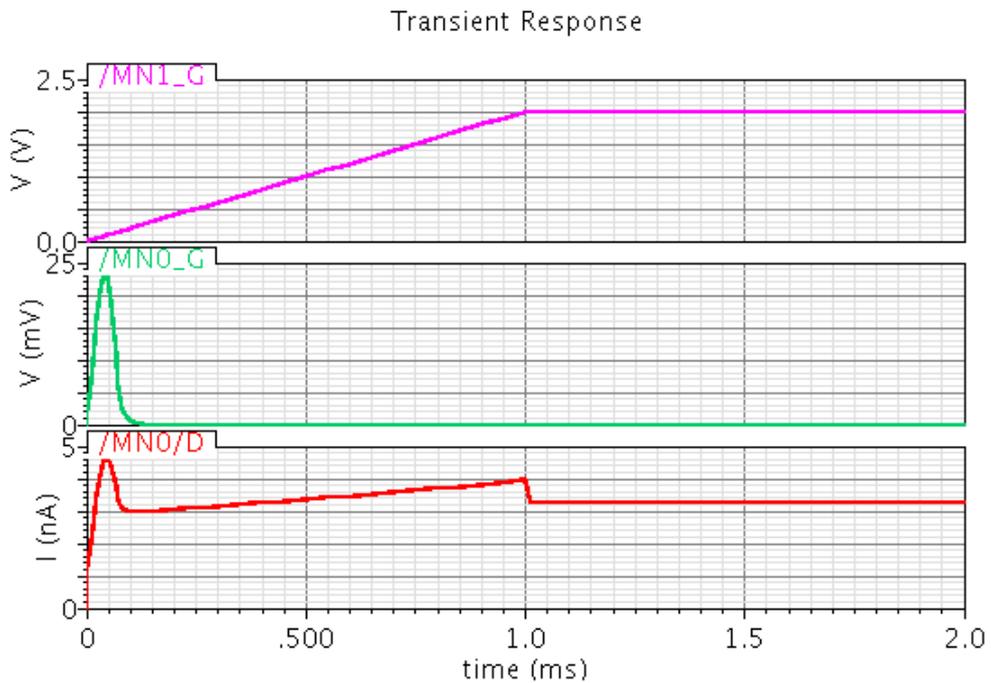


图 4-3 电路正常工作时的仿真

图 4-3 给出了关键点的瞬态仿真结果。正如之前 3.2.1 节所述，Mn1 的栅极电位跟上了 VDD 的上升速度，Mn0 的栅极在开始的 50 μ s 内有一个 20mV 左右的脉冲，然后迅速下降到 0V，Mn0 的漏电流保持在 5nA 内，几乎可以忽略。

其余器件的状态不用借助仿真就能判断，栅极接 VSS 的 NMOS 始终关闭，栅极接 VDD 的 PMOS 的栅极除了一开始会波动，其余时间也能保证 PMOS 是关闭的，至于二极管，则始终反向偏置。

所以我们可以说，该网络不影响芯片的正常工作。

4.3 ESD 时的仿真结果

对于 ESD 八种放电模式，我们给施以正电压的一端提供如图 4-4 的电压，上升时间为 10ns，电压 10V；另一端接 0V。由于只是需要找到电流排放路径，所以施加这种电压是有意义的。



图 4-4 模拟 ESD 电压

1. VDD 到 VSS

1) 正向模式

我们只考察电源钳位电路，由图 4-5 可以看到，Mn1 的栅极电位上升缓慢，Mn0 的栅极保持了很长时间的高电平。ESD 应力往往不会超过 200ns，而在这期间，Mn0 始终开启，能够释放多达安培级的电流量。图 4-6 给出了 VDD 和 Mn0 栅极电位的对比，可以看到，该钳位电路触发电压很低，紧跟 ESD 电压上升，几乎能完全吸收开始阶段的 ESD 电流。

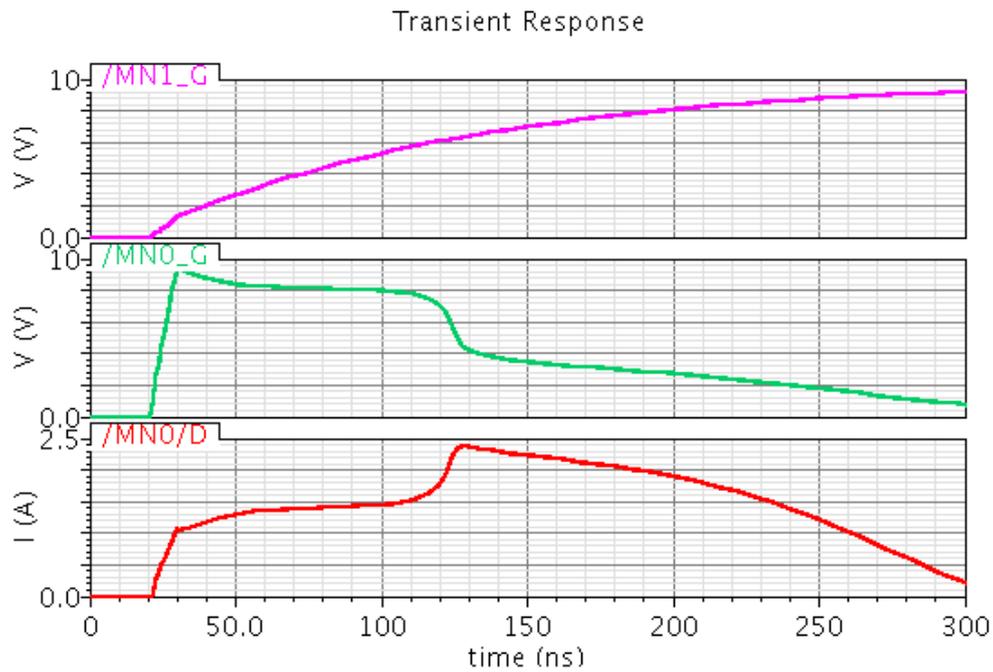


图 4-5 VDD 对 VSS 正向放电时的仿真

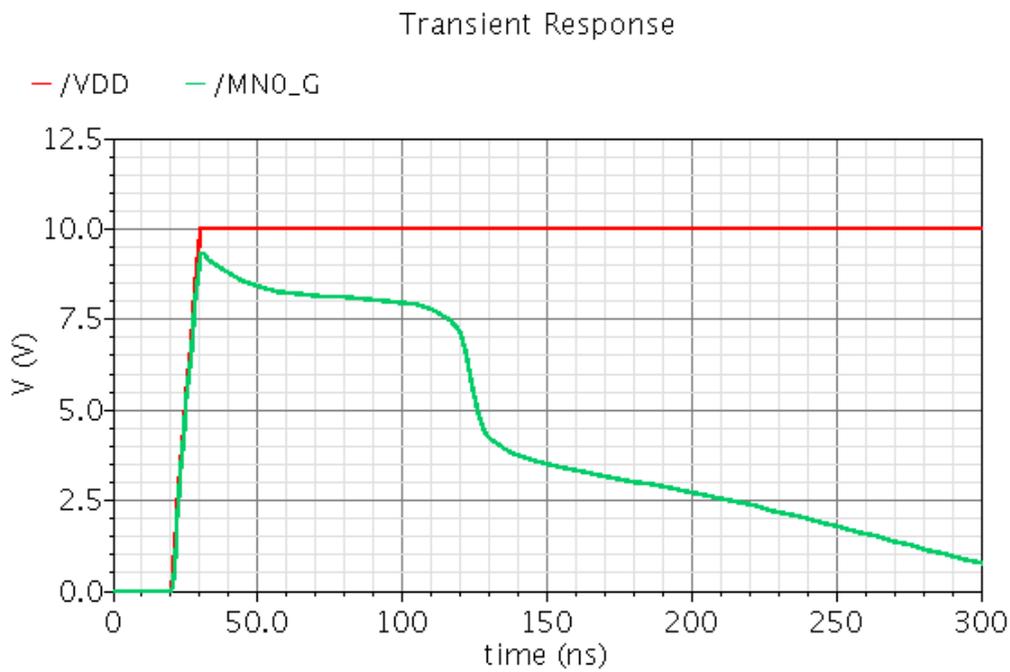


图 4-6 VDD 和 Mn0 栅极电位的对比

2) 反向模式:

为方便期间，我们将 VDD 对 VSS 的反向放电等效成 VSS 对 VDD 的正向放电，以下仿真也基于这个方法。

由图 4-7 可以看到，Mn0 栅极电位跟随着 VSS 的上升，在整个 ESD 过程中维持高电平，Mn0 是开启着的。图 4-8 对比了同样用于电源钳位的 Mn0 和 D0 的电流，Mn0 的承担的排放量远远大于二极管 D0。

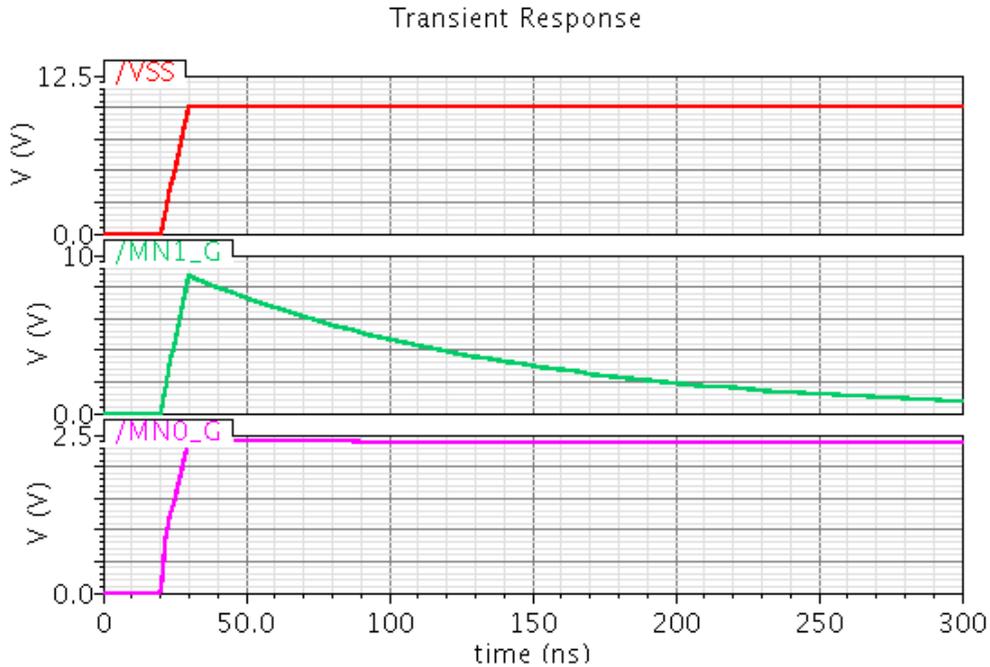


图 4-7 VDD 对 VSS 反向放电时的仿真



图 4-8 流经 Mn0 和 D0 电流的对比

2. I/O 引脚到 VDD 或 VSS

1) 正向到 VSS 模式(positive-to-VSS mode, PS mode)

先考察输入端 I/p1。PS 模式时主要由栅极接地的 Mn2 承担大电流，但由于仿真的局限性，我们不能看到寄生 npn 管发挥作用，不过，由图 4-9，我们看到电流经过了 Mp2，而 VDD 被充电至稍低于 10V 的稳定电位，可以判断出，此时 Mp2 相当于一个正向偏置的二极管。由于 VDD 被充电，而 VSS 接的是 0V，故电源钳位再一次开启，过程相当于 VDD 对 VSS 的正向放电。流经 Mp2 的电流完全被 Mn0 吸收，所以，这是一条完整的放电路径。

在实际应用中，由于这条通路启动快，往往负责一开始的电流排放工作，直到 ESD 电压上升到令栅极接地 NMOS 开启，才把大部分电流分流掉。

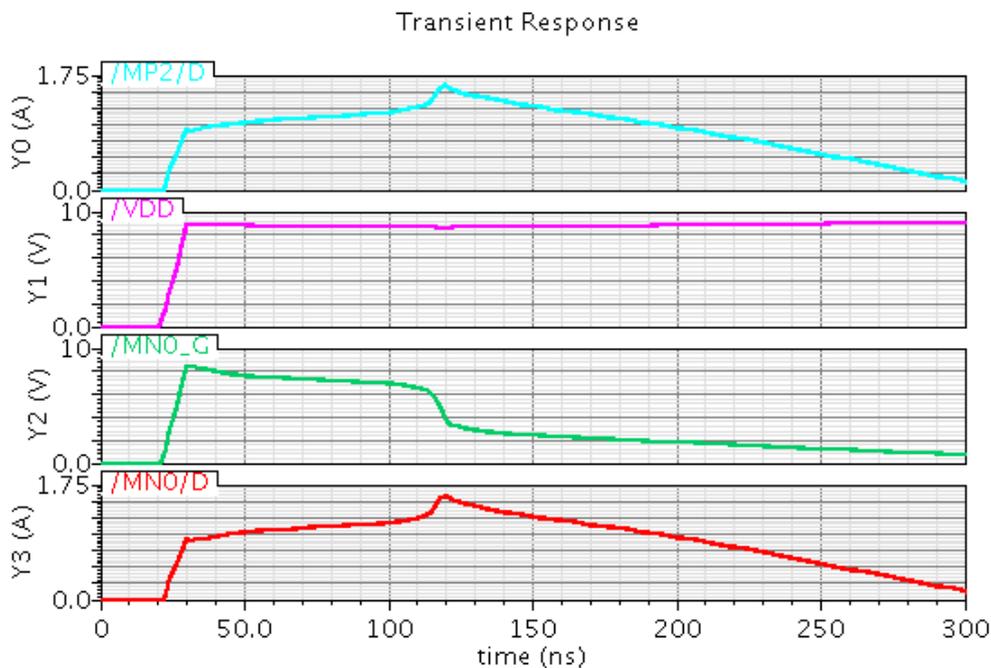


图 4-9 I/p1 对 VSS 正向放电时的仿真

2) 反向到 VSS 模式(negative-to-VSS mode, NS mode)

对比了所有路径的电流，我们发现流经 Mn2 的通路最有具参考性。由图 4-10，Mn2 相当于一个二极管，能释放多达 30A 的电流，并且有优秀的启动能力。如果我们考虑在 ESD 电压很大时，栅极接 VDD 的 PMOS 内的寄生 pnp 管能提供 VDD 到 I/p1 的通路，再加上电源钳位电路的反向通路，也能形成一条 I/p1 反向到 VSS 的电流路径。只是无法借助仿真工具得到这个结论。

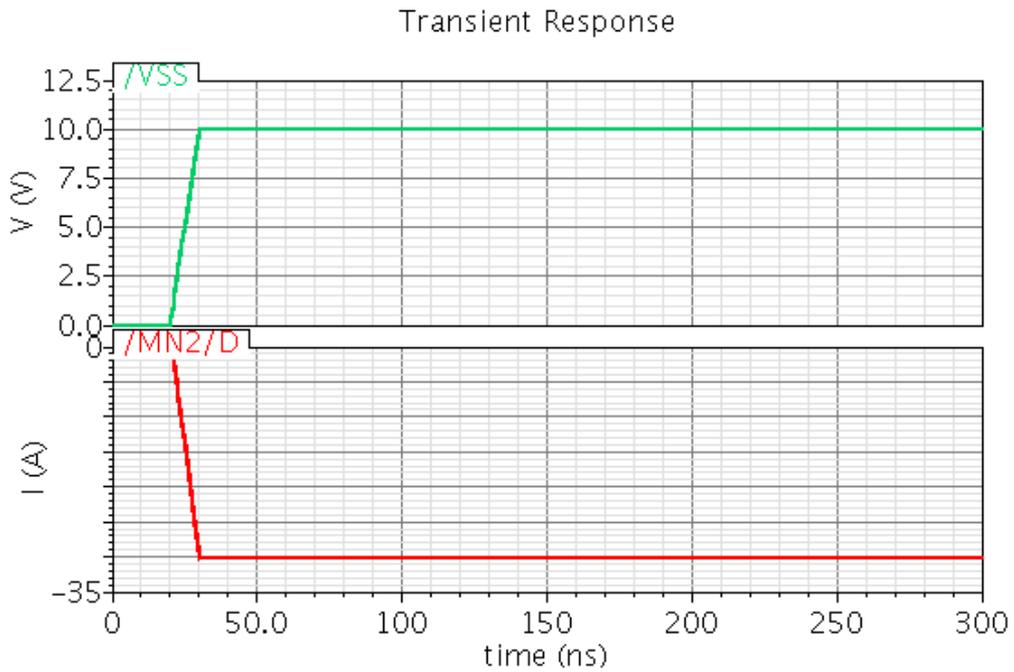


图 4-10 I/p1 对 VSS 反向放电时的仿真

3) 正向到 VDD 模式(positive-to-VDD mode, PD mode)

由图 4-11, Mn2 并没有发挥多少作用, 大部分电流由 Mp2 内的寄生二极管承担。我们可以想象, 当电压足够高, 以至开启 Mn2 内的寄生 npn 管时, 大量电流会被引入 VSS, 直到启动了电源钳位电路的反向通路。

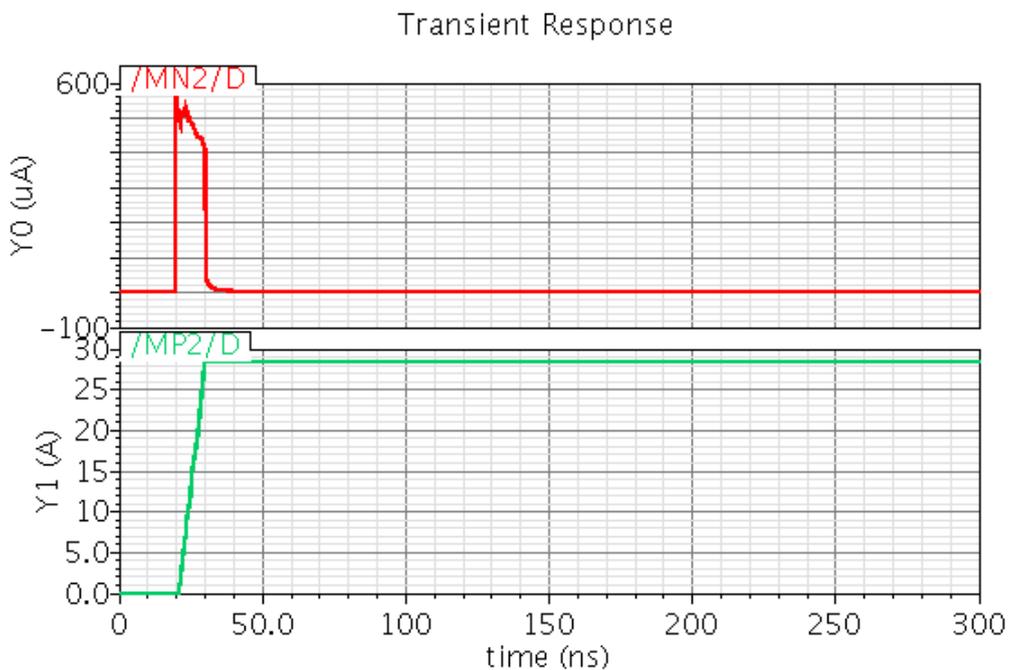


图 4-11 I/p1 对 VDD 正向放电时的仿真

4) 反向到 VDD 模式(negative-to-VDD mode, ND mode)

由图 4-12，VDD 首先通过电源钳位对 VSS 充电，从 Mn0 的栅极电位以及漏端电流可以看到电源钳位在工作。接下去的过程相当于 I/p1 对 VSS 的反向放电，电流通过 Mn2 排放到地。

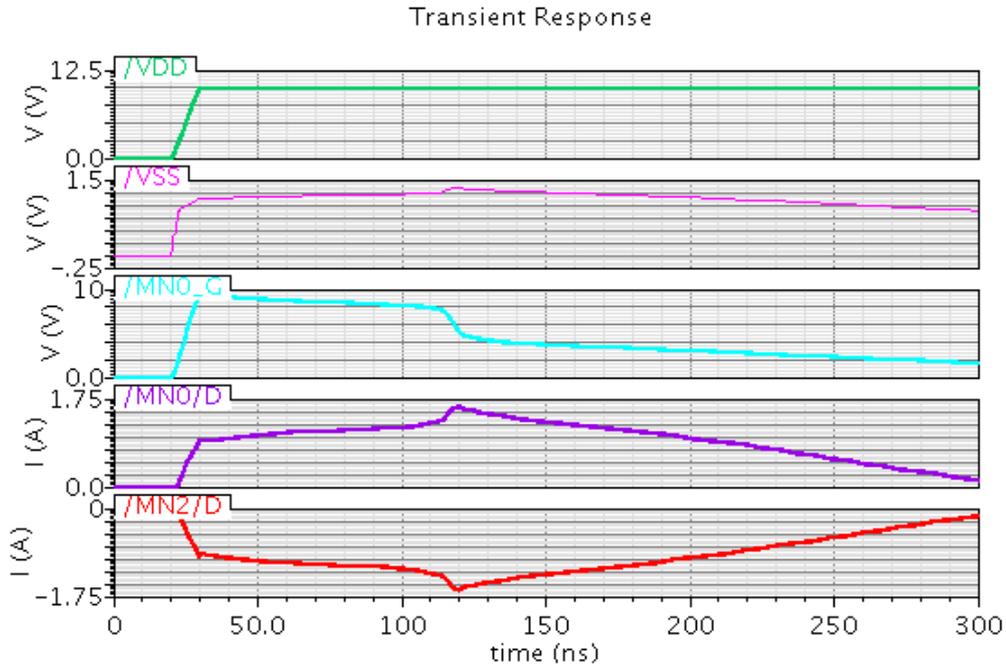


图 4-12 I/p1 对 VDD 反向放电时的仿真

通过对输入端 I/p1 的四种放电模式的仿真，我们可以总结，ESD 保护网络由于其独特的拓扑结构，会根据不同的情形组合调整，其核心是电源钳位。ESD 电流能通过 I/O 保护电路来到电源线，继而通过电源钳位电路引入另一条电源线，从而利用其它引脚保护电流进行分流。

我们再来看输出端 O/p1 的情况。

图 4-13 给出了 O/p1 对 VDD 正向放电的仿真，容易得出，电流经过二极管 D1 排放到地，增加二极管的面积可以以牺牲面积加强电流排放能力。图 4-14 给出了 O/p1 对 VSS 正向放电的仿真，电流先经过 D1，慢慢对 VDD 进行充电，而后通过 Mn0 放电到 VSS。



图 4-13 O/p1 对 VDD 正向放电时的仿真

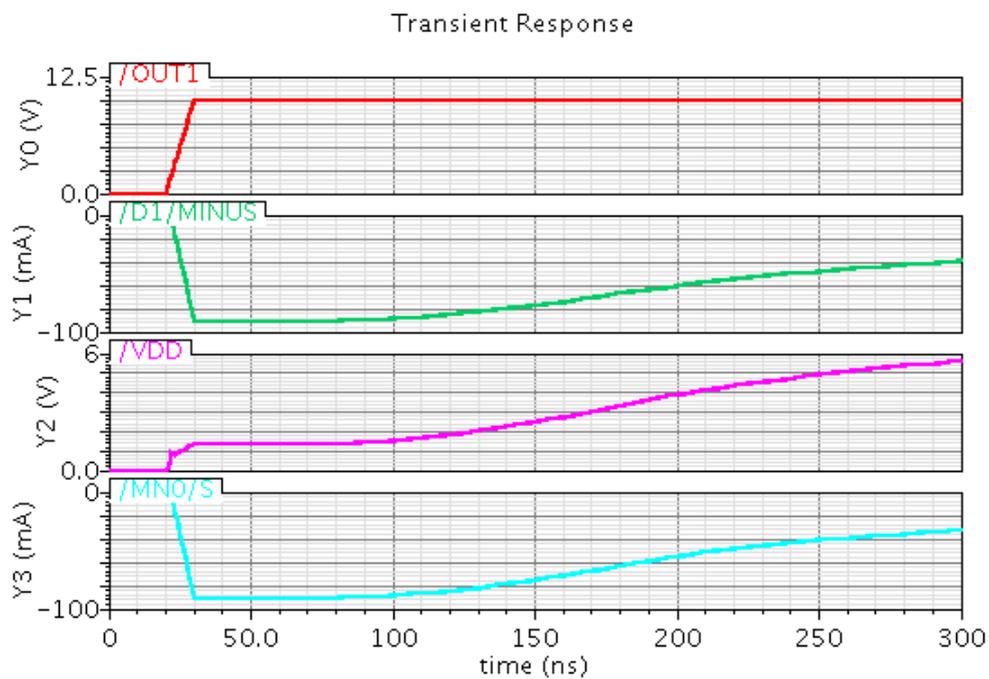


图 4-14 O/p1 对 VSS 正向放电时的仿真

3. I/O 引脚到 I/O 引脚

我们先考察输入端。指定 I/p1 施加正电压，其余 I/O 引脚接地。由图 4-15，电流经过 Mp2(利用寄生二极管)，来到 VDD，接着通过 Mn0 来到 VSS，整个过

程和图 4-9 所示的 I/p1 对 VSS 的正向放电相似。由图 4-16 可以看到电流从 VSS 分配到 I/p2 及 O/p1 的情况，分别经过了 Mn3 以及 D2。可以看到 MOS 管寄生二极管的分流能力远大于 D2。要提升 I/p1 到 O/p1 之间电流路径的排放能力，必须增加二极管 D2 的面积。

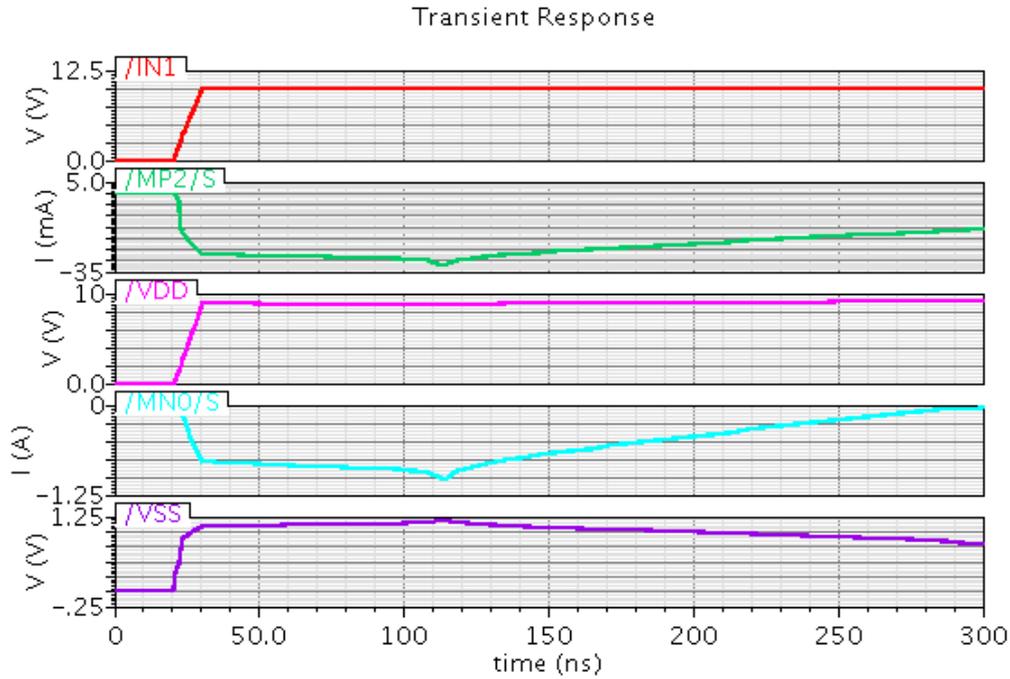


图 4-15 I/p1 到 VSS 之间的通路情况

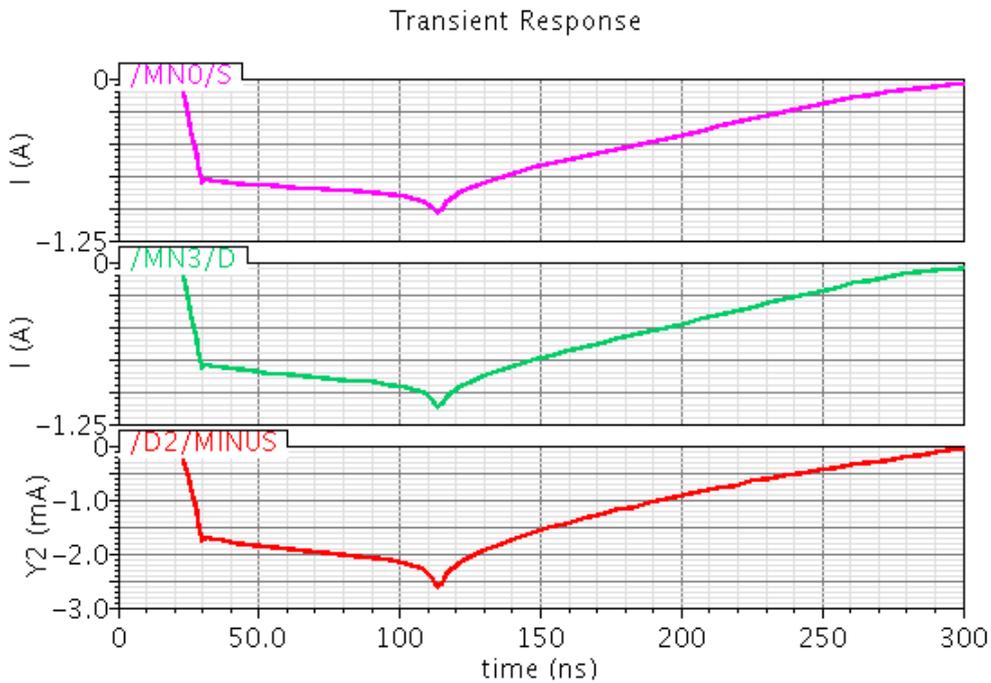


图 4-16 VSS 到 I/O 之间的电流分配

最后我们来看输出端，指定 O/p1 施加正电压，其余引脚接地。由图 4-17，电流再一次通过电源钳位电路来到 VSS，整个过程和图 4-14 所示的 O/p1 对 VSS 的正向放电相似。从 VSS 到其余引脚的电流分配见图 4-18。

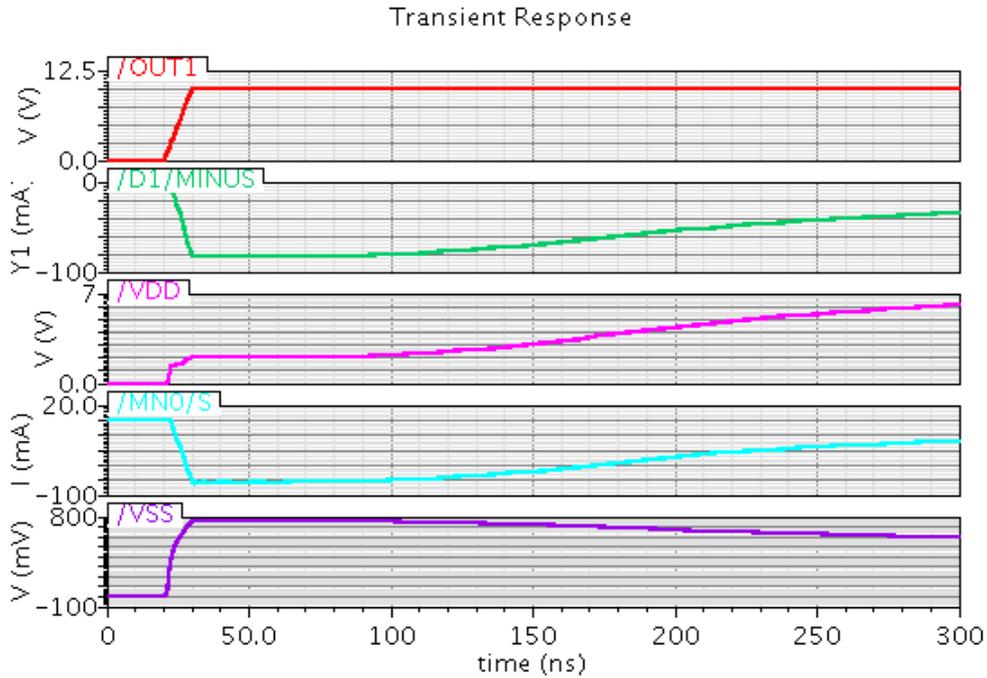


图 4-17 O/p1 到 VSS 之间的通路情况

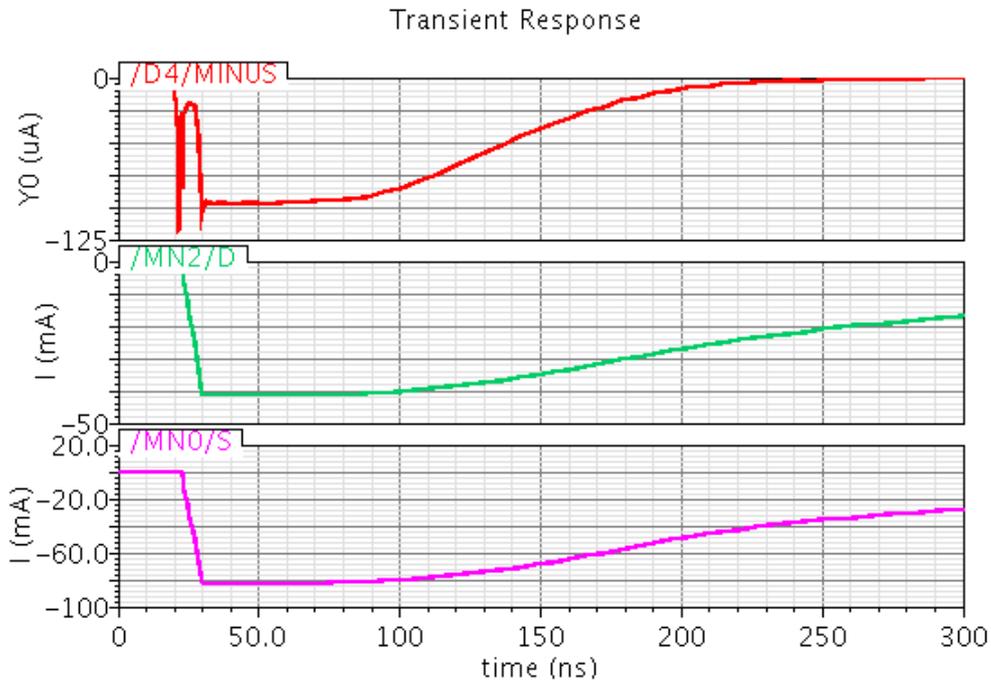


图 4-18 VSS 到 I/O 之间的电流分配

综上，每一种放电模式都有合适的电流排放路径。排放路径能通过电源钳位电路作各种组合，可以说，电源钳位电路在 ESD 保护网络中起到了至关重要的作用。在 2.3 节中提到，若电源钳位离引脚太远，寄生的电阻电容会严重影响 ESD 保护能力，所以，对于全芯片的 ESD 保护电路设计，必须测试电源钳位电路的失效距离，然后综合考虑电源钳位电路的摆放位置和数量。图 4-19 给出了全芯片的 ESD 保护网络结构，重点在于每格一段距离必须放置电源钳位电路。

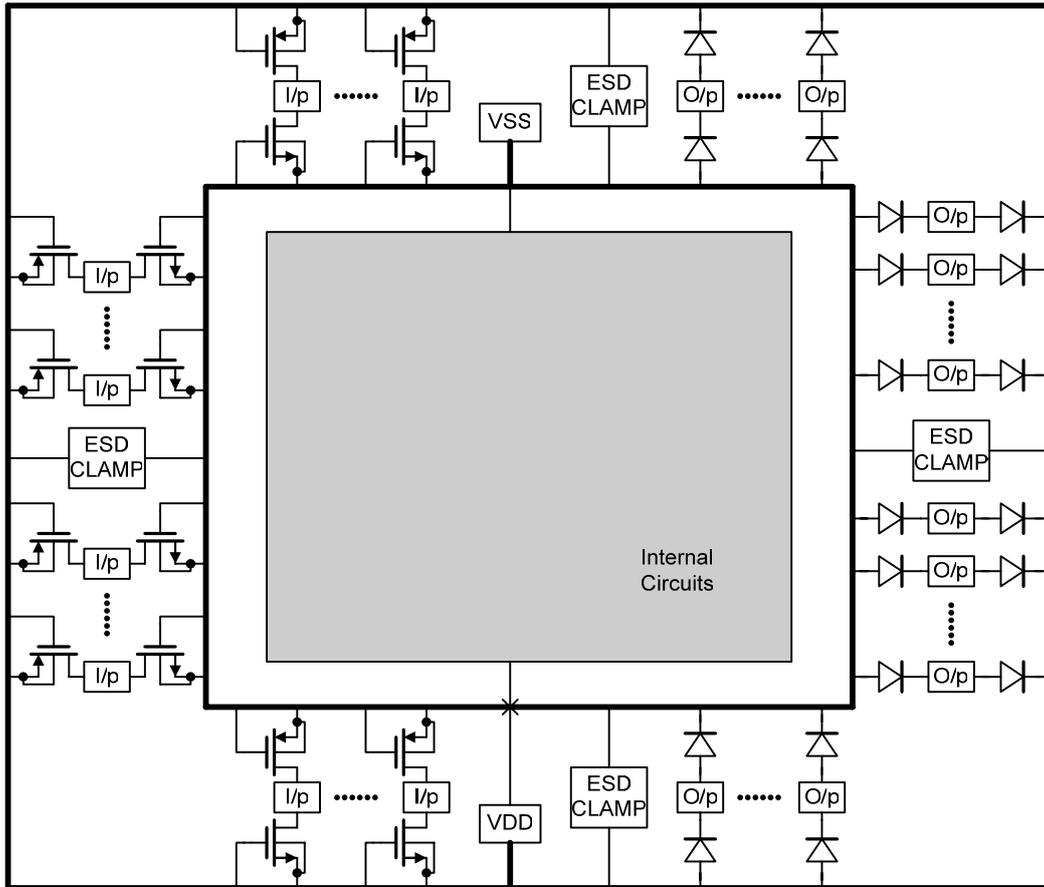


图 4-19 全芯片的 ESD 保护网络

第五章 总结与展望

5.1 总结

本文从静电放电保护电路的应用出发，首先阐述了静电放电的基本理论，然后根据 ESD 测试的八种放电模式分析了 ESD 保护网络的架构，接着细化到 I/O 保护电路和电源钳位电路这两类模块电路，分析并总结了常用的 ESD 器件。全文自上而下设计了一个 ESD 保护网络，并根据仿真结果总结了在各个测试模式下电流的流向。

5.2 未来展望

无论科技如何进步，ESD 问题始终存在。越来越多的引脚，越来越敏感的电路以及越来越复杂的工艺，是将来 ESD 保护电路设计所面临的无法逃避的现实。特征尺寸进一步减小，MOS 管栅极所能承受的电压必定下降，在考虑芯片可靠性时，ESD 问题或许会成为和 CMOS 漏电流一样棘手的课题。ESD 保护电路的设计只会越来越重要。怎样设计出低触犯、低钳位、高电流排放能力、高集成度、优秀抗噪声能力的 ESD 保护电路是 ESD 设计者永恒的追求，但往往不能兼得。一些新的结构以及制造工艺必须提出，以适应集成电路发展的脚步。

参考文献

- [1] EOS/ESD Standard for ESD Sensitivity Testing, EOS/ESD Association, NY., 1993.
- [2] Nitin Mohan, Auil Kumar, "Modeling ESD Protection", IEEE POTENTIALS, Feb/Mar 2005.
- [3] Steven H.Voldman, "ESD Circuit and Devices", Publishing House of Electronics Industry, 2008.
- [4] SANJAY DABRAL, TIMOTHY MALONEY, "Basic ESD and I/O Design", Intel Corporation, 1998.
- [5] Ming-Dou Ker, Senior Member, IEEE, "Whole-Chip ESD Protection Design with Efficient VDD-to-VSS ESD Clamp Circuit for Submicron MOS VLSI", IEEE Trans. on Electron Devices, vol.46, No.1, Jan 1999.
- [6] Ming-Dou Ker, Senior Member, IEEE, "Design on ESD Protection Scheme for IC with Power-Down-Mode Operation", IEEE Journal of Solid-State Circuits, vol.39, No.8, AUG 2004.
- [7] Shiao-Shien Chen, Tung-Yang Chen, "Low-Leakage Diode String Design Using Triple-Well Technologies for RF-ESD Applications, IEEE Electron Device Letters, vol.24, No.9, Sep 2003.
- [8] Abhishek Ramanujan, Moncef Kadi, "Modeling IC Snapback Characteristics Under Electrostatic Discharge Stress", IEEE Trans. on Electromagnetic Compatibility, vol. 51, No.4, NOV 2009.
- [9] Ming-Dou Ker, Hsin-Chyh Hsu, "The Impact Of Inner Pickup On ESD Robustness Of Multi-Finger NMOS In Nanoscale CMOS Technology", IEEE Annual International Reliability Physics Symposium, 2006.
- [10] Ajith Amerasekera, Charvaka Duvvury, "ESD in Silicon Integrated Circuits, 2nd Edition/On", John Wiley & Sons, Ltd, 2002.
- [11] MIL-STD-883C method 3015.7, "Military Standard Test Methods and Proc. For Microelectronics", Dept. of Defense, Washington, D. C., U.S.A., 1989.C.
- [12] J. T. Watt, A. J. Walker, "A hot-carrier triggered SCR for ESD protection", 1995 IEDM Technical Digest, pp. 341-344.

致谢

论文是在导师唐长文老师的悉心指导下完成的。从论文的选题到设计研究的顺利进行，再到论文的审阅和修改，导师都给我提供了非常多的建议和帮助。在此期间，导师还给予我很多的教诲和启迪，使我终身受益非浅。导师敏锐的洞察力、严谨的治学风范以及求实创新的工作作风和诲人不倦的精神，将永远是我学习的楷模。值此论文完成之际，在此向唐长文老师表示衷心的感谢！

然后，感谢在论文完成期间，给予我众多帮助和建议的廖友春、刘立明，是你们的热情和负责，让我在遇到困难时勇往直前。

同时，在这四年里，许多同学给予了我生活和学习上的帮助，在论文完成期间，也同样有同学给我提出了建议，在背后默默支持我，在此向这些同学表示我诚挚的谢意！

最后，再次感谢唐长文老师，希望此次毕业设计能为我的四年学业画上一个完美的句号。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 张唯一 日期： 2010年6月

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 张唯一 导师签名： 唐长文 日期： 2010年6月