

学校代码： 10246

学 号： 10210720137

復旦大學

硕 士 学 位 论 文

论文题目

院 系：

专 业：

姓 名：

指 导 教 师：

完 成 日 期： 0000 年 00 月 00 日

目 录

图目录	III
表目录	V
摘 要	1
Abstract	2
第一章 概述	3
1.1 研究背景及意义	3
1.2 国内外研究现状	3
1.3 论文组织结构	3
第二章 模数转换器概述	5
2.1 模数转换器基本原理	5
2.2 主要性能指标	5
2.2.1 理想 A/D 转换器	6
2.2.2 静态性能参数	7
2.2.3 动态参数	7
2.3 算法型模数转换器工作原理	9
第三章 算法型 ADC 结构设计及关键技术	11
3.1 数字校正算法分析	11
3.2 电容翻转采样保持电路	13
3.3 电荷重分布采样保持电路	15
3.4 余量增益放大电路	17
3.5 开关电容共模反馈	19
3.6 非理想因素分析	23
3.6.1 噪声分析	23
3.6.2 运放的非理想因素	25
第四章 电路设计及仿真结果	28
4.1 模数转换器电路结构	28
4.2 运放设计	29
4.2.1 开关电容电路对运放的要求	29
4.2.2 运放结构的选取	32
4.2.3 电路实现及仿真结果	35
4.3 参考电压产生电路	38
4.4 比较器	40
4.5 时钟生成电路	42

4.6 模数转换器整体仿真结果	43
4.7 版图设计	45
第五章 总结与展望	47
5.1 总结	47
5.2 未来工作展望	47
致谢	49
参考文献	50

图目录

图 2-1 模数转换原理	5
图 2-2 模数转换器量化曲线	6
图 2-3 理想 A/D 转换器量化误差	6
图 2-4 算法型 ADC 原理图	9
图 2-5 算法型 ADC 原理图开关时序	10
图 3-1 误差校正	12
图 3-2 电容翻转采样保持电路	13
图 3-3 电容翻转采样保持电路的失调电压分析	14
图 3-4 消除失调电压的电容翻转采样保持电路	14
图 3-5 电荷重分布采样保持电路	15
图 3-6 电荷重分布采样保持电路的失调电压分析	16
图 3-7 消除失调电压的正相电荷重分布采样保持电路	17
图 3-8 余量增益放大电路	17
图 3-9 余量增益等效电路	18
图 3-10 余量增益电路的失调电压分析	19
图 3-11 开关电容共模反馈电路	20
图 3-12 SC-CMFB 半边等效电路	20
图 3-13 简单采样电路模型和其噪声等效电路	23
图 3-14 采样保持系统的噪声等效电路	24
图 3-15 用于精度计算的等效电路	25
图 3-16 计算建立时间的简单开关电容电路	25
图 3-17 建立时间曲线	26
图 3-18 采样模式等效电路	26
图 3-19 放大模式等效电路	27
图 4-1 算法型 ADC 主体电路图	28
图 4-2 开关控制时序	28
图 4-3 套筒式共源共栅放大器	32
图 4-4 折叠式共源共栅放大器	33
图 4-5 增益提高的共源共栅放大器	34
图 4-6 增益提高共源共栅放大器的三种实现形式	34
图 4-7 轨到轨折叠式共源共栅放大器	36
图 4-8 轨到轨折叠式共源共栅放大器辅助运放	36

图 4-9 全差分运放开环频率特性	36
图 4-10 全差分运放闭环差模频率特性	37
图 4-11 全差分运放闭环共模频率特性	37
图 4-12 全差分运放建立时间曲线	38
图 4-13 参考电压产生电路	38
图 4-14 参考电压产生电路频率特性曲线	39
图 4-15 比较器电路	40
图 4-16 比较器仿真结果	41
图 4-17 时钟产生电路	42
图 4-18 时钟产生电路仿真波形	43
图 4-19 SHA 输出建立曲线	43
图 4-20 ADC 量化台阶	44
图 4-21 FFT 频谱分析	44
图 4-22 全差分运放版图设计	46
图 4-23 模数转换器整体版图	46

表目录

表 4-1 运放性能指标.....	35
-------------------	----

摘要

模数转换器是现实世界中模拟信号与数字信号沟通的桥梁。本文基于TSMC 0.18um CMOS工艺，设计了一款应用于中低频采样领域的转换速度为5MSPS的8位的算法型模数转换器，其主要优点在于功耗较低，芯片面积较小。算法型模数转换器是一种循环式的结构，每次循环能得到1.5bit的量化信号。8次循环得到的量化信号累加产生一个8位的数字信号。

本次设计的模数转换器采用全差分两级结构实现，对于主电路运放的直流offset不敏感。由于输入为轨到轨结构，输入信号有较大的摆幅。电路的核心为一个带gain-boosting的folded-cascode单级全差分运放，单级结构保证了较大的带宽，从而保证了信号建立速度，而增益提高技术能得到较大的直流增益，因此能实现较高的精度。采用动态比较器能减小电路的功耗，采用时钟树驱动独立分布的时钟发生电路避免了高速工作情况下由时钟延时的不匹配造成的相位误差，而且增大了时钟驱动能力。

本次设计采用了cadence软件的spetre工具对电路进行了仿真，而且进行了Monte Carlo仿真和版图后仿优化。整体电路仿真最后能达到50.36dB的信噪比和7.97bit的有效位，功耗低于6mW。

关键词：算法型、模数转换器、全差分、低功耗、增益提高

中图分类号：TN432

Abstract

Analog to digital converters is the bridge of the analog signal in the real-life world to digital signal. In the thesis, a 8-bit 5MSPS algorithmic A/D converter applied in the mid and low sampled frequency area was designed base on TSMC 0.18 μ m CMOS mixed-mode process. It has the advantage of low power consumption and small chip area. Algorithmic ADC has cyclic architecture, and every cycle could get 1.5bit quantized signal. A 8-bit digital signal is produced after accumulating quantitative signal of 8 cycles.

The analog to digital converter uses full differential two-stage architecture, and is not sensitive to DC offset of the main circuit op amp. As the rail to rail structure of input, the input signal has a large voltage swing. While the core of circuit is a one-stage folded-cascode full differential op amp with gain-boosting, one-stage architecture ensure a large bandwidth, thus ensure the speed of signal setting, and gain enhancement technique can get large DC gain, thus it can achieve high accuracy. Dynamic comparator in the circuit can reduce power consumption. A global clock tree is employed with local clock generator in the prototype in order to overcome phase error caused by clock skew at such high speed and across long distance and enhance the clock drive capability.

The design perform the circuit simulation using spectre tool of cadence software, while also carry out Monte Carlo simulation and layout optimization. The overall circuit simulation can achieve the signal to noise ratio of 50.36dB and the effective bit of 7.97, the power consumption is less than 6mW.

Keywords: Algorithmic, Analog to Digital Converter, Full Differential, Low Power Consumption, Gain Enhancement

Classification Code: TN432

第一章 概述

1.1 研究背景及意义

模数转换器在我们的生活中无处不在。它存在于各种形式的电子设备之中，把我们的现实物理世界和数字计算机联系起来。过去三四十年有着很多的发明创造，从移动电话到因特网，从医学图像仪器到手持电视，而模数转换器的发展使得它们的功能得以实现并且性能不断优化。

单纯的模拟电子电路能够以简单易实现的方式来完成很多信号处理过程。而且很多信号处理功能相对容易以至于模拟的处理方法已经足够(音频放大器、滤波器、无线电设备)。然而在更复杂的环境中，单纯的模拟处理方法不能满足要求。只有数字处理方法才能实现更重要的功能。数字处理方法相对于模拟处理方法的重要优势在于数字化信号完美的存储性、没有限制的信噪比、实现复杂计算的能力和采用算法改变环境的可能性。如果某个信号处理应用需要利用这些优势，那么模拟信号在信号处理链的早期就要转换为高质量的数字信号。在数字信号处理的末尾这种转换又要以相反的方式进行。数字模拟转换把数字信号处理的结果转换为可以作为图像声音等表达的信号。模数转换器(简称为A/D转换器或ADC)的作用使得它成为现实物理世界繁多的信息量和快速增长的数字信号处理的能力之间至关重要的元素。

1.2 国内外研究现状

目前国外对模数转换器的研究开发已经达到了很高的水平，而我国在这方面的研发水平与国外相比还十分落后。ADI、TI等主要设计生产模拟IC的专业化大公司的产品则代表了当今ADC技术的领先水平。而随着技术的不断发展，模数转换器也朝着高速高精度、低功耗的方向不断改进。在各种模数转换器系统架构中，流水线型模数转换器由于其分段转换、流水作业的结构特点，在实现较高分辨精度的模数转换时仍然能保持较高的速度和较低的功耗，适合于系统集成，其主流转换率可以达到200MSps以上，分辨率可以达到8~14 bit。

1.3 论文组织结构

在论文工作期间，作者查阅了大量有关模数转换器方面的资料，较系统地学习了各种模数转换器的结构和性能，重点研究了算法型模数转换器的原理结构，最终完成了一个8位1.8伏5MSPS的算法型模数转换器的电路设计与版图设计。在cadence软件下，借助其他分析工具测得模数转换器可达到7.97位的有

效精度，功耗低于 6mW。

本文主要结构内容如下：

第二章介绍了一般数模转换器基本原理，讨论了有关的性能指标，接着主要讲解了算法型 ADC 的工作原理。

第三章对算法型模数转换器的结构设计和关键技术进行了深入研究。结构设计中重点研究了开关电容电路的特性和工作方式。

第四章主要详细阐述了各子模块，包括运放、参考电压产生电路、数字模块的理论探讨和具体电路实现，并且对仿真结果进行了展示。最后介绍了整体电路的仿真结果和版图设计。

第五章总结了论文的主要研究设计成果，并指出进一步工作的方向。

第二章 模数转换器概述

2.1 模数转换器基本原理

模数转换器(ADC)对信号的处理可以分为两个过程：采样和量化。采样把连续时间信号转换为相关的离散时间信号；量化把连续幅值分布信号转换为一系列可以用数字编码表达的离散值。图 2-1 表示了模数转换的原理。

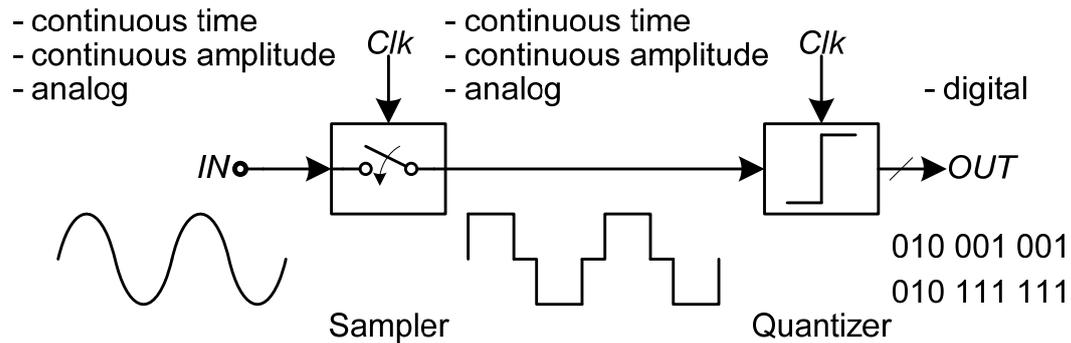


图 2-1 模数转换原理

模数转换器根据采样和量化的不同方式可分为快闪式(Flash)、折叠式(Folded)、流水线(Pipeline)、逐次逼近型(SAR)、过采样型(Σ - Δ)等。其中flash模数转换器，采样和量化同时进行；某些转换直流信号的ADC则不需要采样这一过程。然而对于高性能的ADC，采样和量化通常是分离而且缺一不可的。另外，某些不需要单独的采样电路的ADC，可以通过增加采样电路来提高其性能。

2.2 主要性能指标

评估一个模数转换器的性能，有采样速率、分辨率、信号噪声比(SNR)、非线性误差、功耗和芯片面积等多方面，其中采样速率、分辨率、信号噪声比及无杂波动态范围是最主要的性能指标。通常状况下，ADC的性能指标可以分为静态特性参数、动态特性参数及频域特性参数三种类别，并根据具体应用进行性能优化，如无线通信应用比较注重频域特性参数。

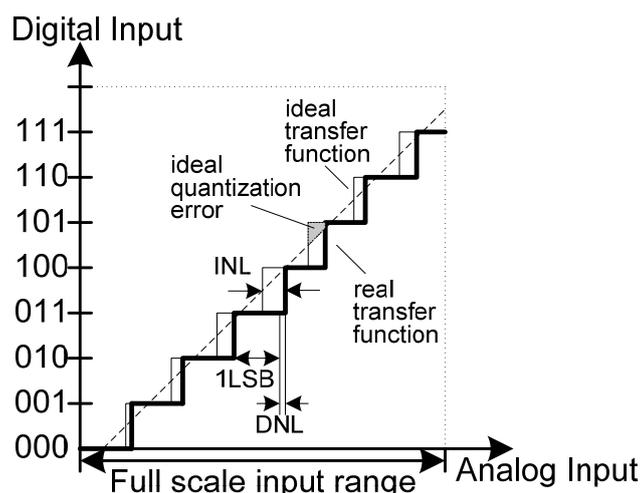


图 2-2 模数转换器量化曲线

2.2.1 理想 A/D 转换器

分辨率(Resolution)是衡量一个模数转换器进行定量操作的能力,以比特位(bit)来表示。一个 N-bit 的 ADC 能将输入的模拟信号经过采样保持电路,再通过比较及数字编码转换为 N 位数字输出信号。一个 N-bit 的 ADC,具有可以分辨输入信号变化为 1LSB(Least Significant Bit)的能力,其中 $1 \text{ LSB} = V_{\text{FS}}/2^N$, V_{FS} 为满幅输入信号。图 2-2 所示为一个 3-bit 模数转换器的量化特性,细阶梯状曲线表示理想情况,输入信号以横坐标表示,而数字输出以二进制的形式用纵坐标表示。输入信号每变化一个 LSB,会使得数字输出码改变一位,因此 LSB 也被称为量化步长,表示在这个步长内所有的模拟输入信号都对应同一个数字输出。对于一个 A/D 转换器,输入信号可以表示为:

$$V_{\text{in}} = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) V_{\text{FS}} \quad (2.1)$$

其中, N 是 A/D 转换器的分辨率, $b_i (i=1 \sim N)$ 为相应数字输出位的值,即 1 或 0。

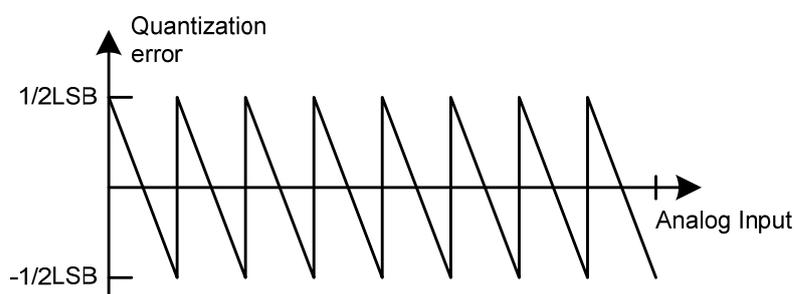


图 2-3 理想 A/D 转换器量化误差

理想 A/D 转换器的理论传递函数是一条斜率为 1 的直线(图 2-2 所示的对角线),而由于分辨率是一个有限的值,因此可实现的理想 A/D 转换器的传递函数是呈单调上升的阶梯状(图 2-2 所示的细实线)。所以实际 A/D 转换器都是仅以有限

位数的数字编码表示一定范围内所有的模拟输入，每个数字输出都代表了一段范围的模拟输入(即一个 LSB)。如式 2-1 所示，模拟输入被等效为一个邻近的参考电平，这样就引入了误差，原始输入和等效的输出参考电平之间的差值叫做量化误差，如图 2-3 所示。显然，随着 A/D 转换器分辨率的增加，量化误差会相应的减小。

在一定的条件下，量化误差可以等效为噪声(量化噪声)。对于理想 A/D 转换器，即使在其他条件都为理想的情况下，量化噪声还是存在，这是它的固有噪声。量化噪声是 A/D 转换器中的一个基本限制，它确定了误差能量的下限值。由于电路的非理想性，总误差始终要大于量化误差。

2.2.2 静态性能参数

(1) 微分非线性误差(DNL)

微分非线性是指实际模数转换器与理想模数转换器步长的差值，如图 2-2 所示。假设 X_k 表示数字编码 $k-1$ 至 k 的转换点(模拟量)，则数字编码为 k 所对应的步长可以表示为 $\Delta_r(k) = (X_{k+1} - X_k)$ ，微分非线性误差为：

$$DNL(k) = \frac{\Delta_r(k) - \Delta}{\Delta} \quad (2.2)$$

(2) 积分非线性误差(INL)

积分非线性误差是指传输函数与理想直线的偏离差值，如图 2-2 所示，以步长为单位，通常在评价模数转换器性能时则取其绝对值的最大值。

INL 与 DNL 的关系可表示为：

$$INL_k = \sum_{i=1}^{i=k} DNL_i \quad (2.3)$$

模数转换器中大的 DNL 导致 INL 的随机性增大；而大的 INL 显示为大的谐波失调。微分非线性误差可以等效为噪声，与量化噪声叠加，导致 SNR 进一步下降。

(3) 单调性

单调性是指模数转换器输出编码随着输入信号的增大而稳定增大，随着输入信号的减小而稳定减小。因此输出编码要么保持恒定，要么与输入信号同方向改变。

(4) 失码

无论模数转换器输入为何值，输出永远不能取得某一个或几个数字码时为失码，当有失码时 DNL 为-1。对于一些系统，失码带来的误差可能是灾难性的，因此模数转换器一般要求单调没有失码。

2.2.3 动态参数

模数转换器中电路的频率响应和速度决定了它的动态性能。显然当输入信号

的带宽和转换速率很高时动态特性显得尤为重要。衡量动态参数的主要指标有信噪比、信号与噪声谐波比、总谐波失真、无杂散动态范围和有效位。

(1) 等效输入噪声

等效输入噪声是指 ADC 中电路产生的噪声在输入的等效。对于一个实际的 ADC, 当输入为恒定直流信号时, 输出并不恒定而是以输入对应的理想输出编码为中心呈高斯分布(大量输出采样的结果)。等效输入噪声即指上述输出偏离理想情况的标准分布, 一般以步长为单位。

(2) 信噪比(Signal-to-Noise Ratio, SNR)

输入信号(通常为正弦波)与由量化噪声和电路产生噪声构成的总噪声的能量之比即为 SNR。有

$$SNR = 10\log\left(\frac{\text{Signal Power}}{\text{Total Noise Power}}\right) \quad (2.4)$$

现忽略电路产生的噪声, 假设一个 N-bit 的 ADC 幅值为 1, 输入是峰峰值为满幅值的正弦信号, 则其功率为 1/8。由于量化噪声的功率可以表示为 $\Delta^2/12$ ($\Delta = 1/2^N$, 为量化步长), 因此

$$\begin{aligned} SNR &= 10\log\left(\frac{1/8}{\Delta^2/12}\right) \\ &= 10\log\left[\frac{1/8}{1/(12 \times 2^{2N})}\right] \\ &= 6.02N + 1.76 \end{aligned} \quad (2.5)$$

上式(2.5)表示理想情况下 N-bit 模数转换器所能达到的最大 SNR, 而由于电路噪声的存在, 实际的 SNR 一定小于(6.02N+1.76)。

(3) 信号与噪声谐波比(Signal-to-Noise and Distortion Ratio, SINAD)

信号与噪声谐波比(SINAD, 也写作 SNDR)是 ADC 输出的信号功率与噪声、谐波功率和之比。SINAD 也就是信号能量和其余所有非信号能量的功率之比, 它既与输入幅值有关, 也与输入频率有关。

$$SNDR = 10\log\left(\frac{\text{Signal Power}}{\text{Noise and Distortion Power}}\right) \quad (2.6)$$

(3) 无杂散动态范围(Spurious-Free Dynamic Range, SFDR)

SFDR 是指信号能量与最大的谐波或者杂波能量的比值, 有

$$SNDR = 10\log\left(\frac{\text{Signal Power}}{\text{Largest Spurious Power}}\right) \quad (2.7)$$

无杂散动态范围是衡量高速 ADC 失真性能的重要指标。SFDR 的大小与 ADC 输入信号的幅度、频率和其采样率有关。

(4) 总谐波失真(Total Harmonic Distortion, THD)

THD 是指在 ADC 输出信号频谱中, 总谐波能量与信号能量的比值。有

$$THD = 10 \log \left(\frac{\text{Total Harmonic Distortion Power}}{\text{Signal Power}} \right) \quad (2.8)$$

(5) 有效位(Effective Number of Bits, ENOB)

信噪谐波比用比特表示即有效位,有效位直观地表示了 ADC 所能达到的有效精度,

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (2.9)$$

其中 $SINAD_{dB}$ 是满幅信号输入下得到的值。

2.3 算法型模数转换器工作原理

由于数字信号处理(DSP)的快速发展,数字信号能更快速有效的进行运算和处理。因此 ADC 作为数字信号和外界的接口,起着至关重要的作用。最近几年间,便携式设备越来越流行。这使得低电压和低功耗电路的需求与日俱增,例如在一些传感器、生物化学仪器中这种电路就显得尤为关键。对于一个算法型 ADC,余量电压是循环的,因此电路结构只需要单级。为了满足芯片面积和功耗的严格要求,算法型 ADC 是一个不错的选择[1][2][3]。

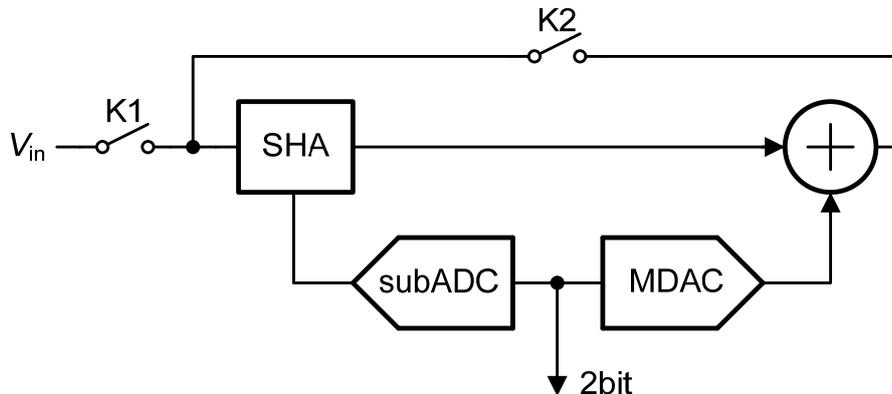


图 2-4 算法型 ADC 原理图

图 2-4 是算法型模数转换器的框图,由采样保持电路(SHA),模数转换(subADC)和数模转换(MDAC)三部分构成。 K_1 和 K_2 由相反时钟控制,其时序关系如图 2-5 所示(T 为电路运算一次所需时间)。当 K_1 闭合, K_2 断开,电路开始对外部输入信号进行采样。采样所得信号通过 subADC 得到 1.5bit 数字信号,此数字信号再通过 DAC 会得到某一电压值 V ,这个值与初始采样信号相加得到增益余量。当 K_2 闭合, K_1 断开时,增益余量返回到输入端作为下一次运算的输入信号,再次开始采样,如此循环往复。对于一个 8bit 数模转换器,得到最终译码时会作 8 次循环运算。

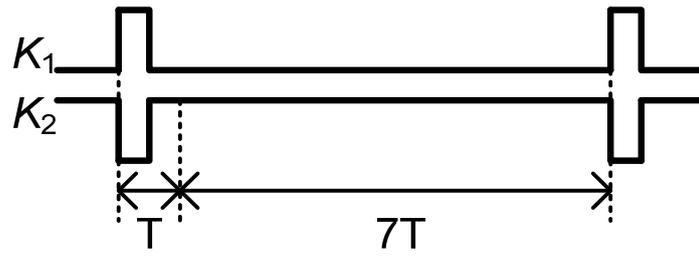


图 2-5 算法型 ADC 原理图开关时序

第三章 算法型 ADC 结构设计及关键技术

3.1 数字校正算法分析

以前模数转换器的一个主要误差来源是比较器的失调,但是由于工艺和物理的限制比较器的失调是无法完全消除的。在 1992 年 Lewis 提出了每级 1.5bit 的数字校正算法,通过增加少量比较器等电路的代价而在很大程度上消除比较器失调的影响,从而极大地提高模数转换器的精度[4]。

以图 2-4 所示结构的 8-bit 的算法型 ADC 为例,子模数转换器(subADC)中有两个比较器,用于对上一级(SHA)的结果进行量化,并输出相应的数字码(1.5bit),同时对数字码进行处理,用以控制子数模转换器(MDAC),得到相应的增益余量。设输入信号的范围为 $-V_R \sim +V_R$,幅值为 V_{FS} ,即 $V_{FS} = 2V_R$ 。令比较器的阈值分别为 $-1/4V_R$, $+1/4V_R$,设外部输入采样信号通过比较器后译码出来的值为 d_1 ,则有:

$$\begin{cases} -V_R < V_{in} < -1/4V_R; & d_1 = 00(\text{Bin}) = 0(\text{Dec}) \\ -1/4V_R < V_{in} < +1/4V_R; & d_1 = 01(\text{Bin}) = 1(\text{Dec}) \\ +1/4V_R < V_{in} < +V_R; & d_1 = 10(\text{Bin}) = 2(\text{Dec}) \end{cases}$$

当 d_1 分别为 0, 1, 2 时,通过 MDAC 得到对应三个电压值 $-V_R$, 0, $+V_R$,此电压值与 $2V_{in}$ 相加得到增益余量,作为下次循环运算的输入,即

$$V_1 = 2V_{in} - (d_1 - 1)V_R$$

V_1 作为下次运算的输入,再重复上述过程。由于本次设计的是 8bit ADC,因此循环运算 8 次,得到 $d_1 \sim d_8$,最后的输出译码为

$$D = (d_1 \times 2^7 + d_2 \times 2^6 + \dots + d_8) / 2 \quad (3.1)$$

下面证明这种算法的正确性。8bitADC 的标准量化关系如下式所示,其中 n 为量化后的数字输出,

$$(n - 2^7) \frac{V_R}{2^7} < V_{in} < (n - 2^7 + 1) \frac{V_R}{2^7}; (n = 0, 1, 2 \dots 2^8 - 1) \quad (3.2)$$

设 $V_2 \sim V_9$ 分别对应 1~8 次循环的增益余量,则

$$V_2 = 2V_{in} - (d_1 - 1)V_R$$

$$V_3 = 2V_2 - (d_2 - 1)V_R$$

⋮

$$V_9 = 2V_8 - (d_8 - 1)V_R$$

依次叠代得到:

$$\begin{aligned}
V_9 &= 2V_8 - (d_8 - 1)V_R \\
&= 2[2V_7 - (d_7 - 1)V_R] - (d_7 - 1)V_R \\
&= 2^2V_7 - 2(d_7 - 1)V_R - (d_8 - 1)V_R \\
&= 2^3V_6 - 2^2(d_6 - 1)V_R - 2(d_7 - 1)V_R - (d_8 - 1)V_R \\
&\vdots \\
&= 2^8V_{in} - 2^7(d_1 - 1)V_R - 2^6(d_2 - 1)V_R - \dots - (d_8 - 1)V_R \\
&= 2^8V_{in} - (2^7d_1 + 2^6d_2 + \dots + d_8)V_R + (2^8 - 1)V_R \\
\Rightarrow V_{in} &= \frac{1}{2^7}(2^6d_1 + 2^5d_2 + \dots + d_7 + \frac{1}{2}d_8)V_R + (2^{-8} - 1)V_R + \frac{1}{2^8}V_9 \\
\Rightarrow V_{in} &= [(2^6d_1 + 2^5d_2 + \dots + d_7 + \frac{1}{2}d_8) - 2^7] \frac{V_R}{2^7} + \frac{1}{2^7} \frac{V_R + V_9}{2} \\
\therefore -V_R &< V_9 < V_R \\
\therefore 0 &< \frac{V_R + V_9}{2} < V_R
\end{aligned}$$

对比式(3.2)，可以得到

$$n = 2^6d_1 + 2^5d_2 + \dots + d_7 + \frac{1}{2}d_8$$

得证。

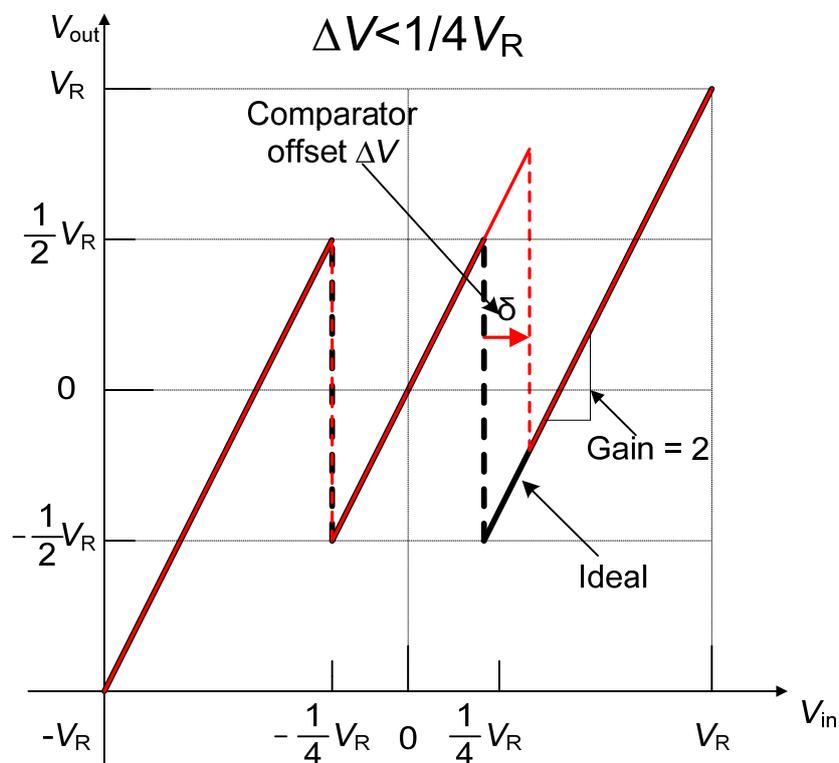


图 3-1 误差校正

之所以采用这种数字算法，是由于比较器的设计中，失调是无法避免的。这

种数字校正算法可以以增加较少功耗为代价换取对 ADC 较大失调误差的容忍。假设 ADC 中某个比较器的失调为 δ_1 ，如上图 3-1 所示。显然，比较器的失调不会改变输入在坐标轴两端的余量，而是以 $1/4V_R$ 和 $-1/4V_R$ 的参考电压为始点发生余量变化。当 $\delta < 1/4V_R$ 时，余量在 $-V_R \sim +V_R$ 范围内；而当 $\delta > 1/4V_R$ 时，余量超出此范围，电路不能正常工作。

3.2 电容翻转采样保持电路

采样保持对模拟输入信号进行采样，并将采样结果保持一定时间以供后续电路进行量化处理。ADC 的整体误差也主要由采样保持电路决定，因此采样保持电路的设计是 ADC 的一个关键所在。下面分析电容翻转型采样保持电路。

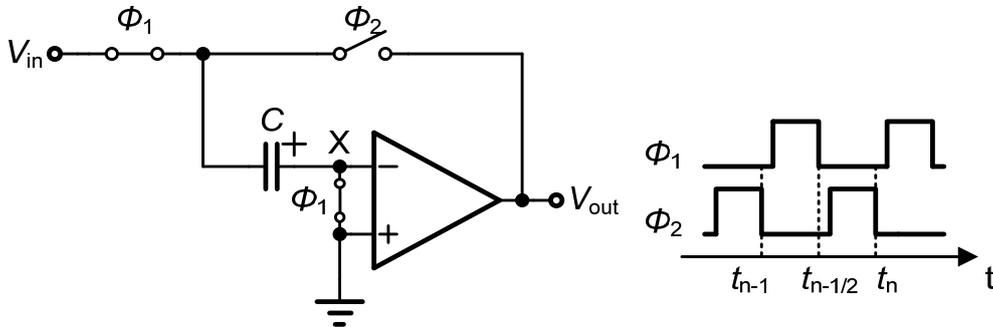


图 3-2 电容翻转采样保持电路

图 3-2 是电容翻转采样保持电路。 ϕ_1 ， ϕ_2 为电路开关控制时序，高电平时表示开关闭合。 t_{n-1} ， $t_{n-1/2}$ 和 t_n 表示 ϕ_1 ， ϕ_2 由高电平跳变到低电平的时刻。 $Q_c(n-1/2)$ 表示电容 C 在 $t_{n-1/2}$ 时刻右极板电荷量， $Q_c(n)$ 表示电容 C 在 t_n 时刻右极板电荷量。

在 ϕ_1 状态

$$Q_c(n-1/2) = C[V_x(n-1/2) - V_{in}(n-1/2)] = -CV_{in}(n-1/2)$$

在 ϕ_2 状态

$$Q_c(n) = C[V_x(n) - V_{out}(n)] = -CV_{out}(n)$$

由电荷守恒有，

$$\begin{aligned} Q_c(n-1/2) &= Q_c(n) \\ -CV_{in}(n-1/2) &= -CV_{out}(n) \end{aligned}$$

输入输出电压传递函数为，

$$V_{out}(n) = V_{in}(n-1/2) \tag{3.3}$$

下面分析运放存在静态失调电压(offset)时的情况，如图 3-3 所示，假设静态失调电压为 V_{os} ，

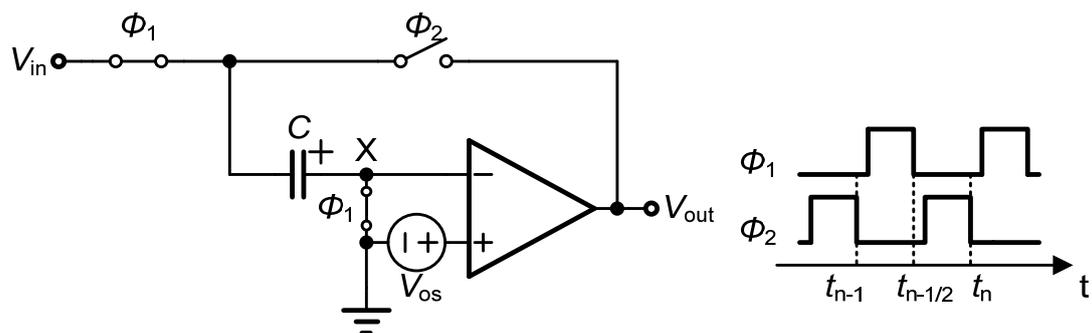


图 3-3 电容翻转采样保持电路的失调电压分析

在 ϕ_1 状态

$$Q_c(n-1/2) = C[V_X(n-1/2) - V_{in}(n-1/2)] = -CV_{in}(n-1/2)$$

在 ϕ_2 状态

$$Q_c(n) = C[V_{os} - V_{out}(n)]$$

由电荷守恒有，

$$\begin{aligned} Q_c(n-1/2) &= Q_c(n) \\ -CV_{in}(n-1/2) &= C[V_{os} - V_{out}(n)] \end{aligned}$$

输入输出电压传递函数为，

$$V_{out}(n) = V_{in}(n-1/2) + V_{os} \quad (3.4)$$

当电路存在失调电压时输入输出电压传递函数改变，使得采样结果存在误差。消除失调电压的电容翻转采样保持电路如图 3-4 所示，

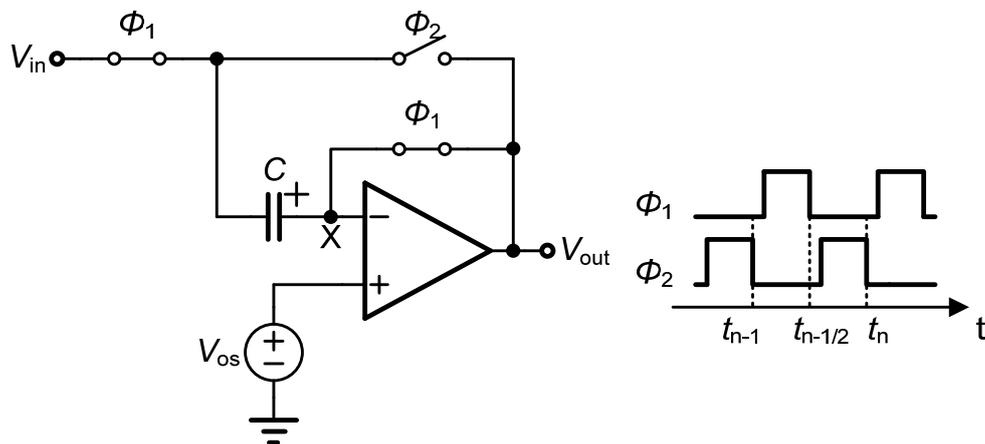


图 3-4 消除失调电压的电容翻转采样保持电路

在 ϕ_1 状态

$$Q_c(n-1/2) = C[V_{os} - V_{in}(n-1/2)]$$

在 ϕ_2 状态

$$Q_c(n) = C[V_{os} - V_{out}(n)]$$

由电荷守恒有，

$$Q_c(n-1/2) = Q_c(n)$$

$$C[V_{os} - V_{in}(n-1/2)] = C[V_{os} - V_{out}(n)]$$

输入输出电压传递函数为，

$$V_{out}(n) = V_{in}(n-1/2) \quad (3.5)$$

3.3 电荷重分布采样保持电路

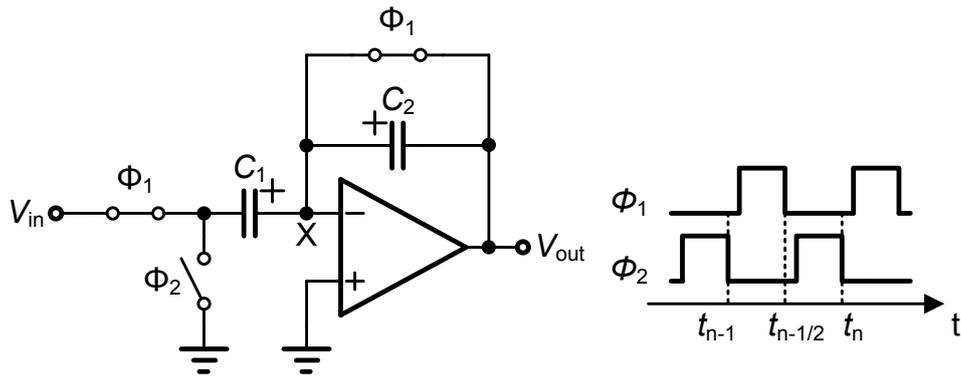


图 3-5 电荷重分布采样保持电路

图 3-5 为正相电荷重分布采样保持电路。 Φ_1 、 Φ_2 为电路开关控制时序，高电平时表示开关闭合。 t_{n-1} 、 $t_{n-1/2}$ 和 t_n 表示 Φ_1 、 Φ_2 由高电平跳变到低电平的时刻。假设 $Q_{c1}(n-1/2)$ 表示电容 C_1 在 $t_{n-1/2}$ 时刻右极板电荷量， $Q_{c1}(n)$ 表示电容 C_1 在 t_n 时刻右极板电荷量； $Q_{c2}(n-1/2)$ 表示电容 C_2 在 $t_{n-1/2}$ 时刻左极板电荷量， $Q_{c2}(n)$ 表示电容 C_2 在 t_n 时刻左极板电荷量。由运算放大器的虚地原理，可知结点 X 电压一直为零，所以，

在 Φ_1 状态

$$Q_{c1}(n-1/2) = C_1[V_X(n-1/2) - V_{in}(n-1/2)] = -C_1V_{in}(n-1/2)$$

$$Q_{c2}(n-1/2) = 0$$

在 Φ_2 状态

$$Q_{c1}(n) = C_1[V_X(n) - 0] = 0$$

$$Q_{c2}(n) = C_2[V_X(n) - V_{out}(n)] = -C_2V_{out}(n)$$

在 $t_{n-1/2}$ 时刻， Φ_1 断开之后，结点 X 无电荷流通路径，直到 Φ_1 再次闭合，由电荷守恒可知在此段时间内电容 C_1 右极板和 C_2 左极板电荷之和保持不变，所以

$$Q_{c1}(n-1/2) + Q_{c2}(n-1/2) = Q_{c1}(n) + Q_{c2}(n)$$

$$-C_1V_{in}(n-1/2) = -C_2V_{out}(n)$$

输入输出电压传递函数为，

$$V_{out}(n) = (C_1/C_2)V_{in}(n-1/2) \quad (3.6)$$

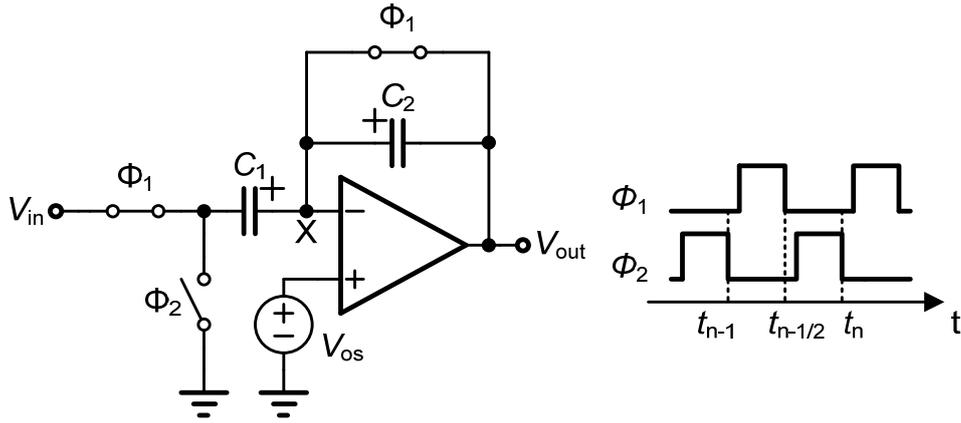


图 3-6 电荷重分布采样保持电路的失调电压分析

下面分析运放存在静态失调电压(offset)时的情况,如图 3-6 所示,假设静态失调电压为 V_{os} ,

在 Φ_1 状态

$$Q_{c1}(n-1/2) = C_1[V_X(n-1/2) - V_{in}(n-1/2)] = C_1[V_{os} - V_{in}(n-1/2)]$$

$$Q_{c2}(n-1/2) = 0$$

在 Φ_2 状态

$$Q_{c1}(n) = C_1[V_X(n) - 0] = C_1V_{os}$$

$$Q_{c2}(n) = C_2[V_X(n) - V_{out}(n)] = C_2[V_{os} - V_{out}(n)]$$

由电荷守恒有,

$$Q_{c1}(n-1/2) + Q_{c2}(n-1/2) = Q_{c1}(n) + Q_{c2}(n)$$

$$C_1[V_{os} - V_{in}(n-1/2)] = C_1V_{os} + C_2[V_{os} - V_{out}(n)]$$

输入输出电压传递函数为,

$$V_{out}(n) = (C_1/C_2)V_{in}(n-1/2) + V_{os} \quad (3.7)$$

因此当电路存在失调电压时输入输出电压传递函数改变,使得采样结果存在误差。消除失调电压的正相电荷重分布采样保持电路如图 3-7 所示,

在 Φ_1 状态

$$Q_{c1}(n-1/2) = C_1[V_X(n-1/2) - V_{in}(n-1/2)] = C_1[V_{os} - V_{in}(n-1/2)]$$

$$Q_{c2}(n-1/2) = C_2[V_X(n-1/2) - 0] = C_2V_{os}$$

在 Φ_2 状态

$$Q_{c1}(n) = C_1[V_X(n) - 0] = C_1V_{os}$$

$$Q_{c2}(n) = C_2[V_X(n) - V_{out}(n)] = C_2[V_{os} - V_{out}(n)]$$

由电荷守恒有,

$$Q_{c1}(n-1/2) + Q_{c2}(n-1/2) = Q_{c1}(n) + Q_{c2}(n)$$

$$C_1[V_{os} - V_{in}(n-1/2)] + C_2V_{os} = C_1V_{os} + C_2[V_{os} - V_{out}(n)]$$

输入输出电压传递函数为,

$$V_{out}(n) = (C_1/C_2)V_{in}(n-1/2) \quad (3.8)$$

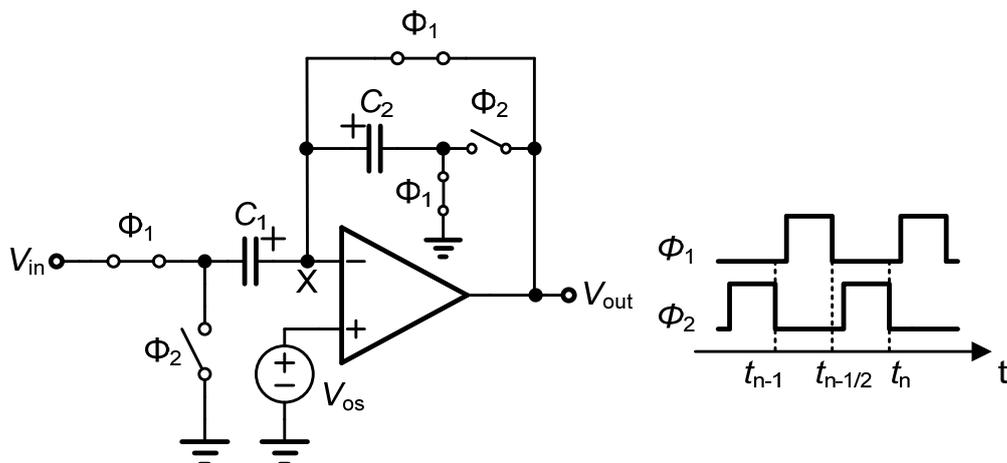


图 3-7 消除失调电压的正相电荷重分布采样保持电路

3.4 余量增益放大电路

本小节分析构成 MDAC 的余量增益放大电路，如下图 3-8 所示。

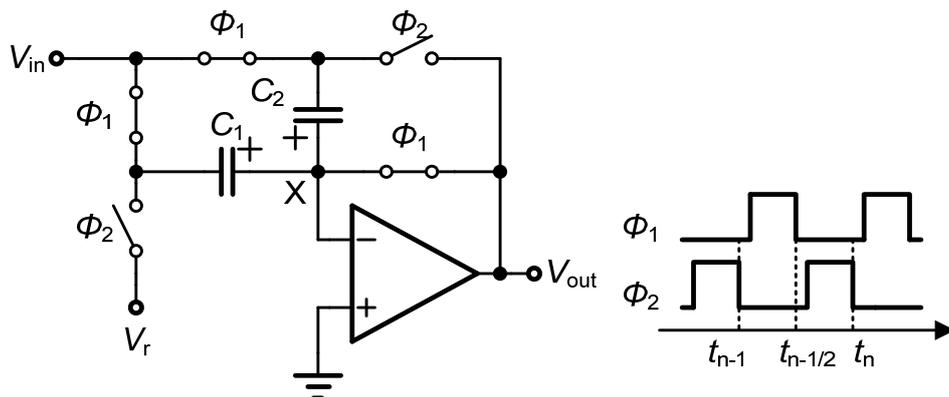


图 3-8 余量增益放大电路

V_{in} 为前一级开关电容电路的输出采样信号， V_r 为参考电压，取值为 $0, \pm(1/4)V_{ref}$ ，只在 ϕ_2 状态作用。

根据线性叠加原理，图 3-8 余量增益电路可等效为图 3-9 所示电路，其中 $V_1=V_2=V_{in}$ ， $V_3=V_r$ 。

当 V_1 为输入信号， $V_2、V_3$ 为零时，电路等效为电容翻转采样保持电路，

$$V_{out}(n) = V_1(n-1/2)$$

当 V_2 为输入信号， $V_1、V_3$ 为零时，电路等效为正相电荷重分布采样保持改进电路，

$$V_{out}(n) = (C_1/C_2)V_2(n-1/2)$$

当 V_3 为输入信号， $V_1、V_2$ 为零时，电路等效为倒相电荷重分布采样保持改进

电路,

$$V_{\text{out}}(n) = -(C_1/C_2)V_3(n)$$

最后得到输入输出电压传递函数为,

$$V_{\text{out}}(n) = V_1(n-1/2) + (C_1/C_2)V_2(n-1/2) - (C_1/C_2)V_3(n)$$

代入 $V_1=V_2=V_{\text{in}}$, $V_3=V_r$ 可得,

$$V_{\text{out}}(n) = (1 + C_1/C_2)V_{\text{in}}(n-1/2) - (C_1/C_2)V_r \quad (3.9)$$

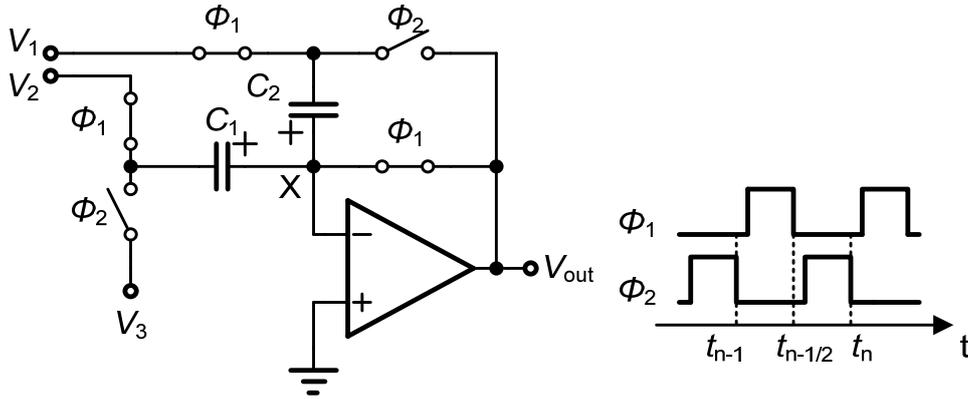


图 3-9 余量增益等效电路

另外也可通过电荷守恒来分析余量增益电路,

在 ϕ_1 状态

$$Q_{c1}(n-1/2) = C_1[V_X(n-1/2) - V_{\text{in}}(n-1/2)] = -C_1V_{\text{in}}(n-1/2)$$

$$Q_{c2}(n-1/2) = C_2[V_X(n-1/2) - V_{\text{in}}(n-1/2)] = -C_2V_{\text{in}}(n-1/2)$$

在 ϕ_2 状态

$$Q_{c1}(n) = C_1[V_X(n) - V_{\text{out}}(n)] = -C_1V_{\text{out}}(n)$$

$$Q_{c2}(n) = C_2[V_X(n) - V_r] = -C_2V_r$$

由电荷守恒有,

$$\begin{aligned} Q_{c2}(n-1/2) + Q_{c1}(n-1/2) &= Q_{c2}(n) + Q_{c1}(n) \\ -(C_1 + C_2)V_{\text{in}}(n-1/2) &= -C_1V_{\text{out}}(n) - C_2V_r \end{aligned}$$

输入输出电压传递函数为,

$$V_{\text{out}}(n) = (1 + C_1/C_2)V_{\text{in}}(n-1/2) - (C_1/C_2)V_r \quad (3.10)$$

下面分析运放存在静态失调电压(offset)时的情况, 如图 3-10 所示, 假设静态失调电压为 V_{os} ,

在 ϕ_1 状态

$$Q_{c1}(n-1/2) = C_1[V_{\text{os}} - V_{\text{in}}(n-1/2)]$$

$$Q_{c2}(n-1/2) = C_2[V_{\text{os}} - V_{\text{in}}(n-1/2)]$$

在 ϕ_2 状态

$$Q_{c1}(n) = C_1[V_{os} - V_{out}(n)]$$

$$Q_{c2}(n) = C_2[V_{os} - V_r]$$

由电荷守恒有,

$$Q_{c2}(n-1/2) + Q_{c1}(n-1/2) = Q_{c2}(n) + Q_{c1}(n)$$

$$(C_1 + C_2)[V_{os} - V_{in}(n-1/2)] = C_1[V_{os} - V_{out}(n)] + C_2[V_{os} - V_r]$$

输入输出电压传递函数为,

$$V_{out}(n) = (1 + C_1/C_2)V_{in}(n-1/2) - (C_1/C_2)V_r \quad (3.11)$$

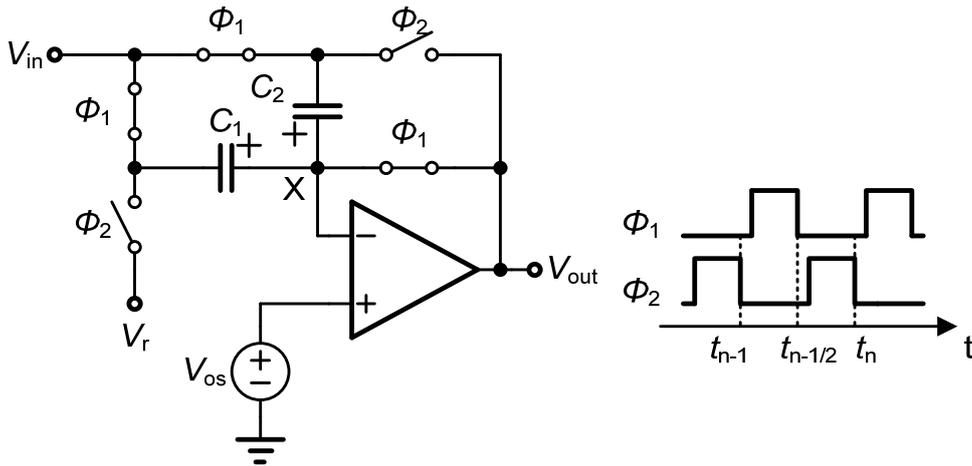


图 3-10 余量增益电路的失调电压分析

3.5 开关电容共模反馈

本次设计采用了全差分的电路结构。相对于单端电路结构，全差分电路能更好的抑制共模(CM)噪声和电源电压的改变。然而由于全差分运放外部反馈环路的共模环路增益较小，全差分运放的共模电压没有精确确定。假如没有合适的控制因素，当电源电压发生变化、工艺温度改变或存在不匹配时输出共模电压会产生很大漂移。因此一个额外的共模反馈环路成为必要。实现此共模反馈环路的电路即是共模反馈电路(CMFB)[5]。

设计一个好的共模反馈电路具有很大的挑战[6]。在大多数应用中，共模环路的转换速率和单位增益频率应与差模环路的相当。这是为了避免共模电压较慢建立所引起的共模信号失调。共模环路的寄生极点数应当最小化。同样共模环路的增益应足够大以使共模电压达到期望的精度。在实际应用中，共模反馈电路不能显著增加差模环路的负载。对于好的稳定性，共模环路应当由足够的补偿以保证好的相位裕度和快的建立时间响应[7]。使共模路径的结点最小化可以简化补偿而且没有限制速度。

开关电容共模反馈电路(SC-CMFB)的主要优点在于它对差分输入信号的最大幅值没有限制、不会增加共模环路寄生极点而且高度线性。然而开关电容共模

反馈电路会注入非线性的时钟馈通噪声至运放的输出结点，而且会增加运放的负载驱动电容。因此 SC-CMFB 一般应用于开关电容电路而不是连续时间电路。

开关电容共模反馈电路的具体实现如下图 3-11 所示， Φ_1 、 Φ_2 为非交叠时钟相位。在 Φ_2 状态， C_S 与 C_H 连接， C_H 两端的直流电压由 C_S 决定，而且每个 Φ_2 时钟相位都会刷新。在 Φ_1 状态， C_S 被充电至 $V_{cm}-V_{bias}$ ， C_H 产生控制电压 V_b 。总体来说，整个电路类似于一个直流输入电压为 $V_{DC}=V_{cm}-V_{bias}$ 的简单滤波器。

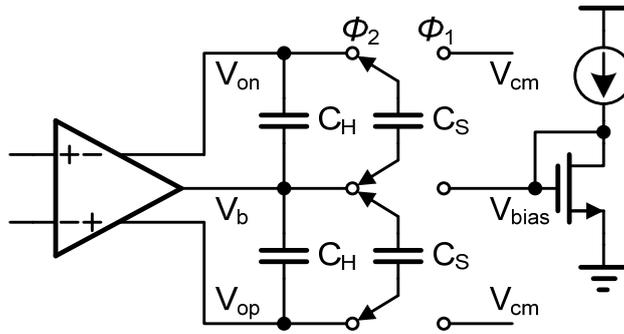


图 3-11 开关电容共模反馈电路

现分析图 3-11 电路的共模电压建立过程，首先假设电路满足如下条件：

- SC-CMFB 电路完全对称且完全匹配
- 开关有较低的阻抗以致建立时间误差可以忽略
- 漏电流和开关的电荷注入效应可以忽略
- 运放的低频共模增益为 A_{cm} 。

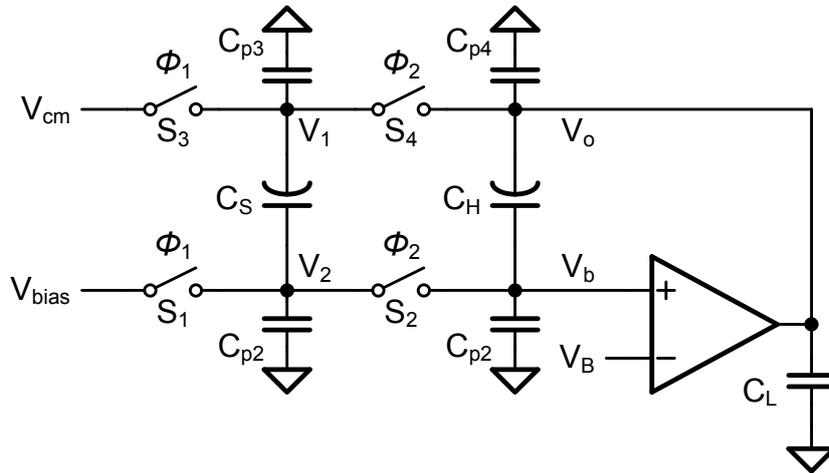


图 3-12 SC-CMFB 半边等效电路

在上述假设前提下，原共模反馈电路可等效为图 3-12 所示的半边电路。由于 V_2 和 V_b 是高阻抗结点，在这些结点上电荷守恒。根据电荷守恒，从开关 S_1 断开的瞬间 $t=(n-1/2)T$ 到开关 S_2 断开前的瞬间 $t=nT$ ，由结点 V_b 有，

$$\begin{aligned} & C_S(V_{\text{bias}} - V_{\text{cm}}) + C_{p1}V_{\text{bias}} + C_H(V_b[n - \frac{1}{2}] - V_o[n - \frac{1}{2}]) + C_{p2}V_b[n - \frac{1}{2}] \\ &= (C_{p1} + C_{p2})V_b[n] + (C_S + C_H)(V_b[n] - V_o[n]) \end{aligned} \quad (3.12)$$

假如不存在漏电流，则 Φ_2 为低电平时结点 V_b 处电荷守恒，所以，

$$V_b[n - \frac{1}{2}] = V_b[n - 1] \quad (3.13)$$

$$V_o[n - \frac{1}{2}] = V_o[n - 1] \quad (3.14)$$

把式(3.13)和式(3.14)带入式(3.12)以消除 $V_b[n-1/2]$ 和 $V_o[n-1/2]$ ，有

$$\begin{aligned} & C_S(V_{\text{bias}} - V_{\text{cm}}) + C_{p1}V_{\text{bias}} + C_H(V_b[n - 1] - V_o[n - 1]) + C_{p2}V_b[n - 1] \\ &= (C_{p1} + C_{p2})V_b[n] + (C_S + C_H)(V_b[n] - V_o[n]) \end{aligned} \quad (3.15)$$

由于 $V_b[n]$ 和 $V_o[n]$ 有如下关系：

$$V_o[n] - V_{\text{cm}} = A_{\text{cm}}(V_B - V_b[n]) \quad (3.16)$$

将式(3.16)带入式(3.15)以消除 $V_o[n]$ ，

$$\begin{aligned} \text{左} &= (C_S + C_{p1})V_{\text{bias}} - C_S V_{\text{cm}} + (C_H + C_{p2})V_b[n - 1] - C_H A_{\text{cm}}(V_B + \frac{V_{\text{cm}}}{A_{\text{cm}}} - V_b[n - 1]) \\ \text{右} &= (C_{p1} + C_{p2})V_b[n] + (C_S + C_H)V_b[n] - (C_S + C_H)A_{\text{cm}}(V_B + \frac{V_{\text{cm}}}{A_{\text{cm}}} - V_b[n]) \end{aligned}$$

联立得，

$$\begin{aligned} & (C_S + C_{p1})V_{\text{bias}} + C_S A_{\text{cm}} V_B + [C_H(1 + A_{\text{cm}}) + C_{p2}]V_b[n - 1] \\ &= [(C_{p1} + C_{p2}) + (C_S + C_H)(1 + A_{\text{cm}})]V_b[n] \end{aligned} \quad (3.17)$$

求得，

$$V_b[n] = \frac{C_H(1 + A_{\text{cm}}) + C_{p2}}{(C_S + C_H)(1 + A_{\text{cm}}) + C_{p1} + C_{p2}} V_b[n - 1] + \frac{(C_S + C_{p1})V_{\text{bias}} + C_S A_{\text{cm}} V_B}{(C_S + C_H)(1 + A_{\text{cm}}) + C_{p1} + C_{p2}} \quad (3.18)$$

令

$$\beta = \frac{C_H(1 + A_{\text{cm}}) + C_{p2}}{(C_S + C_H)(1 + A_{\text{cm}}) + C_{p1} + C_{p2}} \quad (3.19)$$

$$K_b = \frac{(C_S + C_{p1})V_{\text{bias}} + C_S A_{\text{cm}} V_B}{(C_S + C_H)(1 + A_{\text{cm}}) + C_{p1} + C_{p2}} \quad (3.20)$$

则有

$$\begin{aligned} V_b[n] &= \beta V_b[n - 1] + K_b \\ &= \beta(\beta V_b[n - 2] + K_b) + K_b \\ &= \beta^2 V_b[n - 2] + (\beta + 1)K_b \\ &\vdots \\ &= \beta^n V_b[0] + \frac{1 - \beta^n}{1 - \beta} K_b \end{aligned} \quad (3.21)$$

其中 $V_b[0]$ 表示结点 V_b 在 $t=0$ 时刻的最初电压值。显然 $\beta < 1$ ，则 $V_b[n]$ 稳定状态的

值 $V_b[\infty]$ 为,

$$\begin{aligned}
 V_b[\infty] &= \lim_{n \rightarrow \infty} V_b[n] \\
 &= \frac{K_b}{1-\beta} \\
 &= \frac{C_S A_{cm} V_B + (C_S + C_{p1}) V_{bias}}{C_S (1 + A_{cm}) + C_{p1}} \\
 &= \frac{V_B + \frac{1}{A_{cm}} (1 + \frac{C_{p1}}{C_S}) V_{bias}}{1 + \frac{1}{A_{cm}} (1 + \frac{C_{p1}}{C_S})}
 \end{aligned} \tag{3.22}$$

根据式(3.16)和(3.18)可得,

$$V_o[n] = \beta V_o[n-1] + (1-\beta)(A_{cm} V_B + V_{cm}) - A_{cm} K_b \tag{3.23}$$

令 $K_o = (1-\beta)(A_{cm} V_B + V_{cm}) - A_{cm} K_b$,

同样有,

$$V_o[n] = \beta V_o[n-1] + K_o \tag{3.24}$$

同理, 根据式(3.22)有

$$\begin{aligned}
 V_o[\infty] &= \lim_{n \rightarrow \infty} V_o[n] \\
 &= \frac{K_o}{1-\beta} \\
 &= V_{cm} + \frac{(1 + \frac{C_{p1}}{C_S})(V_B - V_{bias})}{1 + \frac{1}{A_{cm}} (1 + \frac{C_{p1}}{C_S})}
 \end{aligned} \tag{3.25}$$

由 $V_b[\infty]$ 和 $V_o[\infty]$ 有,

$$\begin{aligned}
 &V_o[\infty] - V_b[\infty] \\
 &= V_{cm} + \frac{\frac{C_{p1}}{C_S} V_B - (1 + \frac{1}{A_{cm}})(1 + \frac{C_{p1}}{C_S}) V_{bias}}{1 + \frac{1}{A_{cm}} (1 + \frac{C_{p1}}{C_S})}
 \end{aligned} \tag{3.26}$$

假如 A_{cm} 远大于 1, 则上式可以化简为

$$V_o[\infty] - V_b[\infty] \approx (V_{cm} - V_{bias}) + \frac{C_{p1}}{C_S} (V_B - V_{bias}) \tag{3.27}$$

在实际电路中, 要精确估计 V_B 的值很困难, 这是由于 V_B 依赖于准确的漏电流、源漏电压、阈值电压等。因此外部偏置电压 V_{bias} 与 V_B 的任何的不匹配误差都会被放大 C_{p1}/C_S 倍而加到输出共模电压上。所以 C_{p1}/C_S 这一因子要尽可能的小以达到精确的输出共模值。

3.6 非理想因素分析

在算法型 ADC 中存在许多非理想因素，如运放的有限增益和有限的单位增益带宽、电容的失配等等。由这些非理想因素引入的误差，将影响所设计的模数转换器的速度、分辨率、功耗和芯片面积等。算法型 ADC 中存在的各种误差可分为两类：一类是确定性(Deterministic)误差；另一类是随机(Random)误差。确定性误差是指大小确定且基本固定的误差，包括运算放大器的有限增益、电容的绝对值误差、电荷注入效应以及比较器的失调电压等等；随机误差是指大小不可预测的误差，这类误差每一次采样和量化都可能发生变化，它主要来源于器件的噪声。下面分别介绍各种非理想因素在算法型 ADC 中引入的误差。

3.6.1 噪声分析

量化噪声是 ADC 性能的一个基本限制因素，ADC 中另一个不可避免的限制即是 kT/C 噪声。由于 kT/C 噪声是由采样开关产生的热噪声引起的，因此它存在于所有的采样系统中。显然，只有当采样电容为无穷大或温度为零时才能消除 kT/C 噪声。

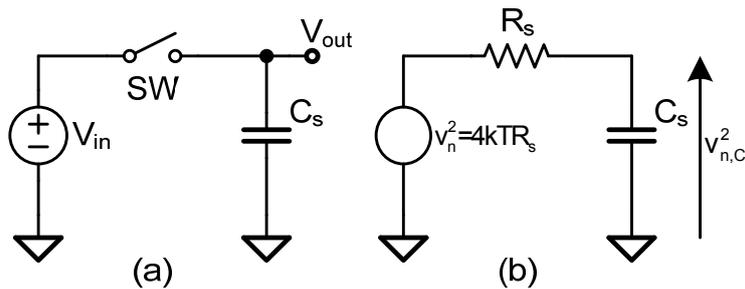


图 3-13 简单采样电路模型和其噪声等效电路

如图 3-13(a)所示为一个简单的采样电路模型：输入电压 V_{in} 通过开关对采样电容充电。采样时开关闭合，因此电容两端保持信号电压。图 3-13(b)中电阻 R_s 表示开关闭合时的电阻和信号源输出电阻的串联。当时间常数 $\tau_s = R_s C_s$ 相对于采样时间可以忽略不计时采样系统可以正常工作。而且输入信号的带宽要远小于 $1/\tau_s$ 。

图 3-13(b)表示噪声估计的等效电路。由 R_s 产生的热噪声的噪声谱为白噪声： $v_{n,R_s}^2 = 4kTR_s$ 。 $R_s C_s$ 网络构造了一个低通滤波器，使得噪声谱通过电容产生歪曲。 v_{n,C_s} 的噪声谱可由噪声谱 $4kTR_s$ 与 $R_s C_s$ 滤波器传输函数的平方相乘得到，即：

$$v_{n,C_s}^2(\omega) = \frac{4kTR_s}{1 + (\omega R_s C_s)^2} \quad (3.28)$$

噪声能量可由噪声谱对频率积分得到，

$$P_{n,C_s} = \int_0^{\infty} v_{n,out}(f)df = 4kTR_s \int_0^{\infty} \frac{df}{1+(2\pi fR_sC_s)^2} = \frac{kT}{C_s} \quad (3.29)$$

显然 P_{n,C_s} 与电阻 R_s 无关。当 R_s 增大时，由其产生的热噪声谱增大，但是低通滤波器的传递函数也相应发生变化。这两个因素相互抵消致使噪声能量不依赖于 R_s 。

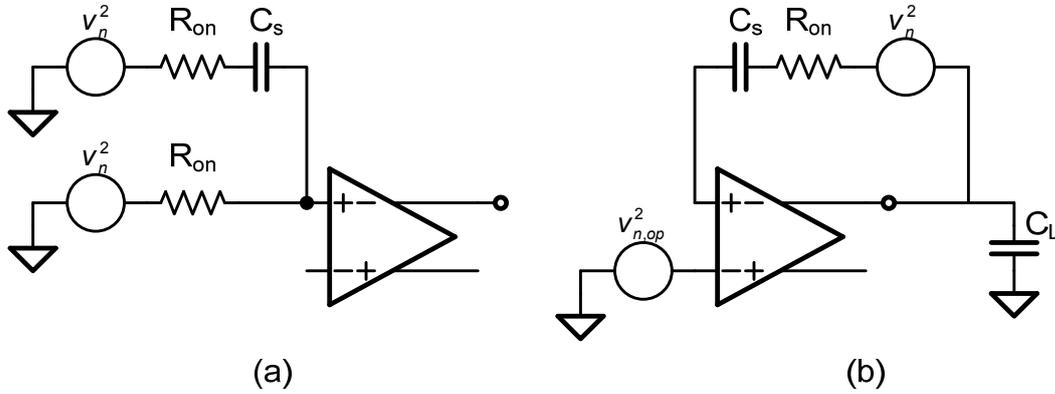


图 3-14 采样保持系统的噪声等效电路

本次设计的算法型 ADC 的开关电容采样保持结构的噪声等效电路可用上图 3-14 表示。每个开关的导通电阻为 R_{on} ，产生的热噪声为 $v_n^2 = 4kTR_{on}$ 。一个与运放正输入端点串联的噪声源表示运放的等效输入噪声。

在保持阶段可测得采样数据的噪声，其研究方法类似于之前介绍的 kT/C 噪声：每个噪声源通过一个低通网络，在电容两端噪声谱产生变化。当开关闭合时，通过电容采样得到的噪声的能量可由对其噪声谱在零到无穷的频率范围积分求得。保持阶段的噪声与采样阶段的噪声叠加得到总噪声。

图 3-14(a)为开关电容采样阶段，由两个开关导通电阻的噪声源对 C_s 充电。由于噪声谱和导通电阻都加倍，因此低通滤波器的拐角频率下降致使噪声能量仍为 kT/C_s 。在保持阶段，如图 3-14(b)所示，电路为单位增益结构，在输出产生噪声。此噪声与采样阶段的噪声叠加在保持阶段结束时被 C_L 采样。

对于保持阶段开关电阻产生的热噪声 $v_n^2 = 4kTR_{on}$ ，由于运放有限的单位增益频率 f_T ，不能维持恒定而会下降。因此由白噪声谱 $4kTR_{on}$ 产生一个歪曲的频谱密度：

$$v_{out}^2 = \frac{4kTR_{on}}{1+(\omega/\omega_T)^2} \quad (3.30)$$

在零到无穷频率范围内积分得到噪声能量为 $kTR_{on}\omega_T$ 。

由于单位增益的结构因此运放的噪声也受 f_T 的限制，因此假设 $v_{n,op}^2 = 4kT\gamma/g_m$ ， $\omega_T = g_m/C_L$ ，在采样和保持阶段由开关产生的噪声，再加上运放的噪声，通过 C_L 在输出得到总的噪声为：

$$v_{n,flip}^2 = \frac{kT}{C_s} + g_m R_{on} \frac{kT}{C_L} + \frac{\gamma kT}{C_L} \quad (3.31)$$

由于采样时间恒定， $R_{on}C_s$ 一般小于 $1/\omega_T$ ，有 $g_m R_{on}/C_L \ll 1/C_s$ ，因此上述等式的第二项可以忽略不计。

3.6.2 运放的非理想因素

运算放大器是算法型 A/D 转换器最核心的模块，它的非理想特性将直接影响整个 ADC 的静态和动态性能参数。为了输入信号能被正确采样同时满足精度要求，运算放大器的输出电压必须能在半个时钟周期内稳定到要求的精度范围内。下面重点讨论运算放大器有限的直流增益和有限的增益带宽这两种非理想特性。^[8]

(1) 精度问题

图 3-4 的电路在放大模式中表现为一个单位增益的缓冲器，产生的输出电压近似等于储存在电容上的电压。下面确定它的单位增益的精度，如下图 3-15 所示，假设运放增益为 A 。由于运放的增益有限，在放大模式下 $V_x \neq 0$ 。

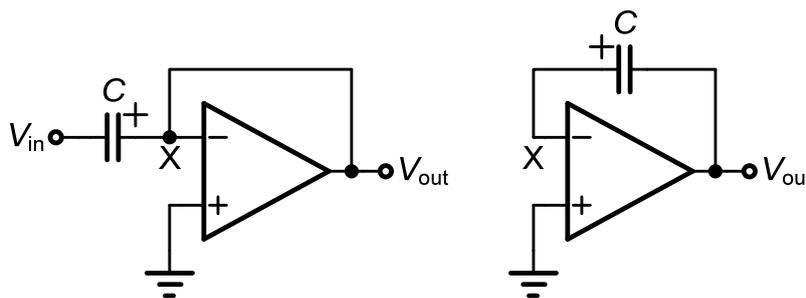


图 3-15 用于精度计算的等效电路

由电荷守恒有，

$$\begin{aligned} C(0 - V_{in}) &= C(V_x - V_{out}) \\ A(0 - V_x) &= V_{out} \end{aligned}$$

因此，

$$V_{out} = \left(1 - \frac{1}{A+1}\right)V_{in} \approx \left(1 - \frac{1}{A}\right)V_{in} \quad (3.32)$$

(2) 速度问题

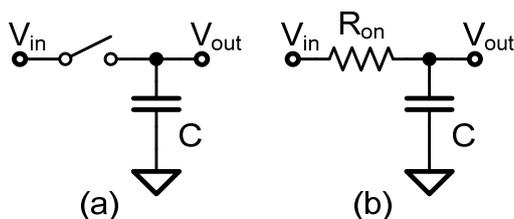


图 3-16 计算建立时间的简单开关电容电路

对于上述开关电容电路，经常假设电荷完全转换到电容上，否则会降低精度。然而对电容充电需要时间。理论上所需的时间为无穷大，而实际上为时间常数的

某一倍数即足够了。

如图 3-16 所示，假设开关的闭合电阻为一恒定值 R_{on} ，则输入信号通过恒定电阻对电容 C 充电，得到指数时间响应，如下图 3-17 所示。

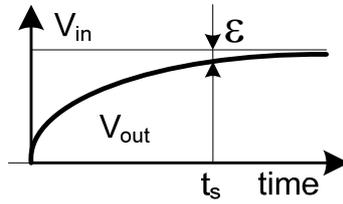


图 3-17 建立时间曲线

则有，

$$V_{out} = V_{in} [1 - \exp(-\frac{t}{RC})]$$

$$\Downarrow$$

$$t_s = RC \ln(1/\epsilon)$$

$$t_s \approx 7RC \quad (\epsilon = 0.1\%)$$
(3.33)

对于输出曲线其最终的误差在 0.1%之内所需的时间 t_s 称为 0.1%建立时间，它是时间常数的 6.9 倍，这是相当大的一个值。低的 kT/C 噪声，需要大的电容，然而此时建立时间会变大。

下面研究 3.2 节中采样保持电路的时间常数，假设开关闭合电阻为 R_{on} 。下图 3-18(a)为采样模式电路，显然与 C_H 串联接的电阻为 R_{on1} 和 X 点对地电阻，后者采用 3-18(b)等效电路求得如下，

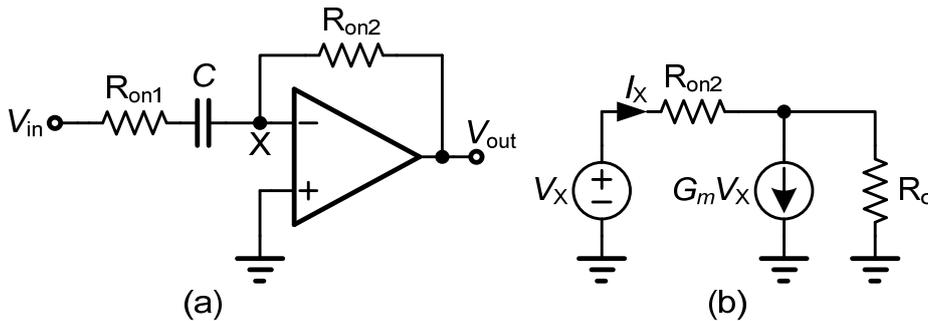


图 3-18 采样模式等效电路

$$(I_X - G_m V_X)R_0 + I_X R_{on2} = V_X$$

有，

$$R_X = \frac{R_0 + R_{on2}}{1 + G_m R_0}$$
(3.34)

通常 $R_{on2} \ll R_0$ ，且 $G_m R_0 \gg 1$ ，因此 $R_X \approx 1/G_m$ 。

所以，采样模式的时间常数为，

$$\tau_{sam} = (R_{on1} + \frac{1}{G_m})C_H \quad (3.35)$$

下面考虑放大模式下电路，如下图 3-19(a)所示，该电路开始于 $V_{out} \approx 0$ 且最终产生 $V_{out} \approx V_0$ 。 C_{in} 为输入电容，由于其相对较小，可以假设 C_H 和 C_L 两端电压不会立即改变，因此，如果 $V_{out} \approx 0$ ， $V_{CH} \approx V_0$ ，则在放大模式开始时， $V_X = -V_0$ 。由上述可知运放初始时读到的输入差动电压会跳至一个很大的值，可能使运放发生转换。在此先假设运放可以用线性模型进行模拟并得到输出响应。

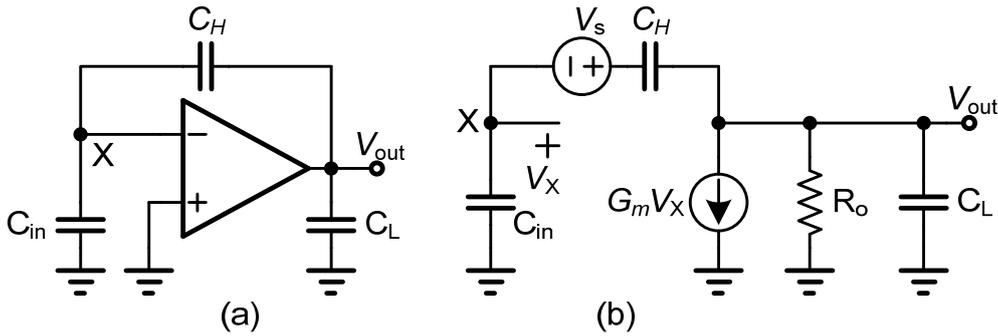


图 3-19 放大模式等效电路

为了简化分析，可将 C_H 上的电荷看作一个与之串联的电压源 V_S ， V_S 在初始时刻由零变为 V_0 而 C_H 本身不带电荷，如图 3-19(b)所示。现推导其传输函数 $V_{out}(s)/V_S(s)$ ，有

$$V_{out} \left(\frac{1}{R_o} + C_L s \right) + G_m V_X = (V_S + V_X - V_{out}) C_H s$$

$$V_X \frac{C_{in} s}{C_H s} + V_X + V_S = V_{out}$$

推导可得到，

$$\frac{V_{out}}{V_S}(s) = R_o \frac{(G_m + C_{in} s) C_H}{R_o (C_L C_{in} + C_{in} C_H + C_H C_L) s + G_m R_o C_H + C_H + C_{in}} \quad (3.36)$$

由于通常 $G_m R_o C_H \gg C_H$ 及 C_{in} ，因此上式可简化为

$$\frac{V_{out}}{V_S}(s) = \frac{(G_m + C_{in} s) C_H}{(C_L C_{in} + C_{in} C_H + C_H C_L) s + G_m C_H} \quad (3.37)$$

所以输出特性由一个时间常数表示，为

$$\tau_{amp} = \frac{C_L C_{in} + C_{in} C_H + C_H C_L}{G_m C_H} \quad (3.38)$$

如果 $C_{in} \ll C_L$ 及 C_H ，那么上式可简化为 C_L/G_m 。

电路得到此次循环运算的量化结果，同时还通过 DAC 的开关控制电路得到对 DAC 的控制信号(作用于 ϕ_1 状态)。在 ϕ_2 状态时 MDAC 为采样放大模式，即对 SHA 的保持信号采样并放大乘 2，此时其输出为零。在 ϕ_1 状态时 MDAC 通过之前对 SHA 的采样结果和 ϕ_2 状态产生的 DAC 信号，运算得到余量信号，并在第 2 至 8 次循环时返回到 SHA 作为它采样的输入信号，从而实现了数字校正算法。

本次设计采用了电容翻转型采样保持电路，其优点是：采样和保持使用同一个电容，因此，它比电荷重分配结构少使用了两个电容，这意味着可以减小芯片面积，而且匹配性要好；在不考虑运放的输入寄生电容时，这种结构的采样保持电路的反馈系数大，近似为 1，因此，在相同的性能要求下，对运放带宽的要求较低。其缺点是：由于需要运放的共模输入电平必须等于共模输出电平，所以，给运放结构的选取带来了难度。本设计中选择的折叠式共源共栅运放结构使得这一缺点的影响不大。

4.2 运放设计

运放广泛应用于各种类型的模拟电路中。试图提高电路的性能或减小功耗时运放往往是首选遇到的技术限制因素。在开关电容电路及算法 ADC 中运放作为核心部分更是如此。

运放的设计方法以及各种各样的电路结构在很多书和论文中都有过详细的讨论。本次设计只注重于低电压高速运放相关的设计探讨。下面介绍开关电容电路中运放的要求以及最重要和最适合的电路结构，并比较其优缺点。

4.2.1 开关电容电路对运放的要求

运放决定了开关电容电路的最大速度甚至功耗。开关电容电路中运放有一些特别的要求，其中最主要的就是输入阻抗必须为容性以保证转换时的电荷守恒。因此运放的输入一定为 mos 管，而且接在栅极。

开关电容电路的另一特点是运放的输出负载也是容性。由于不必驱动阻性负载，运放的输出阻抗可以很高，使得 OTA 结构可行。由 OTA 作为输出级可以提供很大的电压增益，因此可以用很少的级数即到达既定的增益指标。

运放的输出电压摆幅对电路的信噪比有较大影响。因此电压摆幅最大化在低电压高分辨率的应用中尤为重要。然而有大的摆幅的输出级一般不能提供高的输出阻抗，因此要达到既定的性能指标需增加运放级数。在全差分运放中输出共模电压没有确定值，需要加入共模反馈使其稳定，这在前面已有过叙述。

开关电容电路中运放一般为翻转反馈结构，在全差分输入情况下，并不需要大的输入共模电压摆幅。此时低电压电路可使用不是轨到轨输入的运放结构。然而如果电路前端是单端到差分的转换(如同本次设计的情况)，则需要轨到轨输入

的运放。另外，一个无精确共模电平的全差分输入信号要求运放共模输入范围能容纳信号共模电压的改变。

开关电容电路中运放输入共模电平不一定要等于输出共模电平(通常设为 $V_{DD}/2$ 以使输出摆幅最大化)。例如在低电压电路中，nMOS 管作为输入，则可以把输入共模电平设在 V_{DD} 附近，使得输入对和尾电流源有更大的电压余量。

信号最终的建立精度受到运放有限的直流增益的限制。除此之外还受到电路反馈系数的限制。一般情况下，直流增益要求 60dB 到 100dB。在一些电路中，例如前端采样保持电路，大小不足的运放直流增益所导致的增益误差经常是可容忍的。然而在运放的输出电压范围内其直流增益必须保持恒定以避免谐波失调。

AD 转换器每次循环所产生的误差，可以线性叠加以得到总的误差，有

$$V_{\varepsilon,tot} = V_{\varepsilon,1} + \frac{1}{G} V_{\varepsilon,2} + \frac{1}{G^2} V_{\varepsilon,3} + \dots \quad (4.1)$$

其中 G 表示循环增益， $V_{\varepsilon,i}(i=1,2,3,\dots)$ 表示第 i 次循环的误差。一般每次循环的 $V_{\varepsilon,i}$ 相等(设为 V_{ε})，则本次设计的每级 1.5bit 算法型 ADC 总体误差约为 $2V_{\varepsilon}$ 。考虑运放有限的直流增益，由式 $V_{out} = (1 - \frac{1}{A})V_{in}$ 可得 $V_{\varepsilon} = \frac{1}{A}V_{in}$ 。在输入电压为最大值(即 V_R, V_R 为参考电压)时，误差最大。一般要求 AD 转换器的总体误差小于其最大量化误差，即 $LSB/2$ 。由于电路的输入范围为 $2V_R$ ，因此 LSB 等于 $V_R/2^{N-1}$ 。有，

$$2V_{\varepsilon} < \frac{LSB}{2}$$

带入 V_{ε} 有

$$2 \cdot \frac{1}{A} V_R < \frac{1}{2} \cdot \frac{V_R}{2^{N-1}}$$

因此 $A > 54dB$ 。

当运放为单级点模型时，电路的建立时间由运放的单位增益带宽和电路的反馈系数决定[9]。然而在实际电路中往往不止一个极点而且还有零点的存在。为了电路能正常工作，运放在闭环系统中的频率响应必须近似于单级点系统。所以应有一个低频主极点，而其他极点和零点应在很高的频率，此时单位增益频率时的相位裕度才能满足建立时间的要求。当运放不是用在单位增益反馈的形式时，所需的相位裕度不是定义在单位增益频率的时候，而是闭环增益为一时，这种条件下相位裕度更容易满足。有时电路中不止一个非主极点以及零点，可能还存在多个零极点、零极点对或是复杂的极点对。此时相位裕度并不能很好的反映建立时间的快慢，即使相位裕度相同，在这种情况下其建立时间可能远大于或小于一个双极点系统[10]。

除了运放带宽以外，建立时间还受到运放提供给负载电容的电流的限制。输出不可能比转换速率更快的速度发生变化，即

$$SR = \frac{I_{SR}}{C_L}$$

C_L 为负载电容， I_{SR} 为最大转换电流。在运放设计时，负载电容已知，并且要求的转换速率($SR=kV_{max}/T_S$)可以通过最大电压范围(V_{max})和时钟周期(T_S)计算出来。由于建立时间为半个周期，又一般需要保留三分之一的建立时间给转换，导致 k 的值为 6。所以要求的转换电流为

$$I_{SR} = \frac{k \cdot V_{max} C_L}{T_S} \quad (4.2)$$

转换电流与时钟频率呈线性关系，而由运放带宽所要求的电流与时钟频率呈二次关系。因此在高速电路中运放电流要比由转换速率要求的电流大。另一方面，在低中速电路中转换速率又使得电流过高。由于转换电流只是在一部分的时钟周期内需要，因此假如电流可以根据需要来调整那么可以节约相当大的功耗。这可以通过 classAB 输出级或动态偏置来实现，其中前者被广泛应用。

在高速奈奎斯特 ADC 中运放噪声主要为热噪声，而 $1/f$ 噪声相对次要。因此就噪声而言，运放没有理由使用 pMOS 输入对。假设噪声源是非相关的，则总的噪声可以通过各个独立的噪声源产生的等效输入噪声叠加得到。AD 转换器第一次循环运算中运放贡献的噪声是最主要的，而且由于被前一级的增益所减弱，通常其他循环产生的噪声可以忽略。

MOS 管的栅极等效输入热噪声谱密度为，

$$\overline{v_n^2} = 4\gamma \frac{kT}{g_m}$$

运放输入管产生的输入等效噪声可以由上式直接表示。因此可知此噪声可以通过增大跨导来减小。这可以通过使用 nMOS 管为输入，增大电流或增大器件的尺寸来实现。然而增大器件尺寸时 γ 也会相应增大，部分抵消了噪声减小效果。相对于运放输入管，电流镜产生的噪声电压要乘以电流镜本身的跨导再除以输入管的跨导。因此总的输入等效噪声为，

$$\overline{v_{n,tot}^2} = 8 \frac{kT\gamma}{g_{m,in}} \left(1 + \frac{g_{m,cs}}{g_{m,in}^2}\right) \quad (4.3)$$

其中 $g_{m,in}$ 和 $g_{m,cs}$ 分别为输入管和电流镜的跨导。上式有一次表明了使输入管的跨导最大化可以使噪声最小。噪声还可以通过减小电流镜的跨导来进一步减小，由于电流一般由其他的性能指标所固定，所以唯一可行的方法是减小器件的尺寸，这导致了栅极过驱动电压的增大。由于源漏饱和电压(V_{dsat})等于栅极过驱动电压，因此在低电源电压结构中要获得低噪声是很困难的，在单级运放中尤其如此，此时输出摆幅不允许大的 V_{dsat} 。增加 L 以避免短沟道效应同样可行，但在 W/L 恒定的情况下这增加了寄生电容，从而减小了运放带宽。共源共栅管对噪声没有显著贡献，这是因为它们产生的噪声电压通过电流源高的输出阻抗转换为电

流。

4.2.2 运放结构的选取

单级结构的运算放大器广泛应用于开关电容电路。单级运放高的输出阻抗可以提供一个足够的直流增益，而直流增益又可以通过增益提高技术来进一步增大。相对于多级结构，单级结构可以在功耗很小的情况下提供大的带宽和好的相位裕度。而且，单级运放不需要频率补偿，使得在硅上占用的面积较小。然而另一方面，高的输出阻抗是通过牺牲输出摆幅得到的，而且由于提供噪声的器件较多致使噪声较大，另外电流源偏置的冗余电压也受限。

(a) 套筒式共源共栅放大器

套筒式共源共栅放大器，如图 4-3 所示，可能是速度最快的结构。带宽和最低非主极点都由 nMOS 器件决定，使得带宽很大而且相位裕度较好。由于电流分支数只有 2 个，因此功耗较小。

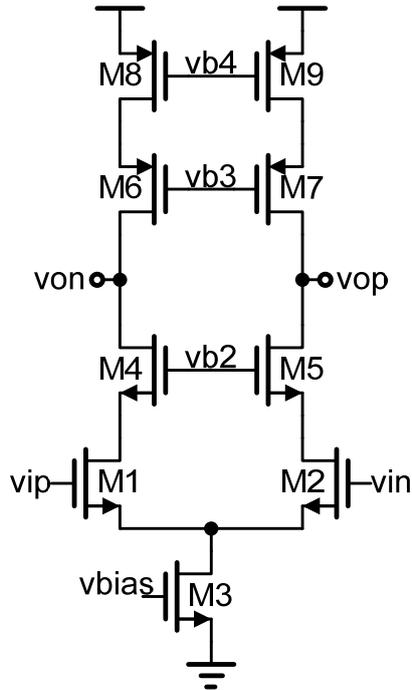


图 4-3 套筒式共源共栅放大器

套筒式共源共栅放大器最大的缺点是它有限的输入输出电压摆幅。其单端输出电压最大为 $V_{DD}-2V_{dsat}$ ，最小为 $3V_{dsat}$ 。要达到最大的输出摆幅，输入共模变化范围为零。在实际应用中，输入共模会发生变化，因而减小了输出电压摆幅。当电源电压为 5V 或更大时，输出电压摆幅足够大，一对额外的共源共栅管可以插入 nMOS 和 pMOS 管中以增大直流增益。然而当电源电压为 3V 或更低时，输出电压摆幅太小，对于多数开关电容电路都不适用。

(b) 折叠式共源共栅放大器

到运放的输入电容，导致了增益误差。密勒效应可以通过在输入管的上端插入额外的共源共栅管来消除。在输入为 nMOS 管的情况下，增加的非主极点远高于传递函数已经存在的非主极点，因此相位裕度没有显著降低。另一个消除密勒效应的方法是在输入管的栅极和其互补输入管的漏极之间加入电容，其大小相当于输入管栅漏寄生电容[11]。

(c)增益提高技术

在很多应用中单级结构的运放其直流增益不能满足要求，因此在高速电路中以提高运放直流增益的技术而不采取多级结构显得尤为重要。

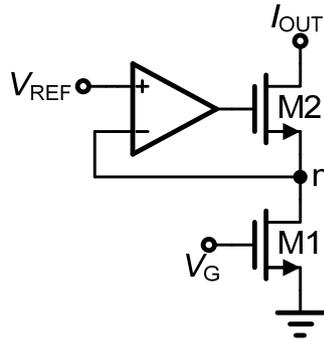


图 4-5 增益提高的共源共栅放大器

一个广泛应用的提高增益的方法是通过增加负反馈来改进共源共栅效应[12]。相应的电路结构如图 4-5 所示，它通过电流源来实现。上图电路中辅助运放通过反馈环路把 M2 包围起来，使其源端的电压值基本不变。因此，电流源的输出阻抗为，

$$r_{out} = Ag_{m1}g_{m2}r_{o1}r_{o2} \tag{4.4}$$

其中 A 为辅助运放增益。可知这种结构增大了阻抗，增大倍数等于辅助运放增益的值。因此当此电流源转换为运放结构时其相应的直流增益同样增大了 A 倍。

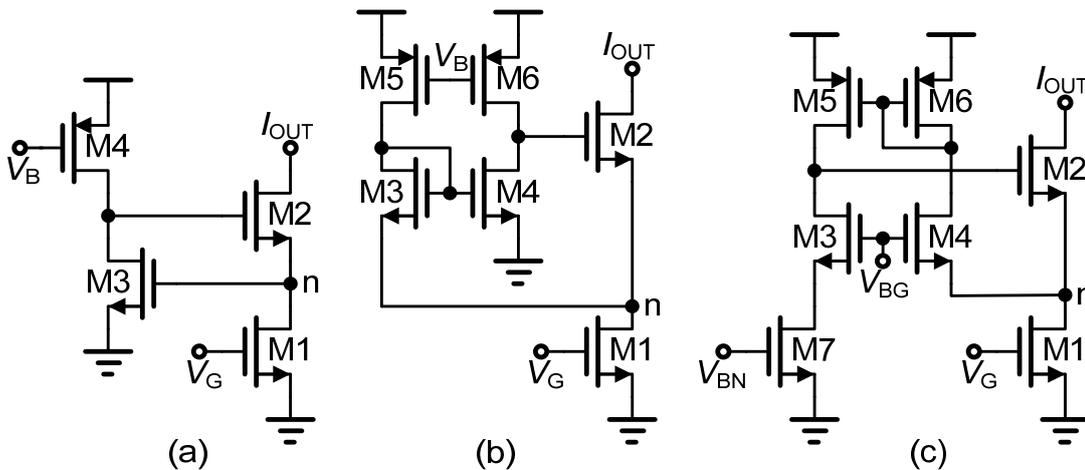


图 4-6 增益提高共源共栅放大器的三种实现形式

增益提高放大器的三种不同实现电路如上图 4-6 所示。图(a)的电路结构很简单，但是使得共源共栅结点的电压非常高。图(b)中电路使用了电平转换结构而图(c)中电路使用了共栅放大器，都使得共源共栅结点可以偏置在一个较低的电压[13]。除上述三种结构外，也可以应用一个更复杂的放大器结构，如折叠式共源共栅运放，而这正是本次设计所采用的。在全差分电路结构中，辅助运放同样可以是全差分的。

折叠式共源共栅运放使用增益提高技术时，其直流增益可以提高至 90dB[14]。当辅助运放的 GBW 大于主运放的主极点频率时，辅助运放对整个运放电路的带宽并没有显著影响。然而，辅助运放引入了一个零极点对，这可能显著的降低建立时间。因此通常要求辅助运放的 GBW 应略大于主运放的闭环带宽。

对带增益提高的折叠式共源共栅运放的频响特性和建立特性作深入分析，可以得到当辅助运放引入的零极点对被推到高频时，它实际上与运放的非主极点重合，形成一个复杂的极点对和一个零点[15][16]。要达到快的建立需要对极点对的品质因数、频率、零点频率合适选取，一般要求辅助运放引入的极点频率大于主运放 GBW 的 5 倍。

4.2.3 电路实现及仿真结果

由于本次设计的运放分辨率为 8 比特，时钟频率为 40M，因此对于电路中电容大小的选取主要由运放的建立时间以及电容的匹配决定，而不考虑 kT/C 噪声。综合上述的分析结果和本次设计的实际应用情况，运放的性能指标要求基本如下，

参数	指标
电源电压	1.8V
增益	>54dB
带宽	>445.6M
相位裕度	>72°
单端输入电压范围	0.4~1.4V
输出共模电压	0.9V
单端输出电压范围	0.65~1.15V
负载电容	0.5P

表 4-1 运放性能指标

为满足上述性能指标的要求，本次设计采用单级轨到轨折叠式共源共栅全差分运放。而为了进一步提高模数转换器精度，对运放的设计还采取了增益提高技术，

线如图 4-9 所示，可见运放的直流增益为 91dB，单位增益带宽为 790MHz，相位裕度为 73°，满足设计要求。

3.5 节对运放闭环的差模和共模特性做过具体分析，本次设计的运放的闭环稳定性仿真曲线如下图 4-10 和图 4-11 所示。可见差模直流增益为 89dB，带宽为 463.8MHz，相位裕度为 80.5°；共模直流增益为 85.7dB，带宽为 504.1MHz，相位裕度为 82°。由于共模带宽大于差模带宽，满足需要共模信号先建立的要求，其他指标也满足要求。

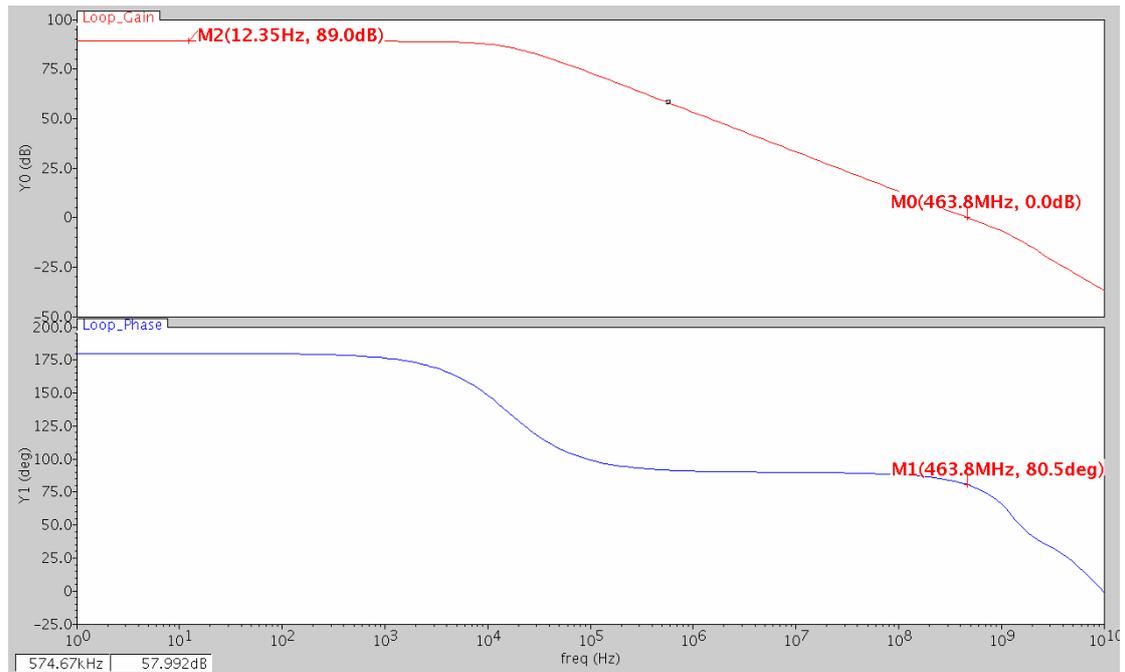


图 4-10 全差分运放闭环差模频率特性

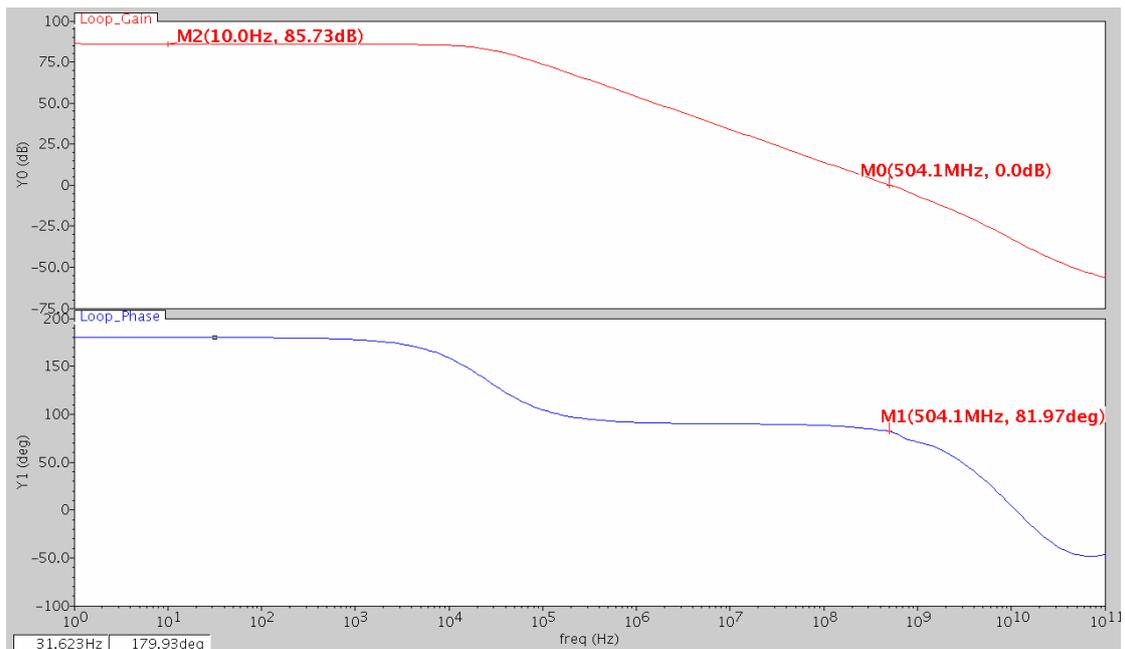


图 4-11 全差分运放闭环共模频率特性

路。电路为带密勒补偿的两级运放结构，第一级由一对差分输入管(M_1 、 M_2)和电流镜(M_3 、 M_4)组成，第二级为共源放大器。

参考电压产生运放有两个主极点。低频极点由运放第一级输出阻抗与密勒电容等效为第一级输出结点的对地电容确定，另一极点由运放输出阻抗与密勒电容等效为第二级输出结点的对地电容和负载电容确定。另外此电路还有一个非主极点，其关联结点位于 M_1 、 M_3 漏端；电路的直流增益为 $A_{v0}=g_{m1,2}(r_{o2}\parallel r_{o4})g_{m5}R_L$ 。

电路在第一级和第二级输出结点间跨接一个密勒补偿电容 C_1 来控制频率特性。由于补偿电容的加入，第一级运放的输出结点有一个相对第二级输出结点更大的对地电容负载。在这个结点上的电压变化被放大 $g_{m5}Z_L$ 倍，因此密勒电容的对地等效电容为 $C=C_1(g_{m5}Z_L+1)$ 。所以密勒电容的应用能运放的第一个极点转移到更低的频率。

除了降低第一个极点的频率以外，密勒电容还连接了第二级放大管的栅端和漏端，在高频时使放大管的跨导与输出阻抗并联。输出结点的电压改变同时被放大管的跨导计算，这有效的降低了输出结点的时间常数，把输出极点转移到更高的频率。

高频时密勒电容会引入一个不希望的负效应。当频率升高时，密勒电容的阻抗可能低于放大管跨导，第一级运放的输出电流流过密勒电容而且比放大管通过的电流要大。相对于通过输出放大管的电流，流过密勒电容的电流有相反的极性。因此输出信号的极性发生翻转，会导致电路的不稳定。这个效应表现在电路的传递函数上即会产生一个右半平面的零点。一个广泛采用的避免流过密勒电容的电流超过放大管的方法是增加一个串联电阻 R_1 。当 $R_1>1/g_{m5}$ ，此右半平面的零点转移到左半平面。

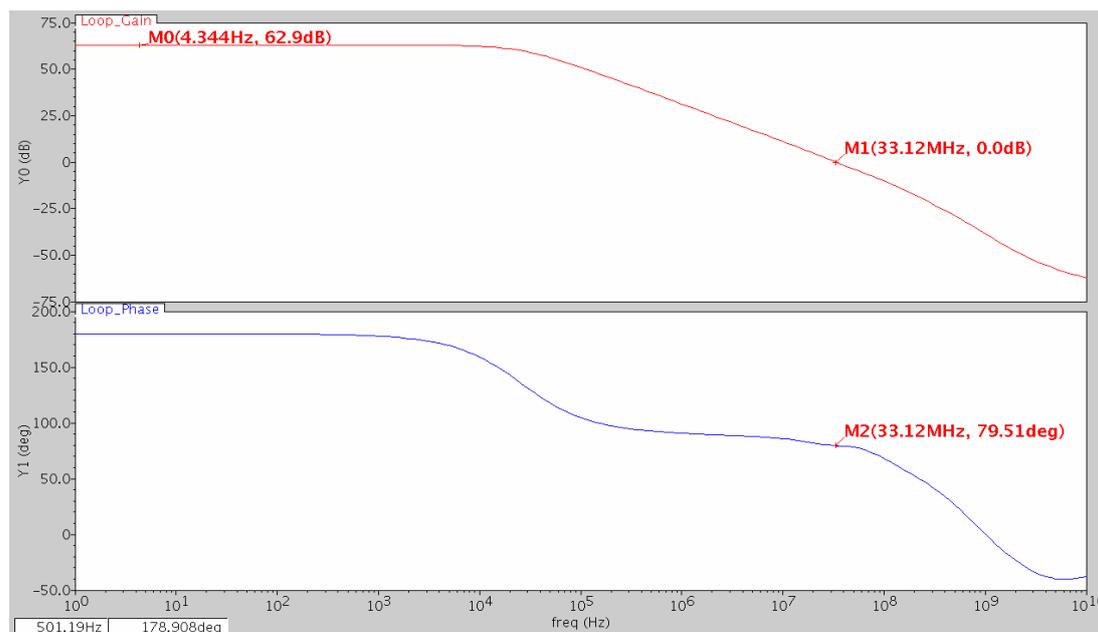


图 4-14 参考电压产生电路频率特性曲线

此电路频率特性的仿真曲线如上图 4-14 所示，直流增益为 63dB，相位裕度为 79°，单位增益带宽为 33MHz。

4.4 比较器

比较器是模数转换器的重要组成部分，在设计比较器时多方面需要考虑。对于不同的应用所要考虑的方面也不同，没有一个适合所有转换器的比较器存在。但是可以对比较器的设计做一些通用的指标。除了功耗以外，精度和速度是需要综合考虑的最通用的指标参数。

一个比较器最基本的功能是放大输入结点的或大或小的信号差至数字信号。很多比较器使用了输入差分对，其输入端分别接输入信号和参考信号。这种差分对管允许输入信号与共模信号有一定的误差。这种比较器可以通过加入一个正反馈的闩锁来实现，如下图 4-15 所示。一个时钟脉冲将激活闩锁从而放大小的输入电压差分信号至一个大的信号。

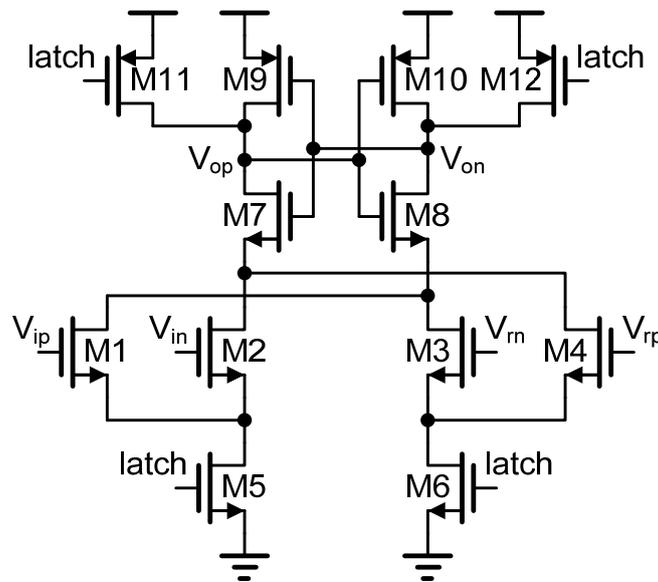


图 4-15 比较器电路

比较器的增益由输入差分对的跨导和负载阻抗决定： $g_{m,in}Z_L$ 。此增益必须足够大以抑制电路的其他二级效应。另一方面对于高速应用又没有必要提高直流增益到很大，因为速度性能是由单位增益带宽决定。比较器的带宽既要在大信号模型考虑也要在小信号模型考虑。在小信号模型中输入跨导和负载电容决定了带宽：

$$\omega = \frac{g_{m,in}}{C_L} \quad (4.5)$$

大的输入跨导能得到大的小信号带宽。选择一个大尺寸的输入管也减小了输入的不匹配，但是会增大负载电容。

为了达到整体性能要求，电路的大信号带宽同样需要考虑。大信号带宽的两个主要的问题分析如下：

在无失调的情况下信号被放大的最快速度由转换速率限制：

$$\text{slew-rate} = \frac{dV}{dt} = \frac{I}{C_L}$$

$$C_L \frac{dV_{in}(t)}{dt} \leq I$$

$$2\pi f_{in} V_{in,max} C_L \leq I \quad (4.6)$$

其中 $V_{in,max}$ 是相应的正弦信号的幅值。如果信号的瞬态充放电电流超过电流镜电流 I ，则对电容的充放电会受限而且产生失调。

此比较器的一个大信号效应即是饱和。一个大信号驱动比较器时会迫使输入管和其他内部元件要么处于饱和区，要么处于截止区。输入管的饱和产生了相当大的电流。为了恢复比较器所有的饱和元件要被带入它们的线性工作区。这一过程需要电流而且信号的处理要经历一定的延时。这会导致信号失调。为了阻止饱和效应，上图 4-15 所示的比较器使用一对反相器作负载，以限制内部结点来自饱和效应的信号摆幅。许多其他的电路技术也可用来减小内部电压摆幅。

由于寄生效应的影响，在实际电路设计过程中，阈值电压不可能精确等于设计的值，而需要仔细调整，但是由于数字校正的作用，只要比较器的阈值大致在所设计的附近即可。下图 4-16 为比较器阈值电压的仿真结果，理想的阈值电压为 125mV，仿真结果与理想值有 4mV 偏差。

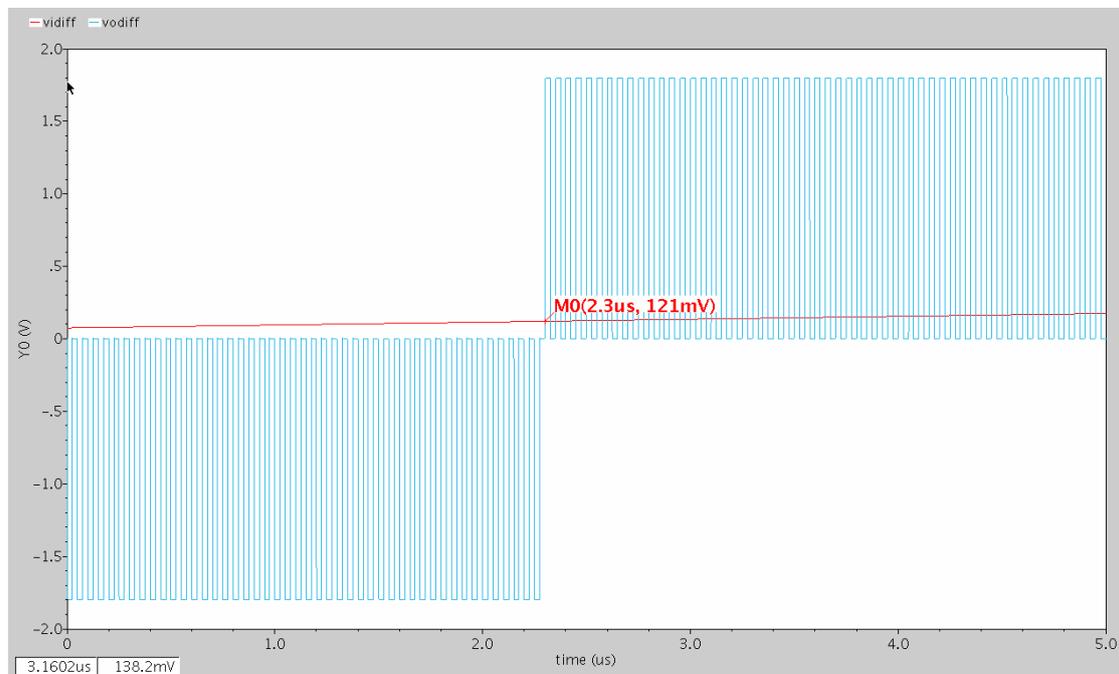


图 4-16 比较器仿真结果

4.5 时钟生成电路

要实现模数转换器的功能需要很多来自同一主时钟的时钟相位。时钟逻辑信号控制开关来实现转换器的算法、重组模拟架构、控制数据的转换。时钟相位可能需要延时，可能需要是交叠或非交叠以保证不同的功能实现。这包括不同状态转换间的反馈维持或避免电容存储电荷的泄漏[17]。数字逻辑控制的开关活动可能引起瞬态毛刺，此种毛刺在模拟信号被采用前都必须避免，因此数字时钟要有合理的相位[18]。

本次设计采用双相非交叠时钟信号，其产生电路可以通过逻辑门来实现，如下图 4-17 所示。输入时钟的下降沿信号可以瞬间通过与门 A1，而上升沿首先要通过另一与非门和串联的延时单元再传播至 A1。这产生的时钟信号 clk_A 和 clk_B 有一个非交叠时间，其值为与非门和延时单元总的延时。延时单元通常由大量数量的反向器链实现。

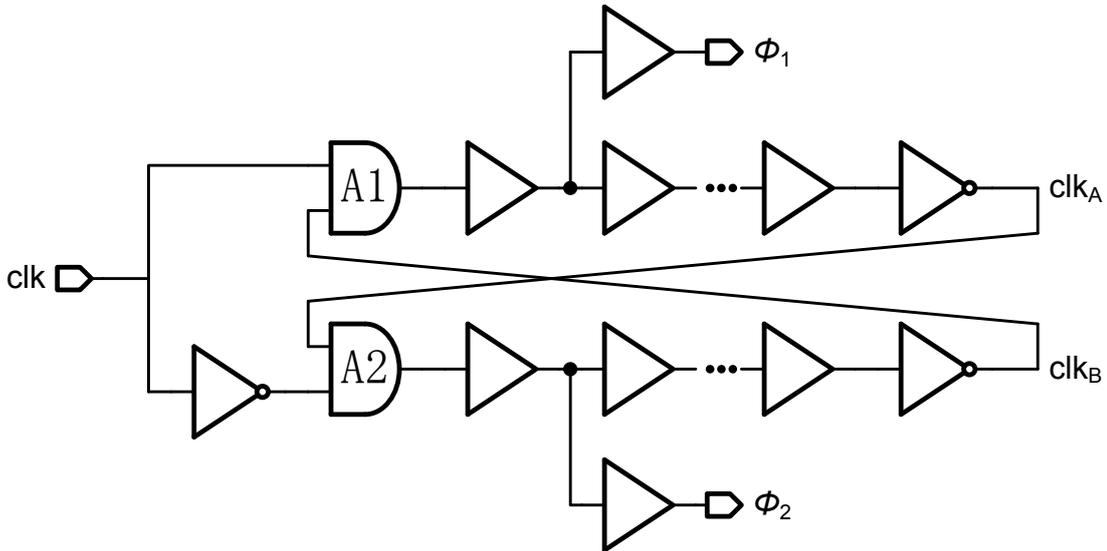


图 4-17 时钟产生电路

此电路最大的优点即简单易实现。在延时单元中可以放置大量数量的输出信号的缓冲器，使得电路有强的驱动能力。另一方面，实际的非交叠时间经常大于必要的非交叠时间，这是由于电路中包含有缓冲器和工艺及温度变化产生的影响。这导致的速度损失在高速时钟电路中尤为重要。

下图 4-18 为时钟产生电路的时序仿真波形。本次设计的时钟频率为 40MHz，周期为 25ns，仿真得到的 ϕ_1 、 ϕ_2 相位非交叠时间为 984ps， ϕ_1 、 ϕ_{1d} 相位延时为 742ps。

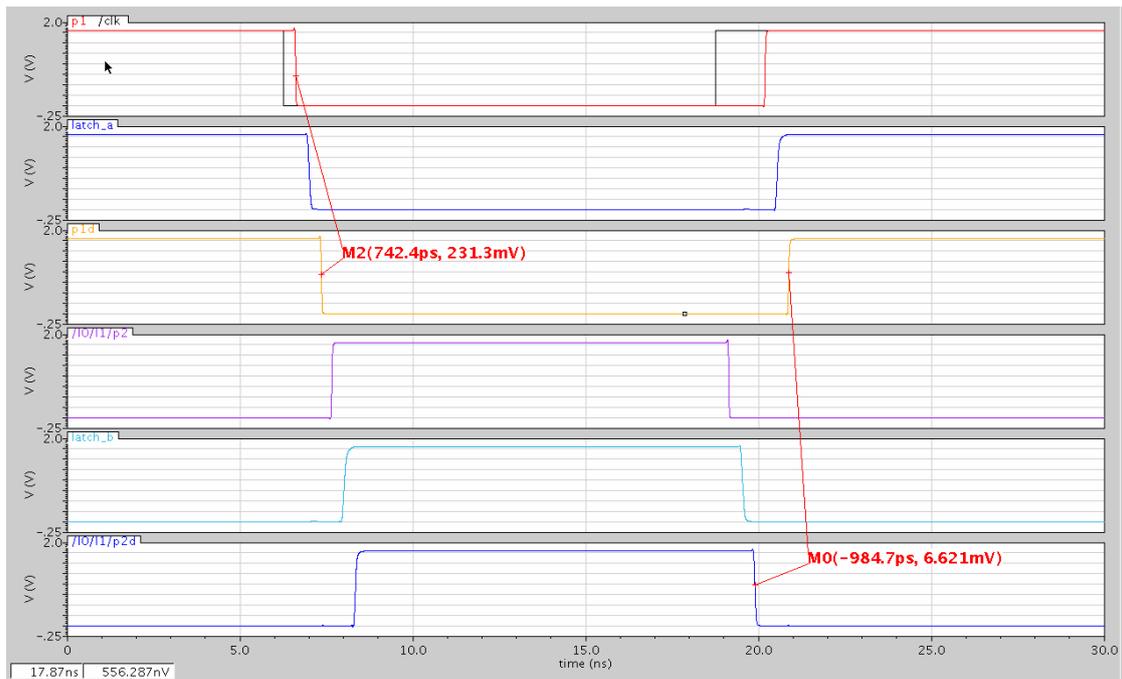


图 4-18 时钟产生电路仿真波形

4.6 模数转换器整体仿真结果

本次设计的 8bit, 40MHz 时钟频率的模数转换器输入信号的范围是 -0.5V~0.5V。先输入一个 0.5V 的直流信号，对应的 SHA 电路输出波形如下图 4-19 所示。由于 SHA 电路保持时的输出信号即是算法型 ADC 每次循环传递到比较器的比较信号，因此对于一个理想的模数转换器每次建立的电压都是 0.5V。实际的仿真结果如图 4-19 所示，误差最大时的建立电压为 492.7mV。

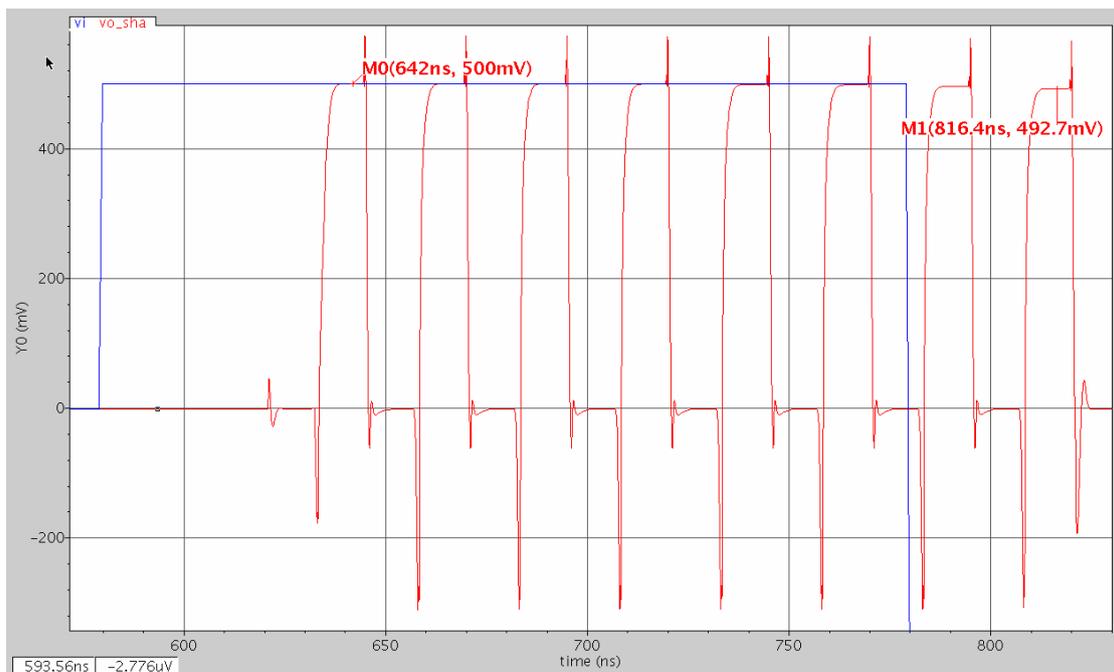


图 4-19 SHA 输出建立曲线

为了考察模数转换器的静态特性，在输入加从-0.5V~0.5V 的斜坡信号，设置采样频率使得每个周期输入的模拟信号改变量为 1 LSB。这样根据数字输出，可以考察 ADC 有无失码和错码的现象，其仿真结果如下图 4-20 所示，每个输出码都均匀的出现。

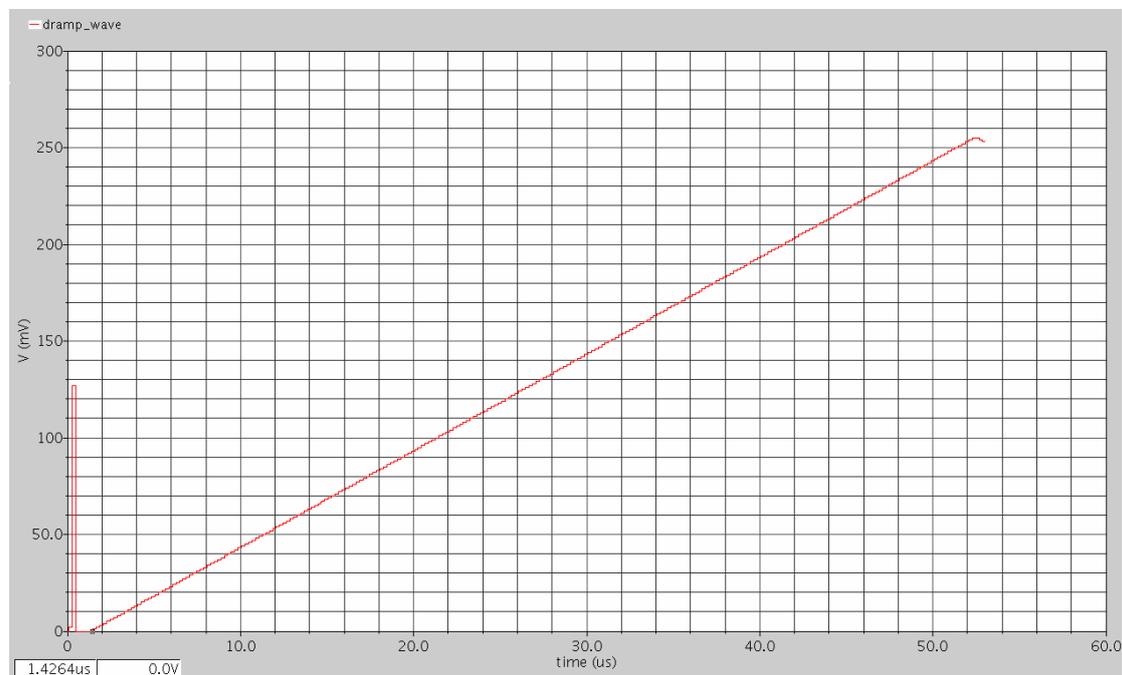


图 4-20 ADC 量化台阶

下面考察 ADC 的动态特性。设置输入信号为 0.5MHz 左右的正弦波，在时钟频率为 40MHz 的情况下进行瞬态仿真，将得到的数字输出数据导出，再进行 FFT 分析，结果如下图 4-21 所示。计算得到的动态参数为：信噪比 SNR=50.36 dB，信噪失调比 SINAD=49.75dB，无杂散动态范围 SFDR=66.12 dB，最大谐波失真 THD=-58.56 dB，有效位 ENOB=7.97 bit。

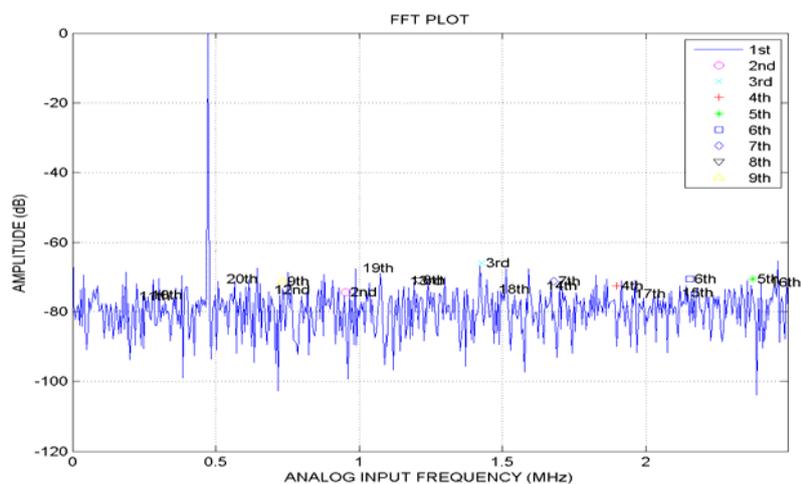


图 4-21 FFT 频谱分析

4.7 版图设计

版图设计是整个电路设计中很重要的一环,由版图设计原因引入的误差会进一步影响电路的性能,本次整个电路系统的设计是在 TSMC0.18- μm 、1.8V 电源电压、单层多晶硅、五层金属的标准 CMOS 工艺下完成。

版图的主要设计流程为芯片版图整体布局、各子模块版图设计、模块拼接布线,在子模块设计好后会对芯片的布局作二次考虑,以使芯片面积最小和布线最方便。在本次版图设计时,主要考虑的问题有以下几点:

(1) 由于模数转换器属于数模混合电路,需要把数字部分和模拟部分集成在同一块芯片上,而数字电路通常又会有较大的噪声。因此在版图设计中应把模拟和数字部分分开布局,而且要采取相应的隔离措施,以使数字电路产生的噪声通过各种途径对模拟电路造成的影响最小,这其中的噪声主要包括衬底耦合噪声和同步开关噪声。所采用的主要方法有对模拟部分用隔离环包围和将数字部分和模拟部分的电源地区分开来。

(2) 模拟电路敏感元件的对称性和敏感参数的精确性。在芯片的实现过程中,由于工艺参数本身的误差,以及温度的变化,很难保证电路元件参数的精确性。例如硅片上的集成电阻,一般来说,实现集成电阻的方法有多晶硅电阻、阱电阻、有源区扩散电阻等。其中比较精确的做法是不使用 **Salicide** 掺杂的多晶硅来实现,但即使如此,最终实现的电阻阻值在最恶劣的情况下也可能会和最初的设计值有 20% 的偏差。在实际版图设计过程中,所能保证的只是两个或多个元件之间的相对精度。邻近元器件之间假如能保持良好的几何对称性,则在工艺参数变化、温度漂移的情况下,各个元件的电学参数也能保持相对恒定。因此在版图设计时,必须把对称性要求高的元件放得尽量靠近,使其间跨度尽量小,而且从几何上尽量对称。对于沟道宽度较大的 MOS 管的版图,需用“叉指”结构来减小栅电阻,并使诸如失配、串扰等效应最小化。

(3) 版图设计复用。由于模拟电路版图设计完全是由手工完成,所以即使是绘制一块很小面积的版图也需要投入大量的时间和精力。在设计版图时充分考虑模块化设计,能够复用的电路尽量作成单元的形式。单元内部的版图只需要绘制一次,以后就只要重复调用该单元就可以了。

(4) 参考源的分布。在模拟电路中,一般内部模块的偏置电流与偏电压都是来源于一个或多个基准源。由于噪声和匹配等因素,这些基准电路在整个芯片上的分布会引起许多问题。由于电压受到的干扰较大,一般来讲参考源按电流进行分配,将参考电流走线连到临近的模块,并且就地生成镜像电流,从而减少系统误差。在本次设计中,SHA、MDAC 中的运算放大器的偏置电压由偏置电路提供。对于共源共栅放大器而言,偏置电压的变化将对运放的性能造成很大的影响。因此虽然 SHA、MDAC 中运放偏置电压可由同一个偏置电路实现,但是为了更

好的匹配以及受到的干扰更少，不同的运放由不同的偏置电路提供偏置电压。

(5) 芯片布线。在版图上进行系统整体版图布局时，要充分考虑模块之间的走线，走线较复杂时可以预留走线通道，应充分注意对称性原则。走线时要避免数字信号线对单元以及内部信号的干扰。另外，对时钟信号走线时要充分考虑时延，不同的时钟信号布线应尽量一致，以保证时序间的同步性问题。

下图 4-22 和图 4-23 分别为本次设计的全差分运放版图和模数转换器整体版图。

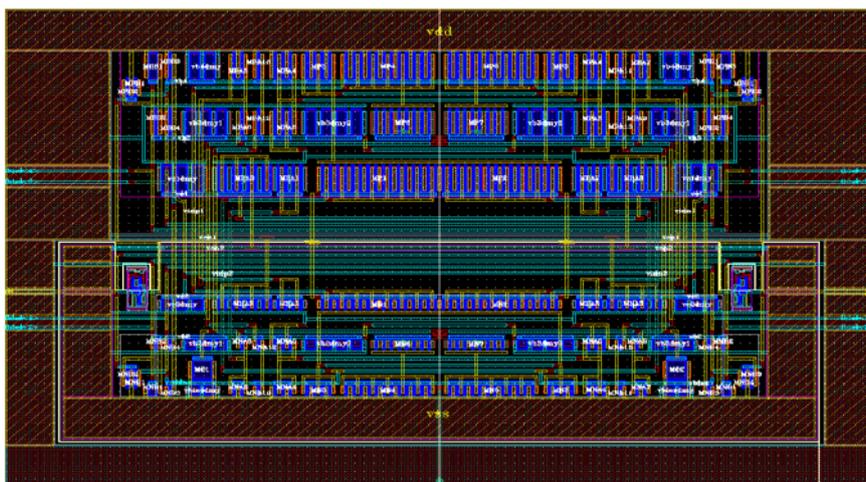


图 4-22 全差分运放版图设计

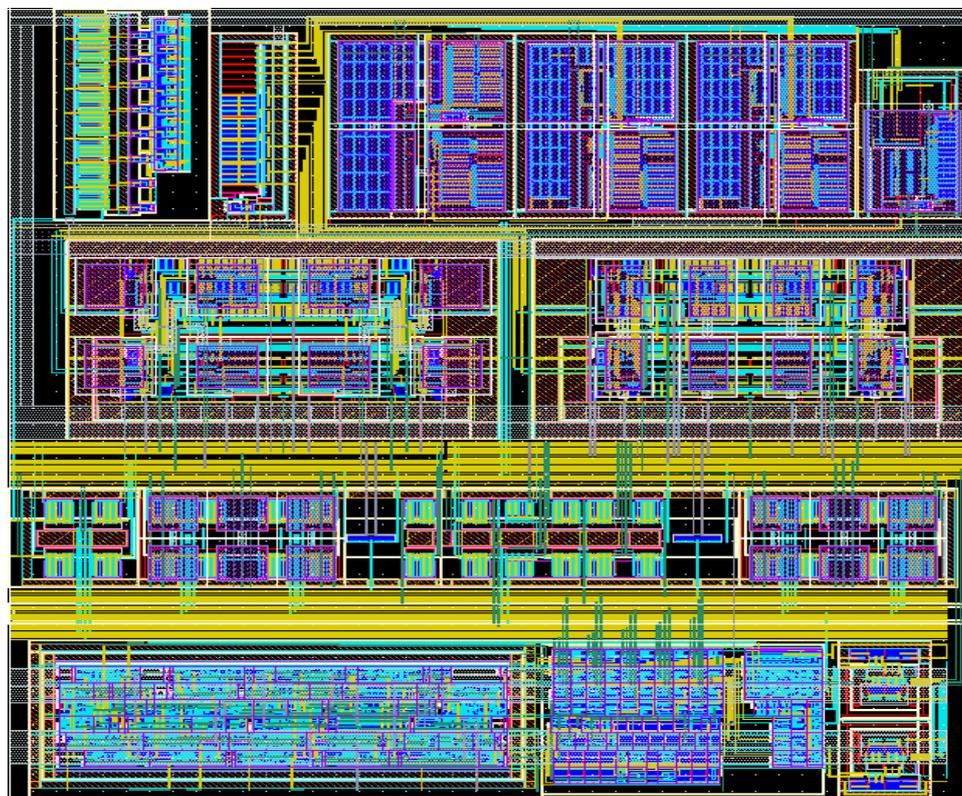


图 4-23 模数转换器整体版图

第五章 总结与展望

5.1 总结

本文在理解模数转换器 ADC 设计技术的基础上,在 TSMC 工艺下研究和设计了一款 8bit 算法型 ADC。论文的主要工作如下:

(1)介绍了 ADC 的基本工作原理和一些主要的性能参数,分析了算法型 ADC 的设计原理。在此基础上论文详细讨论了 ADC 设计中涉及的一些基本模块的设计,包括采样保持电路、余量增益放大电路、运算放大器、参考电压产生电路和比较器等,对这些电路的技术指标作了详细的阐述,并对电路中的非理想特性和误差进行了分析,给出了电路设计过程中的一些考虑。

(2)基于 TSMC0.18um, 1.8V 的工艺,实现了算法型 ADC 各模块的具体电路设计,进行了仿真验证,并对仿真结果进行说明,基本达到理论设计的性能要求。

(3)对 ADC 整体电路进行仿真验证。设计 ADC 版图,并进行前后仿对比,再进一步对版图进行修改完善。

5.2 未来工作展望

由于时间的关系,本次设计的算法型 ADC 虽然已经流片但是没来得及测试。另外虽然本文设计的算法型 ADC 在电路仿真上已经达到了设计要求,但是为了进一步提高本电路的性能,特别是在高速、高精度以及低功耗方面,还有很多技术值得研究。在未来的工作中,可以从以下几个方面进行深入的研究:

首先从系统级考虑,如何提高该 ADC 的分辨率,能否达到 10bit 或更高分辨率,分辨率提高导致的噪声要求更严格又该如何考虑。是否有更好的系统架构能最大限度的节省功耗。

其次在电路级设计中,对采样保持电路中的放大器进行重新的设计。因为放大器设计是 ADC 设计中的最主要、最关键的部分,其速度、增益和功耗等对 ADC 的性能影响很大。本文设计的放大器虽然也是经过好多次的修改,其性能基本满足设计要求,但是这与高增益、高速和低功耗的要求还相差甚远。所采用的带有增益提高的放大器结构有好多的性能还没有实现出来,这主要包括:如何在提高增益和速度的情况下,使得放大器的寄生电容最小;如何使得放大器的次主极点频率更远离点;如何消除主放大器和辅助放大器之间的零极点对(Duoblet)等。当

然这有相当的难度，因而也是很有意义的挑战。

最后在版图设计中采取措施最大限度地减低制造工艺带来的偏差，以使得算法型 ADC 的性能达到最优。

致谢

本论文是在导师唐长文教授的悉心指导下完成的。在我攻读硕士学位的两年里，导师言传身教，不仅使我开拓了视野、增加了知识，更重要的是使我系统的掌握了科学研究的基本手段和方法；同时，唐老师在生活上也给予了我极大的关怀和帮助。唐老师以他渊博的知识和丰富的经验使我终身受益不尽。在这里，向导师唐长文教授表示我由衷的谢意！

同时感谢实验室和电子工程专业的同学对我的支持和帮助。最后，感谢在百忙之中拨冗参加论文审阅和评议的各位专家，感谢你们为审阅本文所付出的辛勤劳动。

参考文献

- [1]. P. W. Li, M. J. Chin, P. R. Gray and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," IEEE Journal of Solid-State Circuits, vol.19, no.6, pp.828-836, Dec 1984.
- [2]. S. Hatanaka and K. Taniguchi, "A ratio-independent algorithmic pipeline analog-to-digital converter" Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on Volume 1,2-5 Sept.2001, pp.345-348.
- [3]. Jere A. M. Jarvinen, Mikko Saukoski, and Kari Halonen, "A 12-bit Ratio-Independent Algorithmic ADC for a Capacitive Sensor Interface," Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS'07, 27-30 May. 2007, New Orleans, USA, pp.1713- 1716.
- [4]. Stephen H. Lewis, R. Ramachandran. A 10-b 20-Msample/s analog-to-digital converter. IEEE J. Solid-State Circuits, 1992, 27(3): 351~355
- [5]. D. Garrity and P. Rakers, "Common-Mode Output Sensing Circuit," U.S. Patent 5 894 284, Apr.13, 1999.
- [6]. D. A. Johns and K. Martin, Analog Integrated Circuit Design, 1st ed. New York: Wiley, 1996.
- [7]. K. Y. Kim, N. Kusayanagi, and A. A. Abidi, "A 10-b, 100-MS/s CMOS A/D converter," IEEE J. Solid-State Circuits, vol. 32, pp. 302~311, Mar.1997
- [8]. Behzad Razavi 著, 陈贵灿等译, 模拟 CMOS 集成电路设计. 西安: 西安交通大学出版社, 2001
- [9]. Phillip E. Allen, Douglas R. Holbery. CMOS 模拟集成电路设计. 电子工业出版社, 2002
- [10]. Y. Kamath, R. G. Meyer, and P. R. Gray, "Relationship between frequency response and settling time of operational amplifiers," IEEE J. Solid-State Circuits. pp. 347-352, Dec. 1984.
- [11]. Laker, K.R. and W.M.C. Sansen, Design of Analog Integrated Circuits and Systems, McGrawHill, Electrical Engineering series, 1994.
- [12]. D. Flandre, A. Viviani, J. P. Eggermont, B. Gentinne and P.G. A. Jespers, "Improved Synthesis of Gain-Boosted Regulated-Cascode CMOS Stages Using Symbolic Analysis and gm/ID Methodology," IEEE J. of Solid-state Circuits, Vol. 32, No. 7, pp. 1006-1012, Jul. 1997.
- [13]. K. Bult and G Geelen, "The CMOS gain-boosting technique", Analog Integrated Circuits and Signal Processing, Vol. 1, No. 2, Oct. 1991, p. 119-135.
- [14]. K. Bult and G. J. G. M. Geelen, "A Fast-Settling CMOS Opamp for SC Circuits With 90-dB DC Gain," IEEE J, Solid-State Circuits, pp.1379-1384, Dec 1990
- [15]. D. Flandre, A. Viviani, J. P. Eggermont, B. Gentinne and P.G. A. Jespers, "Improved Synthesis of Gain-Boosted Regulated-Cascode CMOS Stages Using Symbolic Analysis and gm/ID Methodology," IEEE J. of Solid-state Circuits, Vol. 32, No. 7, pp. 1006-1012, Jul. 1997.
- [16]. M. Das and J. Hellums, "Improved Design Criteria of Gain-Boosted CMOS OTA with High Speed Optimizations," IEEE ISCAS 2000, Vol. V, pp. 201-204, Geneva (Switzerland), May 2000.

- [17]. Li, L. Chen J. H. Chang R. C. A low jitter delay-locked loop with a realignment duty cycle corrector [A]. SOC Conference, 2005
- [18]. Rantala, A. Martins D. G. Aberg M. A DLL clock generator for a high speed A/D converter with 1 ps jitter and skew calibrator with 1 ps accuracy in 0.35 μ m CMOS [A] NORCHIP Conference, 2005

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名: _____ 日期: _____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名: _____ 导师签名: _____ 日期: _____