学校代码: 10246 学 号: 052021071

复旦大學

硕士学位论文

单芯片数字电视调谐器射频前端系统分析与设计

- 院 系: 微电子学系
- 专 业: 微电子学与固体电子学
- 姓 名: 金黎明
- 指导教师: 唐长文 副教授
- 完成日期: 2008年4月25日

目录	I
摘要	
Abstract	IV
第一章 概述	1
1.1 数字电视发展概况	1
1.1.1 数字电视和模拟电视的区别	1
1.1.2 全球数字电视发展概况	2
1.1.3 中国数字电视发展概况	3
1.2 电视调谐器的发展与研究现状	3
1.3 论文的研究内容及贡献	5
1.4 论文的组织结构	6
参考文献	7
第二章 数字电视调谐器系统性能分析	8
2.1 DVB-T 标准	8
2.2 增益分析	10
2.3 噪声分析	10
2.4 线性度分析	12
2.4.1 三阶非线性	12
2.4.2 二阶非线性	14
2.5 镜像抑制	15
参考文献	16
第三章 数字电视调谐器系统架构	18
3.1 现存架构比较	18
3.1.1 一次变频和二次变频	18
3.1.2 零中频和低中频	21
3.2 二次变频低中频架构分析	22
3.2.1 系统架构	22
3.2.2 性能指标分配	24
参考文献	26
第四章 射频前端电路设计	28
4.1 可变增益低噪声放大器设计	28

	4.1.1 设计目标	28
	4.1.2 电容交叉耦合原理	28
	4.1.3 电路设计	29
4.2	上变频混频器设计	32
	4.2.1 Multi-tanh 跨导线性化技术	33
	4.2.2 差分电感设计	35
	4.2.3 电路设计	36
4.3	正交下变频混频器设计	39
	4.3.1 多栅跨导结构	39
	4.3.2 电路设计	40
参考	考文献	42
第五章	芯片实现及测试	44
5.1	芯片实现	44
5.2	测试 PCB 板设计	45
5.3	芯片测试结果	46
参考	专文献	49
第六章	系统改进设计	50
6.1	系统线性度提高	50
6.2	衰减器对系统信噪比的影响	51
6.3	噪声性能优化	55
6.4	上变频混频器改进设计	56
	6.4.1 差分源极退化	56
	6.4.2 电路设计	57
	6.4.3 芯片实现和测试	59
参考	专文献	62
第七章	总结与展望	64
7.1	成果总结	64
7.2	未来展望	64
参考	专文献	65
致谢		66

摘要

近年来,数字电视飞速发展,正在逐步取代传统的模拟电视而成为主流传播 方式。调谐器作为信号接收链路中的关键环节,其性能对输出图像和声音的质量 有至关重要的影响。因此,作为整个数字电视产业链中的重要部份,调谐器的设 计和研发受到业界的广泛关注,尤其是 CMOS 单芯片解决方案,因其具备低成 本、低功耗和小体积的优点,市场前景被普遍看好。

本论文针对单芯片数字电视调谐器的设计难点,从系统架构和性能到射频前端各组成模块,详细展开研究和设计。

首先,简要介绍了目前数字电视的发展概况以及电视调谐器的研究现状,提出了单芯片方案相比较于传统铁盒形方案的优势,以及实现此方案的难点。然后以欧洲国家普遍采用的 DVB-T 数字电视地面广播标准为例,详细分析计算了调谐器系统在增益,噪声,线性度等方面需要达到的性能指标。

为实现设计目标,总结和概括了目前广泛采用的几种典型系统架构,分析和 比较了他们各自的优缺点,提出了适合单芯片集成的二次变频低中频方案,并且 明确了其中各个电路模块的功能,以及需要达到的性能指标。通过合理分配,使 得各模块易于设计实现。

在此基础之上,对射频前端电路中的可变增益低噪声放大器,上变频混频器 和正交下变频混频器进行电路设计。通过采用创新性的电路结构,优化性能,使 其满足系统应用的要求。之后进行流片实现,并且通过测试得到射频前端整体的 各项性能参数,基本能够满足应用,同时也对理论分析作了有力验证。

总结测试结果后,对系统架构进行改进设计,着力于在输入信号功率增大时 继续提高线性度,以此实现扩大接收动态范围的目的。通过引入无源衰减器模块, 打破限制线性度提高的瓶颈,并且对衰减器的接管点和增益变化范围进行了详细 的理论分析。此外,还对上变频混频器模块进行改进设计,通过流片验证,并对 该模块进行单独测试,得到各项性能指标,基本满足系统要求。

关键词: 电视调谐器, 系统架构, 单芯片, 二次变频, 噪声系数, 线性度 中图分类号: TN4

本论文工作受到国家高科技研究发展计划资助(项目编号: 2007AA01Z282)

Abstract

Digital Television has been developed rapidly, and is gradually replacing the traditional analog TV in recent years. The TV tuner, whose performance strongly determines the quality of the output audio and video, takes an important role in the DTV industry. As a result, many institutes have been engaged in the tuner design and other related research work, especially in the CMOS single-chip solution due to its advantages including low cost, low power and small size.

This work presents the analysis and design of the tuner architecture, specification, and build-up modules, with an eye to the difficulties in the single-chip integration.

Firstly, an overview about the development of the DTV and tuner is provided. And the specification of the tuner is theoretically analyzed such as gain, noise figure and linearity, taking European DVB-T standard for an example.

Secondly, the double conversion low IF architecture is introduced based on the comparison of the current popular architectures. The specification of the build-up modules is carefully distributed to make them easy to design.

The RF front-end circuits of the tuner, including the variable gain low noise amplifier (VGLNA), the upconversion mixer, and the quadrature downconversion mixer are designed and then taped out. The measurement results verify the theoretical analysis.

Finally, the tuner architecture is improved by exploiting a passive attenuator, to achieve better linearity, leading to larger dynamic range. The take-over point and the variable gain range are analyzed. In addition, a modified upconversion mixer is presented and taped out. The measurement results show the performance of the mixer satisfies the demands of the whole system.

Key word: TV tuner, architecture, single-chip, double conversion, noise figure, linearity

This project is supported by the National High Technology Research and Development Program of China (No. 2007AA01Z282).

第一章 概述

1.1 数字电视发展概况

1.1.1 数字电视和模拟电视的区别

随着数字技术的不断发展,电视广播从模拟到数字的转换已经成为一个全球 性的趋势。那么,数字电视和传统模拟电视相比,到底有哪些不同,又有哪些优 势呢?

图 1-1, 1-2, 1-3, 1-4 分别给出了模拟和数字电视发送接收链路的简要系 统框图。可以看出, 两者主要存在以下的差别:

 信号处理。数字电视信号在发射之前,经过模拟数字转换后,需要进行 音频和视频压缩以及编码。通过这个步骤,减少冗余信息,达到在尽量小的带宽 内包含更大的信息量,其结果是能够在一定的信道内传送更高质量的音视频信 号。通过加入各种纠错编码,提高信号传输的有效性。而传统的模拟电视则没有 这种手段。

2. 调制方式。数字电视采用数字调制,如正交相移键控(QPSK)、正交幅度 调制(QAM),大幅度提高频带利用率,使得在一定的带宽内可以包含更多的频道 内容。而模拟电视采用普通的模拟调制,只是简单地将低频信号搬移至高频,易 于发射传播。

数据传输。数字电视信号中不仅包含视频和音频信息,还可以有数据传输,使得提供电视信号之外的数据信息服务成为可能。

正是由于数字电视在信号传输和处理上有以上有别于传统模拟电视的特点, 因此也就相应地具备以下这些优势:

1. 具有优质的语音和画面质量。

2. 可以包含更多的节目套数,更丰富的节目内容。

3. 更强的抗干扰能力。

4. 扩展功能增多,如节目预报,视频点播,证券数据服务等等。



图 1-1 模拟电视发送机简要框图



图 1-4 数字电视接收机简要框图

1.1.2 全球数字电视发展概况

正是因为数字电视具有传统模拟电视无可比拟的优越性,其在世界范围内受 到广泛关注,各国都积极制定自己的数字电视发展战略。

欧洲 1993 年成立了数字视频广播组织 DVB (Digital Video Broadcasting), 为数字视频广播系统提供一个标准框架。该组织针对卫星,有线和地面三种广播 方式分别推出了 DVB-S、DVB-C、DVB-T[1]标准。这些均得到欧洲通信标准组 织(ETSI)和国际电联(ITU)的通过,并且在欧洲范围内逐渐得到推广和应用。

美国采用以HDTV为基础的ATSC(Advanced Television System Committee)[2]作为国家数字电视(DTV)标准。从1998年~2003年,美国数字电视 发展已初具规模[3]。截止到2005 年上半年,美国共有1497 座地面数字电视台,占整个电视台的93.5%,覆盖了1.065 亿电视家庭的99.7%的市场,数字电视渗透率达到55%,数字电视用户超过6000 万。美国计划在2009 年完成模拟向数字的转换。

日本是数字电视研究与开发起步较早的国家,1999 年发布数字电视标准 ISDB-T(Terrestrial Integrated Service Digital Broadcasting)[4]标准,2001 年开 播高清晰度数字电视,2003 年在主要的大城市开播地面高清晰电视,2006 年实 现地面数字电视全国覆盖,全部是数字高清节目。

1.1.3 中国数字电视发展概况

2003年,广电总局制定了《我国有线电视向数字化过渡时间表》[5],正式 拉开了中国数字电视发展的序幕。按照这个时间表,中国的数字电视发展分为几 个阶段。

第一阶段:到 2005 年,直辖市、东部地区地(市)以上城市、中部地区省会市和部分地(市)级城市、西部地区部分省会市的有线电视完成向数字化过渡。

第二阶段:到 2008 年,东部地区县以上城市、中部地区地(市)级城市和大部分县级城市、西部地区部分地(市)级以上城市和少数县级城市的有线电视基本完成向数字化过渡。

第三阶段:到 2010 年,中部地区县级城市、西部地区大部分县以上城市的 有线电视基本完成向数字化过渡。

第四阶段:到 2015 年,西部地区县级城市的有线电视基本完成向数字化过渡。

近日,国务院办公厅转发了发改委等六部门《关于鼓励数字电视产业发展若 干政策的通知》[6],在明确发展目标,优化投融资环境,加强税收优惠支持, 推动技术进步,加强市场培育和监管,推进"三网"(宽带通信网,数字电视网和下 一代互联网)融合,加强知识产权保护。而中国自己的地面数字电视标准 DMB-TH[7]也已经正式出台。

广电总局已经明确,北京、天津、上海、沈阳、青岛、秦皇岛等6个奥运城 市和广东省广州、深圳市都将在奥运期间开播地面高清电视节目。借助北京奥运 的契机,数字电视的普及将会得到进一步的大力推进。整个数字电视产业链正在 逐步完善,数字电视专用集成电路、高清晰度显示器件、应用软件和系统集成、 数字电视节目制作、数字电视网络运营在内的各个行业都将得到蓬勃发展。

1.2 电视调谐器的发展与研究现状

从数字电视接收链路简图中可以看到,调谐器(Tuner)是信号在通路中所经过的第一个模块,因此其性能表现对整个系统的性能有至关重要的影响。

传统的电视调谐器由分立元件构成,通过印刷电路板(PCB)互连,外型是一个铁盒装置,所以被称为 Can Tuner。内部各个区域实现不同的功能,通过金属将各区域隔离,防止信号之间的串扰。此类调谐器存在几个难以解决的缺陷。

1. 性能不稳定。每个器件都有独立的电气和温度特性,因此随着时间推移

和外部环境的变化,调谐器的总体性能的变化范围较大,最终导致图像质量的变化。

4. 体积较大。因为内部空间需要容纳众多器件,包括芯片,线圈,电容等等,而且要考虑散热的问题。

3. 成本较高。调谐器的成本包含内部的多块芯片,线圈,电容,外层铁盒 以及 PCB 板制作费用,价格不菲。

近年来,随着集成电路设计和制造能力的不断提升,尤其是射频 CMOS 工 艺的不断成熟,单芯片全集成的电视调谐器越来越受到关注,并且成为各大公司 和科研机构追逐的热点,也逐渐成为调谐器市场的主流。其微小的体积,在追求 精致外观的现代化电子设备制造商中备受欢迎;其低廉的价格,更是在市场上具 有极强的竞争力;因为采用 CMOS 工艺,使得调谐器和后级解调器等数字模块 的集成成为可能,这也更加凸显出其在成本上的优势。

图 1-5 展示了欧洲 DiBcom 公司调谐器产品的演进过程[8]。早期是传统的 Can Tuner,然后成功地实现了硅单芯片调谐器产品,最后将调谐器和数字解调 模块集成到了一块面积为 12mm×12mm 的芯片上。通过集成度的不断提高,面 积和成本上的优势得到淋漓尽致的体现。

目前,针对卫星接收(如 DVB-S)和手持式设备(如 DVB-H)的单芯片电视调谐器的研究已经比较成熟[9,10],且都达到了很好的性能。

对于 DVB-S 标准,虽然信号带宽达到了 950-2150MHz,甚至比 DVB-T 标准略宽,但对于调谐器设计要求而言,其相对于中间频率的调谐范围只需要 77%,而 DVB-T 标准则达到了 180%。在接收动态范围方面,只要求-65~-25 dBm,也比 DVB-T 小得多。此外,DVB-S 采用单一的 QPSK 调制方式,相对比较简单,对于调谐器输出信噪比的要求比较低,设计难度也就相对较小。

而 DVB-H 标准在信号带宽和功率方面都可以看作是 DVB-T 标准的一个子 集,它占用 UHF 频段,即 470MHz~860MHz,只是 DVB-T 标准的其中一个部 分。因此,针对 DVB-H 标准的调谐器芯片,其设计难度必然低于 DVB-T 标准。

正是由于这些难点,应用于地面广播(如 DVB-T)的单芯片数字电视调谐器研究尚处于起步阶段,在性能、功耗和集成度等方面还存在很大的改进余地。有些研究仍然采用 Biploar 或者 BiCMOS 工艺,与后级数字模块的集成比较困难,成本较高。因此,针对 DVB-T 标准的数字电视调谐器芯片具有更高的研究价值,本文的研究方向就是针对这个标准展开。

4



图 1-5 调谐器产品演进过程

1.3 论文的研究内容及贡献

本论文着重研究了单芯片 CMOS 数字电视调谐器射频前端电路,包括系统 架构分析,系统性能参数的要求,各模块之间的参数分配等。在此基础上进行了 具体电路的设计,并且通过流片和测试,对理论分析进行了验证。具体内容和贡献包括:

1. 以欧洲各国普遍采用的 DVB-T 标准为例,在理论上分析了调谐器系统的 一些关键的性能参数所需要达到的指标,包括增益,噪声,线性度等等。根据 DVB-T 标准在信号带宽,动态范围等方面的特点,对现存的几种主要调谐器架 构进行了分析,比较它们之间的优缺点,提出了一种有利于单芯片全集成的二次 变频低中频架构方案。

 对调谐器射频前端进行了具体电路设计,包括可变增益低噪声放大器, 上变频混频器和正交下变频混频器。通过对各模块电路的理论分析,采用合适的 电路结构,使得性能指标能够满足系统应用的要求。 **3**. 通过流片和测试,验证理论分析。通过对测试数据的分析,发现原有架构在噪声和线性度等方面的缺陷,提出了改进后的新架构,并且在理论上加以完善。

4. 对其中的上变频混频器电路进行了改进,并且再次进行流片验证,测试 得到各项性能参数。

总之,本论文在理论上分析了数字电视调谐器系统架构,进行了具体电路设计,并且通过流片和测试进行验证,之后对原有架构作了进一步的改进。对电视 调谐器以及其他类型射频接收机的分析和设计具有一定的参考和借鉴价值。

1.4 论文的组织结构

本论文以欧洲国家普遍采用的 DVB-T 数字电视地面广播标准为例,在理论 上分析了数字电视调谐器在一些关键性能参数上所需要达到的指标,在分析现有 架构的基础上,确定了适用单芯片全集成方案的系统架构,并且对射频前端的具 体电路模块进行了设计实现。而后通过流片和测试,对理论分析进行了有力的验 证。具体组织结构如下:

第二章以 DVB-T 标准为例,分析了电视调谐器系统在增益,噪声,线性度 和镜像抑制等方面的所需要达到的性能指标。

第三章列举了现存的几种电视调谐器架构,分析比较了各自的优缺点,根据 DVB-T 标准的特点,以单芯片全集成为目标,确定二次变频低中频作为本论文 设计采用的架构,并且规定了其中的各个模块所需要达到的性能要求。

第四章依次介绍了组成调谐器射频前端的各个模块的设计和实现,包括低噪 声放大器,上变频混频器,正交下变频混频器。针对各模块在信号通路中所处的 不同位置,通过分析电路原理,改进电路结构,提高电路性能,以满足系统应用 的要求。

第五章介绍了射频前端电路的芯片实现和测试结果,包括测试方案和在测试 电路板设计中需要考虑的一些问题。

第六章根据前一章得到的测试结果,分析了原有系统架构的缺陷,并且有针 对性地提出了具体的改进措施。此外,还对其中的上变频混频器模块进行了改进 设计,通过流片验证,给出了各个性能参数的测试结果。

第七章对本文的所有理论分析和具体设计工作进行了简要的总结,同时对未 来的工作提出了展望。

参考文献

- ETSI EN 300744 v1.5.1, "Digital Video Broadcasting; Framing structure, channel coding and modulation for digital terrestrial television", European Telecommunications Standards Institution, 2004.
- [2] ATSC Standard A/53, "ATSC Digital Television Standard", Advanced Television Standard Committee, 1995.
- [3] 李小兰,"美国数字电视的发展"[J],现代电影技术,2007,01:13.
- [4] ITU-R WP 11A/59-E, "Channel coding, frame structure and modulation scheme for terrestrial integrated service digital broadcasting (ISDB-T)", 1999
- [5] 中华人民共和国广电总局, "我国有线电视向数字化过渡时间表", 2003。
- [6] 中华人民共和国国务院办公厅,"关于鼓励数字电视产业发展若干政策的通知", 2008。
- [7] 北京凌讯华业科技有限公司,清华大学, "DMB-TH 地面数字电视传输技术 白皮书", 2007。
- [8] DiBcom Inc., "Evolution of DVB-T Front-end Receivers through integration", white paper, 2007.
- [9] Adrian Maxim, Ramin K. Poorfard, Richard A. Johnson, et al., "A Fully Integrated 0.13µm CMOS Low-IF DBS Satellite Tuner Using Automatic Signal-Path Gain and Bandwidth Calibration", IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 897-921, Apr. 2007.
- [10] Kunihiko Iizuka, Hiroshi Kawamura, Takanobu Fujiwara, et al., "A 184mW Fully Integrated DVB-H Tuner With a Linearized Variable Gain LNA and Quadrature Mixers Using Cross-Coupled Transconductor", IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 862-871, Apr. 2007.

第二章 数字电视调谐器系统性能分析

这一章首先简要介绍被欧洲各国普遍采用的数字电视地面广播标准 DVB-T,然后以此标准为例,详细分析了数字电视调谐器在增益、噪声、线性度 和镜像抑制等方面需要达到的性能指标。

2.1 DVB-T 标准

在 DVB-T 标准中,几个主要的指标如表 2-1 所示[1]。信号带宽为 50MHz~860MHz,包括超高频(VHF)和甚高频(UHF)频段。频带宽度有 6M、7M 和 8M 三种模式,调制方式可选择 QPSK,16QAM 和 64QAM。各个国家和地 区可以根据自身的情况,选择不同的频带宽度,调制方式以及载波个数。

在每个频带内,信号通过正交频分多路(OFDM)[2],利用多个正交载波进行 调制,最终信号的功率谱密度如图 2-1 所示。其中,载波个数有 1512(2k mode) 和 6048(8k mode)两种选择。由于载波个数相对较多,频带内信号的功率谱密度 可近似认为平坦。



图 2-2 电视调谐器的作用

从第一章的数字电视接收链路框图中,我们可以知道调谐器的功能是从接收 到的电视信号中,选出一个想要的频带(channel)并将它的频率搬移至低频处, 也就是解调器可以处理的频率范围内,如图 2-2 所示。

那么对于调谐器而言,如何才能被认为成功地接收并处理了信号呢?根据 DVB-T标准中的定义[3],当输出 MPEG-2数据流平均每一个小时内错误数小于 1时,就可以称之为 QEF (quasi error free)。这个错误率对应于在接收机 Viterbi 解码器输出的误码率为 2×10⁻⁴。为实现 QEF 的目标,调谐器的输出信噪比需要 达到一定的要求。欧洲广播联盟(European broadcasting union)经过仿真,得出 了对于 8M 带宽模式,在各个不同的调制方式和码率条件下,接收机输出信噪比 的要求,如表 2-2 所示[1],其中信道模型采用高斯信道(Gaussian channel)。

参数	值	
带宽(Band width)	50~860 MHz	
频道带宽(Channel width)	6/7/8 MHz	
信号强度(Input level)	—90 ~ —20 dBm	
载波个数(Carrier number)	2k/8k	
调制方式	QPSK/16QAM/64QAM	

表 2-1 DVB-T 标准中主要参数

调制方式	码率	信噪比要求(dB)	
	1/2	3.1	
QPSK	2/3	4.9	
	3/4	5.9	
	5/6	6.9	
	7/8	7.7	
	1/2	8.8	
16QAM	2/3	11.1	
	3/4	12.5	
	5/6	13.5	
	7/8	13.9	
64QAM	1/2	14.4	
	2/3	16.5	
	3/4	18.0	
	5/6	19.3	
	7/8	20.1	

表 2-2 信噪比要求

分析表 2-2,我们可以看到,调制方式越复杂,对于信噪比的要求越苛刻,因为复杂的调制方式必然带来更小的噪声容限,这也是高频谱利用率所必须付出的代价。同样,随着码率的提高,信噪比的要求也随之提高。

对于调谐器而言,输出信噪比的要求对于确定其整体性能指标具有决定性的 意义。下面,将据此确定调谐器的几个重要性能参数,包括增益,噪声系数和线 性度等。

2.2 增益分析

调谐器的系统增益主要有两个因素确定,接受到的信号功率和输出信号功率。表 2-1 中已经给出了 DVB-T 标准下输入信号的功率为-90~-20dBm。

从第一章的数字电视接收链路框图中可知,调谐器输出信号将通过模数转换器(ADC)转化成数字信号。对于 ADC 而言,为使信号转换后信噪比损失最小,输入信号幅度最好达到它所能处理的最大值,即实现满摆幅输入。目前,市面上比较常见的 ADC 输入峰峰值幅度为 1V,即 2.2dBm(以 75 ohm 阻抗计算)。

因此,调谐器需要实现 22.2~82.2 dB 的增益范围。

2.3 噪声分析

电视调谐器作为一种射频接收机电路,噪声性能的优劣直接影响输出信号的 质量。噪声系数(Noise Figure, NF)作为衡量接收机系统噪声性能的参数,已经 被学术界广泛采用,其表征的是信号通过系统前后信噪比的恶化程度[4],表达 式如下:

$$NF = \frac{SNR_{in}}{SNR_{out}} = \frac{P_{sig,in}/P_{RS}}{SNR_{out}}$$
(2-1)

如果采用对数形式,则有如下表达式:

$$NF = P_{siq,in} - P_{RS} - SNR_{out}$$
(2-2)

其中, SNR_{in}和 SNR_{out}分别表示输入输出信噪比, P_{sig,in}表示输入信号功率, P_{RS} 表示输入匹配条件下一定带宽内的噪声功率。对于 DVB-T 系统, 以 8M 带宽模 式为例,则噪声功率为

$$P_{RS} = kT + 10 \log B = -174 \, dBm/Hz + 10 \log B = -105 dBm$$
 (2-3)

由式 2-2,如果确定输出信噪比的要求为 SNR_{out,req},就可以计算得到调谐器所能处理的最小输入信号功率 P_{in.min},即灵敏度,其表达式如下

$$P_{\text{in.mim}} = P_{\text{RS}} + \text{NF} + \text{SNR}_{\text{out.rea}}$$
(2-4)

其中, P_{RS}+NF 被称为接收机的噪声基底。

调谐器接收到的信号功率不是恒定的,可能在-90~-20dBm 范围内变化。图 2-3 给出了随着信号功率的变化,系统输出信噪比的变化曲线。其中虚线表示理 想无噪声条件下的输出信噪比,实线为实际情况下的输出信噪比。由于噪声系数 NF 的存在,在输入信号功率较小时,实际输出信噪比比理想情况向右平移。在 输入信号功率较大时,信噪比不能继续提高,这是由于系统非线性因素的作用, 将在下一节中作详细介绍。

参见表 2-2,如选择 16QAM 调制,3/4 码率模式,此时输出信噪比要求为 12.5dB,那么理想条件下,NF=0dB,调谐器灵敏度可以达到-92.5dBm。但是 实际情况下,调谐器总是不可避免地会产生一定的噪声,如果设计实现的调谐器 NF=8dB,那么灵敏度就下降到-84.5dBm。

分析式可以发现,系统的信号灵敏度取决于三个因素,即信号带宽,系统噪 声系数和输出信噪比要求。信号带宽越大,噪声基底越高,灵敏度越差,这也就 是为什么通常 GSM 系统的信号灵敏度[5]可以达到-102dBm,因为它只需要 200KHz 的带宽,相对于数字电视信号小得多。系统噪声系数越大,灵敏度越差。 调制方式越复杂,码率越高,对于调谐器输出信噪比的要求越苛刻,灵敏度也会 由此变差。



2.4 线性度分析

2.4.1 三阶非线性

DVB-T标准中,电视信号采用多载波模式,且带宽较大。为便于分析,将 系统输入表示为三个幅度相同,频率不同的信号的叠加,

$$\mathbf{x}(t) = \mathbf{A}\cos\omega_1 t + \mathbf{A}\cos\omega_2 t + \mathbf{A}\cos\omega_3 t$$
(2-5)

对于一个非线性系统,忽略三次以上高阶项,其传递函数可表示为

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t)$$
(2-6)

经过代入计算可得到输出各频率成分的幅度,见表 2-3。其中,第1项为需要的信号,第2,3项为电路的二阶非线性产生的干扰,第4,5,6项为电路的 三阶非线性产生的干扰。

图 2-4[6]以 NTSC 系统为例,给出了多载波模式下,因系统二阶和三阶非线 性产生的各种频率成分在频谱上的个数分布情况。在 55.25MHz~901.25MHz 范 围内,输入 142 个载波,输出频率成分中,A+B-C,A-B+C,A-B-C 三类落在带 宽内的个数最多,总合达到了 7165 个,并且在宽带中心频率处达到峰值。根据 数理统计[6],这个峰值为 ³/_oN²,其中 N 为带宽内的输入载波个数。

再分析表 2-3 中各频率成分的幅度,第4 项和第5 项都小于第6 项。可见 对于系统的三阶非线性而言,第6项是其所产生的主要干扰。

序号	频率成分	幅度
1	$\omega_1, \omega_2, \omega_3$	$\alpha_1 A + \frac{15}{4} \alpha_3 A^3$
2	$2\omega_1, 2\omega_2, 2\omega_3$	$\frac{1}{2}\alpha_2 A^2$
3	$\omega_1 \pm \omega_2, \omega_1 \pm \omega_3, \omega_2 \pm \omega_3$	$\alpha_2 A^2$
4	$3\omega_1, 3\omega_2, 3\omega_3$	$\frac{1}{4}\alpha_3 A^3$
5	$2\omega_1 \pm \omega_2, 2\omega_2 \pm \omega_1, 2\omega_1 \pm \omega_3, 2\omega_3 \pm \omega_1, 2\omega_2 \pm \omega_3, 2\omega_3 \pm \omega_2$	$\frac{3}{4}\alpha_3A^3$
6	$\omega_1 + \omega_2 + \omega_3, \omega_1 + \omega_2 - \omega_3, \omega_1 - \omega_2 + \omega_3, \omega_1 - \omega_2 - \omega_3$	$\frac{3}{2}lpha_{3}A^{3}$

表 2-3 输出各频率成分及其幅度



QUANTITY OF SECOND AND THIRD ORDER DISTORTION PRODUCTS VS FREQUENCY FOR 142 NTSC CARRIERS (55.25 MHz TO 901.25 MHz)

对于射频系统而言,一般以双音(Two-tone)测试得到的输入参考三阶交调点 (Input referred third order intercept point, IIP3)作为衡量三阶线性度的参数。IIP3 的定义中考量表 2-3 中的第5 项作为三阶交调分量(IM3),其表达式如下:

$$IIP3 = \frac{P_{o} - IM3}{2} + P_{i}$$
 (2-7)

$$IM3 = 2(P_i - IIP3) + P_o$$
 (2-8)

其中 Pi和 Po分别表示输入和输出信号功率。而随着信号带宽的增大,频道个数 大幅度提高,传统的三阶交调量已经无法衡量系统三阶非线性产生的干扰功率, 取而代之的是复合三阶差拍失真(Composite triple beat, CTB)[7,8]。三阶差拍失 真表示的是所有三阶非线性失真的功率总和,即表 2-3 中第6项的功率总和,幅 度是第 5 项的 2 倍,即功率高 6dB。因此,可以得到在频带中心处,复合差拍 失真的功率表达式:

$$CTB(dBm) = IM3 + 6dB + 10 \times log_{10}$$
 (Number of CTBs)

$$= 2(P_{c} - IIP3) + P_{o} + 6dB + 10 \times \log_{10}(\frac{3}{8}N^{2})$$

= 2(P_{c} + 10 \times \log_{10}N - IIP3) + P_{o} + 1.74dB
= 2(P_{i} - IIP3) + P_{o} + 1.74dB (2-9)

其中,P_c为每个载波功率,P_o为输出载波功率,N为频带内的载波个数,P_i为单个频带输入总功率。

对于 DVB-T 系统,电视信号带宽达到 50MHz~860MHz,如果选择 8MHz 频带宽度模式,那么包含总的频带个数约为 100 个。这 100 个频带都会由于系统三阶非线性的作用产生相互交调,使得系统输出复合差拍失真功率大幅度提高。将频带个数考虑在内,重新计算,得到

 $CTB(dBm) = IM3 + 6dB + 10 \times log_{10}$ (Number of CTBs)

$$= 2(P_{c} - IIP3) + P_{o} + 6dB + 10 \times \log_{10}(\frac{3}{8}(100N)^{2})$$

$$= 2(P_{i} - IIP3) + P_{o} + 41.74dB$$
 (2-10)

根据本章第一节对 DVB-T 标准中信噪比要求的描述,如果采用 16QAM 调制方式,3/4 码率模式,信噪比的要求是 12.5dB。考虑到其他可能存在的信噪比恶化因素, 留 3dB 裕量,则

$$P_o - CTB \ge SNR_{out,reg} + 3dB$$
 (2-11)

将式代入,得到

$$-2(P_i - IIP3) - 41.74dB \ge 12.5dB + 3dB$$
$$IIP3 \ge P_i + 28.62dB \qquad (2-12)$$

可见, IIP3 的要求与接收到的信号功率强弱成线性关系。当 P_i=-80dBm 时,只要求 IIP3≥-51.38dBm,很容易设计实现;而当 P_i=-20dBm 时,要求 IIP3≥8.62dBm,此时,对系统 IIP3 的要求达到最大值。

2.4.2 二阶非线性

与三阶非线性的分析类似,在二阶非线性分析中,重点考量复合二阶 (Composite second order, SCO)失真,根据数理统计[6],如果输入信号带宽为 f_L~f_H,N 个载波,则在 f_L处(即 ω₂-ω₁=f_L)产生的二阶交调量个数最多,近似为 N。 复合二阶失真功率表达式如下

 $CSO(dBm) = IM2 + 10 \times log_{10}$ (Number of CSO beats)

$$= P_{c} - IIP2 + P_{o} + 10 \times \log_{10} N$$

= P_{i} - IIP2 + P_{o} (2-13)

其中, Pc 为输入每个载波功率, Po 为输出每个载波功率, Pi 为单个频带输入总 功率。考虑到实际可能会有 100 个频带同时存在,需要调谐器能够正确处理, 那么,复合二阶失真功率表达式应为

$$CSO(dBm) = IM2 + 10 \times log_{10} (Number of CSO beats)$$
$$= P_{c} - IIP2 + P_{o} + 10 \times log_{10} (100N)$$
$$= P_{i} - IIP2 + P_{o} + 20dB$$
(2-14)

结合信噪比要求,那么

$$P_{o} - CSO \ge SNR_{out,req} + 3dB$$
 (2-15)

将式代入,得到

$$IIP2 \ge P_i + 35.5dB \tag{2-16}$$

同样, IIP2 的要求与接收到的信号功率强弱成线性关系。当 P_i=-80dBm 时,只要求 IIP2≥-45.5dBm,很容易设计实现;而当 P_i=-20dBm 时,要求 IIP2≥15.5dBm,此时,对系统 IIP2 的要求达到最大值。

联系到本章第二节的增益分析,当接收到的信号功率较强时,系统的增益较小;当信号功率较弱时,系统增益较大。因此,在系统设计时,应着重考虑提高 系统在小增益模式工作时线性度,使其能够达到更高的信噪比,从而能够成功处 理更大功率的信号;而在大增益模式下,着重降低系统的噪声系数,使系统能够 实现更好的灵敏度。两者结合,就能够实现更大的动态范围。

2.5 镜像抑制

在混频过程中,如果输出非零中频,就会有镜像干扰问题。以下变频为例, 假设输入信号频率为 f_x,本振信号为 f_{LO},那么输出中频为 f_x-f_{LO}。假如在 2f_{LO}-f_x 频率处,也存在有某个不需要的信号,那么因为 f_{LO}-(2f_{LO}-f_x)=f_x-f_{LO},可见该信号 也会被混频至中频处,形成干扰,如图 2-5 所示。因此,需要在混频前对镜像信 号进行抑制。以有线数字数据传输接口标准(Date-over-Cable Service Interface Specification, DOSCIS)[9]的定义为例,在 256QAM 调制方式下,为保证镜像干 扰对信噪比的恶化小于 0.1dB,镜像抑制比必须达到 59.33dBc。



参考文献

- ETSI EN 300744 v1.5.1, "Digital Video Broadcasting; Framing structure, channel coding and modulation for digital terrestrial television", European Telecommunications Standards Institution, 2004.
- [2] 黄载禄,殷蔚华. 通信原理[M]. 北京:科学出版社. 2005: 124.
- [3] Digital Television Group (DTG), Digital Terrestrial Television: Requirements for Interoperability, Jan. 2000.
- [4] Behzad Razavi, RF Microelectronics, Pearson Education, 1998.
- [5] Jacques C. Rudell, Jeffrey A. Weldon, Jia-Jiunn Ou, et al., "An Integrated GSM/DECT Receiver: Design Specification", UCB Electronics Research Laboratory Memorandum.
- [6] Matrix Test Equipment, Inc., Some Notes on Composite Second and Third Order Intermodulation Distortions, Matrix technical notes, MTN-108, 2005.
- [7] J. M. Hood, "Design Consideration for Composite Triple Beat", IEEE Trans. On Cable Television, vol. CATV-2, no. 1, pp. 35-51, Jan. 1977.

- [8] Bert Arnold, "Third Order Intermodulation Products in a CATV System", IEEE Trans. On Cable Television, vol. CATV-2, no. 2, pp. 67-80, Apr. 1977.
- [9] Data-Over-Cable Service Interface Specifications, "Radio Frequency Interface Specification", DOCSIS 1.1, CM-SP-RFIv1.1-C01-050907, 2005.

第三章 数字电视调谐器系统架构

现存的电视调谐器架构,根据变频方式的不同,可以分为一次变频和二次变 频,根据中频频率的不同,可以分为低中频和零中频进行了比较,这一章通过总 结它们各自的优缺点,确定二次变频低中频作为本设计中所采用的架构。然后对 这种架构展开详细分析,并且根据第二章中确定的系统整体的性能要求,分配链 路中各个电路模块的性能参数所需要达到的要求。

3.1 现存架构比较

3.1.1 一次变频和二次变频

根据变频方式的不同,目前的电视调谐器架构可以分成两大类,一次变频 (Single conversion)和二次变频(Double conversion)。这两种方式各有优势和缺 点,研究人员根据应用场合,设计能力和市场要求等实际情况做出选择。下面, 先简要介绍一下两种变频方式的原理和优缺点。

图 3-1 给出了一次变频调谐器射频前端部分的架构图。首先, 50MHz~860MHz 带宽的数字电视信号经过低噪声放大器(LNA)处理,提高抗噪 声的能力,减小后级模块对信噪比的影响。然后,信号通过跟踪滤波器(Tracking



filter),实现对镜像信号和谐波频段干扰信号的抑制。接下来是混频过程,将需要的信号搬移到中频(Intermediate frequency, IF)处。最后,通过声表面滤波器 (SAW filter),将其他频率信号滤出,选出需要的信号频带,交由低频模拟模块作进一步处理。整个过程只需要一个混频器模块,一个本地振荡器(LO)。这个结构存在以下几个主要的问题[1]。

- 本地振荡器需要很大的调谐范围。电视信号的带宽达 50MHz~860MHz, 对于本地振荡器的调谐范围大致和信号带宽一致。相对于中间频率 455MHz,本振的调谐范围达到了 180%。要在芯片内设计实现如此大 调谐范围的本地振荡器,难度很大。目前虽然也有相关的研究报道[2], 但是大部分基于多个电感组成的阵列实现。如果采用片外电感,则集成 度降低,制造成本大幅度提高;如果都采用片上螺旋电感[3],那么电感 阵列的引入必然导致芯片的面积大幅度增大,同时也会相应增加成本, 并且电感的仿真方法和等效模型的研究还不够成熟,精确度无法跟 MOS 管的仿真相提并论。
- 2. 跟踪滤波器设计难度较大。在图 3-1 所示的一次变频架构中需要一个跟踪滤波器,用于变频之前镜像信号的抑制。这个跟踪滤波器的截止频率同样需要有 180%左右的调谐范围,给单芯片设计方案带来很大的挑战。目前的研究成果[4],很难达到如此大的调谐范围。有的公司采用SIP(System on package)方案[5],本质上是采用片外的电感电容等器件实现设计要求,封装成本比较高,而且量产时的良率很难保证。
- 本振泄漏以及它的谐波在信号带宽之内。因此输入为宽带信号,本振的 谐波会将带宽内其他不想要的频带也下变频至中频处,降低输出信噪 比,影响信号质量。比如,需要的信号频率为 100MHz,中频确定为 10MHz,那么本振频率为 110MHz。本振的二次谐波 220M 仍然在 50MHz~860MHz 的范围之内,会将带内的 210MHz 和 230MHz 的信号 都混频至 10MHz,形成干扰。

图 3-2 给出了二次变频调谐器射频前端部分的架构图。首先,数字电视信号 通过低噪声放大器,这一点和一次变频架构相同。然后,将整个带宽内的信号上 变频,其中需要的信号被搬移至确定的第一中频 IF₁处。接下来,通过声表面滤 波器,选出需要的信号频带,同时将其他频率的信号滤除,包括抑制镜像信号。 然后,再进行第二次变频,即下变频。将处于第一中频 IF₁处的信号频带搬移至 第二中频 IF₂。整个过程需要两个混频器,两个本地振荡器。与一次变频架构相 比,二次变频具有以下特点。

1. 相对调谐范围减小。第一中频一般规定为 1100MHz 附近。对于第一次

19

混频过程而言,采用下边带(Low sideband)混频,第一本振频率范围为 1150MHz~1960MHz,相对调谐范围大约为 50%。与一次变频架构相比 较,调谐范围大大降小,本地振荡器的设计变得容易,只要单个片上电 感就可以实现在 CMOS 工艺下的单芯片集成。

- 镜像抑制比较容易。在第一次混频过程中,镜像信号在远离信号带宽的 高频处,基本上已由信号进入调谐器芯片之前的带通滤波器滤除,在芯 片内部无需再考虑镜像抑制。在第二次混频过程中,输入信号频率是固 定的,即第一次混频时的中频频率,因此对于镜像抑制而言,只需要一 个截止频率固定的滤波器来实现。
- 本振谐波远离信号频率。第一次混频过程虽然是宽带输入,但是本振频率高于信号的最高频率(860MHz),本振谐波频率更高,因此不会对信号质量产生影响。第二次混频过程虽然本振和信号频率很接近,但因为信号只有一个频带(8MHz),因此本振及其谐波的影响可忽略。

综上所述,一次变频结构简单,但是各模块的设计相对复杂,难以实现单芯 片全集成。二次变频架构增加了一个混频器和一个本地振荡器,芯片的面积和功 耗更大。因此,为实现更高的集成度,本设计采用的是二次变频架构。而且随着 频率综合器设计能力的提高,其功耗可以做到很低,使得二次变频在功耗方面的 劣势相对不明显。未来,如果能够实现技术上的突破,频率综合器的相对调谐范 围能够大幅度增大,且片上的跟踪滤波器性能有所提高,那么一次变频架构的单 芯片集成方案会成为主流。



3.1.2 零中频和低中频

根据输出中频频率的不同,电视调谐器可以分为零中频和低中频两种架构。 零中频的优势在于不需要镜像抑制滤波器,结构更为简单。但是这种架构的缺点 也很明显。

首先是闪烁噪声的影响。对于 CMOS 器件而言,闪烁噪声可以用一个与栅 极串联的电压源来表示[6],表达式可近似为

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \frac{1}{f} df$$
(3-1)

其中,K是一个与工艺有关的常量,Cox为MOS管单位面积栅电容,WL为MOS管的宽长,f为频率。可见闪烁噪声与频率成反比,正因如此也被称之为1/f噪声。CMOS工艺条件下,1/f的转折频率大约为1MHz~10MHz。在零中频架构中,转折频率以内的信号会被闪烁噪声破坏,影响输出信噪比。零中频架构更适用于SiGe和BiCMOS工艺,因为这两种工艺条件下的闪烁噪声比CMOS工艺要低得多[7]。

其次,零中频架构直流偏移(DC offset)问题更加敏感。产生直流偏移的原因 主要有以下两个。

1. 系统二阶非线性。理论上,全差分电路可以消除二阶非线性,目前的电路也普遍采用全差分结构实现。但是,在版图设计以及芯片制造过程中,总是难以避免的会出现一些不对称,因此系统必然会有一定程度的二阶非线性,结果会导致在输出中产生直流分量。

2. 本振泄漏。本振泄漏到信号输入端,然后和本振信号本身进行混频,结 果产生直流偏移。

直流偏移的存在会影响后级电路的工作状态,甚至使其无法正常工作,因此 必须消除。[8]中介绍了消除直流偏移的两种主要方法。

一种方法是在混频器的输入输出端口各插入一个阻隔模块(Chopping block),利用双相位时钟,控制阻隔模块中的开关工作状态,理论上能够大幅度 减小甚至消除直流偏移。但是,这种方法需要增加时钟产生电路,增加了设计复 杂度,并且时钟本身又成为一个新的干扰源,对电路的性能产生不利影响,在设 计过程中需要非常小心。

另一个方法是引入校正环路。实时检测输出直流偏移的状况,将信息通过数 字电路进行处理,最后通过数模转换器输出信号控制滤波器消除直流偏移。其中 的过程非常复杂,需要增加比较器,寄存器和模数转换器等模块。芯片的功耗, 面积,设计周期都大幅度增加,可见代价很大。 对于低中频架构而言,因为中频远离折转频率,闪烁噪声无需考虑;直流偏移虽然存在,但是只需要简单的高通滤波就能解决,不必担心信号功率的损耗。 但是低中频架构需要考虑镜像抑制问题,这一点是零中频架构无需考虑的。

3.2 二次变频低中频架构分析

3.2.1 系统架构

鉴于上一节对各种接收机架构优缺点的分析,本论文最终采用的是二次变频 低中频架构。虽然相对于一次变频,二次变频架构在电路中需要增加一个混频器 和一个本地振荡器(由频率综合器实现),这就意味着增加了功耗和芯片面积。但 是,随着频率综合器设计能力的提高,功耗正在逐渐降低,现在已经可以控制在 20mA 以内[9]。况且 DVB-T 标准一般针对的是固定接收,而非手持式设备,因 此在低功耗设计上并没有太过苛刻的要求。相对于一次变频中的多电感阵列方 案,占用的芯片面积要小很多。因为零中频架构的闪烁噪声和直流偏移问题很难 解决,而低中频架构的镜像抑制相对比较容易实现,故输出选择了低中频架构。

图 3-3 给出了二次变频架构数字电视调谐器的系统框图。天线接收到的信号 由一个片外的带通滤波器选出带宽为 50MHz~860MHz 的数字电视信号送到芯 片内处理。首先由可变增益低噪声放大器(VGLNA)将信号放大,抑制后级电路对 信噪比的恶化。然后通过两次变频将信号频谱搬移至低频处。之后由低频模拟电 路模块实现滤波和可变增益放大(VGA)。最后,由模数转换器(ADC)将模拟信号 转换成数字信号交由数字基带电路做处理。

上一节中图 3-2 所示的二次变频架构,在第二次混频之前需要一个片外的 SAW 滤波器实现镜像抑制。这不仅增加了成本,而且使设计复杂度提高。第二 次混频的输入频率在 1GHz 以上,根据波长公式,此时的信号波长在 300mm 以 内。为使信号能够实现良好的功率传输,要求与片外器件连接时实现阻抗匹配 [10],即上变频混频器的输出阻抗与 SAW 滤波器的输入阻抗相匹配,而下变频 混频器的输入阻抗与 SAW 滤波器的输出阻抗相匹配,否则,需要增加额外的阻 抗变换电路。而如果没有 SAW 滤波器,芯片内部的信号通路上就不需要实现阻 抗匹配,因为片内的连线都非常短,远远小于信号波长的 1/10,功率损耗完全 可以忽略不计。



图 3-3 二次变频低中频数字电视调谐器架构

在图 3-3 所示的系统框图中去掉了片外 SAW 滤波器。镜像抑制改为在数字 基带中完成[11],采用一种基于 LMS 信号去相关算法的镜像抵消技术,其镜像 抑制比可以达到 60dB 以上,满足系统应用。不仅降低了成本,实现了真正意义 上的单芯片全集成,而且避免了高频信号流入流出芯片的过程,简化了设计。

由于低频模拟电路的噪声性能相对较差,一般噪声系数在 40dB 以上,故在 信号通路中增加了噪声性能相对较好的预放大器模块(PreAmplifier)来抑制后级 模拟模块对输出信噪比的恶化。

与双边带混频相比,单边带混频会使输出信噪比恶化 3dB,因为混频时会将 镜像频率处的噪声基底也搬移至输出中频处,而镜像频率处却没有信号,如图 3-4 所示。而二次变频架构相对于一次变频,增加了一次上变频过程,并且这个 过程是单边带的。那么是否意味着如果其他条件一样的情况下,二次变频的噪声 系数必然比一次变频高 3dB?答案是否定的。原因在于,前级的低噪声放大器的 带宽是有限的,一般频率超过 1GHz 后,增益快速下降。经过低噪声放大器处理 后,信号和噪声都被放大,但是噪声功率谱密度呈现低通特性,在镜像频率处的 噪声功率远小于输入信号频率处的噪声功率,如图 3-5 所示。图中,f_x为信号频 率,f_{LO}为本振频率,则 2f_{LO}-f_x为镜像频率,N_o为噪声基底,以红色表示。因此, 经过单边带上变频后,镜像频率处的噪声对信噪比的恶化程度非常小,此时的噪 声特性近似于双边带混频。可见,相比一次变频,在噪声性能上二次变频架构并 无劣势。

3.2.2 性能指标分配

表 3-1 给出了系统中各个模块的主要性能参数指标,包括增益,噪声系数, 和输入参考二阶、三阶交调点。在分配性能指标过程中,不仅考虑满足系统应用 的要求,还要考虑目前各个模块的设计能力。

从第二章的系统分析可知,整个信号通路需要实现 22.2~82.2 dB 的增益范围。60dB 的动态范围由射频前端的可变增益低噪声放大器和低频模拟部分的可变增益放大器共同实现,考虑到两者的设计难度不同,要求前者达到 20dB 的增益变化范围,后者达到 40dB。此外,上一章的分析已经得出结论,在增益较小时,更应关注系统的线性度;而在增益较大时,更应关注系统的噪声性能。

根据级联系统的噪声系数表达式[12],

$$NF_{tot} = NF_1 + \frac{NF_2 - 1}{A_{v,1}^2} + \frac{NF_3 - 1}{A_{v,1}^2 A_{v,2}^2} + \frac{NF_4 - 1}{A_{v,1}^2 A_{v,2}^2 A_{v,3}^2} + \cdots$$
(3-2)



图 3-5 有限带宽 LNA 条件下的单边带噪声系数

每个模块对系统总体噪声的贡献,近似于该模块自身的噪声系数与前级增益之和 的商。因此,低噪声放大器的增益越高,后级模块对系统噪声的贡献越小,考虑 到设计能力,确定它的最高增益为 15dB。要求系统总体的噪声系数在 8dB 以内, 考虑到低噪声放大器虽然能抑制后级的噪声贡献,但是不能完全消除,并且因此 留取适当余量,要求低噪声放大器在最大增益时的噪声系数为 5dB。其他个模块 的噪声系数要求如表 3-1 所示。

根据级联系统的三阶交调点表达式[12],

$$\frac{1}{A_{\text{IIP3,tot}}^2} = \frac{1}{A_{\text{IIP3,1}}^2} + \frac{A_{\nu,1}^2}{A_{\text{IIP3,2}}^2} + \frac{A_{\nu,1}^2 A_{\nu,2}^2}{A_{\text{IIP3,3}}^2} + \frac{A_{\nu,1}^2 A_{\nu,2}^2 A_{\nu,3}^2}{A_{\text{IIP3,4}}^2} + \cdots$$
(3-3)

二阶交调点的表达式与三阶相似。可见,前级的增益越高,对后级的线性度要求 越高。在这一点上,对于固定增益模块而言,线性度的要求和噪声系数对增益的 要求是矛盾的,需要在两者之间折中处理,因此上变频混频器选择了增益为 5dB。 根据上一章系统总体 IIP3 和 IIP2 的要求,确定各模块的 IIP3 和 IIP2 要求,如 表 3-1 所示。因为低噪声放大器和上变频混频器处理的是宽带信号,而后者的输 出采用的是电感电容谐振网络(第三章中将作详细介绍),因此对于下变频混频器 而言,输入信号带宽减小,对于线性度的要求也就随之有所降低。经过滤波器滤 波之后,可变增益放大器处理的仅仅是单频带的信号,带宽 8MHz,其线性度的 要求在原来的基础之上又有所降低。

对于第一中频 IF₁的确定,主要考虑提供第一本振的频率综合器的设计,IF₁ 越高,则它的振荡频率越高。这意味着频率综合器的相对调谐范围减小,设计难 度减小。但是如果频率太高,对于频率综合器中的电感电容压控振荡器而言,电 感就要减小,相位噪声会有牺牲。因此,在本论文中将 IF₁确定为 1120MHz。

	Gain (dB)	NF (dB)	IIP3 (dBm)	IIP2 (dBm)
VGLNA	-5~15	5 @Max gain	10@Min gain	20 @Min gain
UpMixer	5	10	10	20
DnMixer	10	15	15	20
PreAmp	15	22	20	30
Filter	0	40	30	40
VGA	0~40	30 @Max gain	20@Min gain	30@Min gain

表 3-1 各模块性能参数要求

参考文献

- Mark Tristan Dawkins, "Up-Integration in the Radio-Frequency Tuners for Digital Terrestrial Television", A thesis submitted for the PhD of the University of London, 2002.
- [2] Jianhui Wu, Zuotian Chen, Cheng Huang, et al., "A 3-band CMOS DTV

Tuner IC for DVB-C Receiver", IEEE Trans. on Consumer Electronics, vol. 53, no. 4, pp. 1560-1568, Nov. 2007.

- [3] A. Zolfaghari, A. Chan and B. Razavi, "Stacked inductors and transformers in CMOS technology", IEEE J. Solid-State Circuits, vol.36, pp.620-628, April. 2001.
- [4] Farbod Behbahani, Weeguan Tan, Ali Karimi-Sanjaani, et al., "A broad-band tunable CMOS channel-select filter for a low-IF wireless receiver", IEEE J. Solid-State Circuits, vol. 35, no. 4, pp. 476-489, Apr. 2000.
- [5] Jean Robert Tourret, Sebastien Amiot, Maxime Bernard, et al., "SiP Tuner With Integrated LC Tracking Filter for Both Cable and Terrestrial TV Reception", IEEE J. Solid-State Circuits, vol. 42, no. 12, pp. 2809-2821, Dec. 2007.
- [6] Behzad Razavi, Design of Analog CMOS Integrated Circuits, New York: McGraw-Hill press, 2001.
- [7] Qizheng Gu, RF System Design of Transceivers for Wireless Communications, New York: Springer, 2005.
- [8] Richard Chi-His Li, Key Issues in RF/RFIC Circuit Design, Beijing: Higher Education Press, 2005.
- [9] L. Lu, L. Yuan, Zhangwen Tang, et al., "A Fully Integrated 1.175-to-2GHz Frequency Synthesizer with Constant Bandwidth for DVB-T applications", in Proc. IEEE RFIC Symposium, pp.601-604, Jun. 2008. in press.
- [10] 吴明英, 毛秀华. 微波技术[M]. 陕西: 西北电讯工程学院出版社. 1985: 102.
- [11] Chun-Huat Heng, Manoj Gupta, Sang-Hoon Lee, et al., "A CMOS TV tuner/demodulator IC with digital image rejection", IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2525-2535, Dec. 2005.
- [12] Behzad Razavi, RF Microelectronics, New Jersey: Prentice-Hall, 1998, pp.24.

第四章 射频前端电路设计

在第三章中已经明确了电视调谐器中各个电路模块的性能指标,在第四章 中,将详细介绍和分析射频前端的低噪声放大器,上变频混频器和正交下变频混 频器三个模块。针对各模块在整个电视信号通路中所处的不同位置,通过分析电 路原理,采用合适的电路结构,以满足系统应用的要求。

4.1 可变增益低噪声放大器设计

4.1.1 设计目标

对于射频接收机而言,低噪声放大器(LNA)作为信号通路上的第一个模块, 其作用主要有两个:首先是将接收到的射频信号进行放大,提高信号的幅度;其 次是抑制后级模块对系统整体的噪声贡献,降低它们的设计难度。因此,LNA 的设计在整个系统设计中的占有非常重要的位置。

首先,LNA 要有非常好的噪声性能,因为它在很大程度上决定了系统总体的噪声表现,进而决定信号灵敏度。目前国际上的先进成果[1]已经可以将噪声系数(NF)控制在 1dB 以内,但这类 LNA 只能满足窄带应用。对于应用于电视调谐器的宽带 LNA 而言,设计目标是在 50MHz~860MHz 的带宽内实现 5dB 以下的噪声系数。

其次,要实现 20dB 的可变增益范围,以满足系统应用的要求。根据输入信号功率的变化,通过改变控制位,实现步长为 3dB 的增益变化。

再次,在低增益模式下能够实现较高的线性度。对于全差分电路的 IIP2,只要在版图设计过程中充分考虑匹配问题,不难实现设计目标;而对于 IIP3,需要 在电路设计的时候考虑予以提高。

最后,由于 LNA 是信号进入芯片后的遇到第一个模块,其输入端需要实现 与片外器件之间的阻抗匹配,实现信号的最大功率传输。因此,LNA 的输入阻 抗 S11 要控制在-10dB 以下。

4.1.2 电容交叉耦合原理

电容交叉耦合结构由于其低功耗,高增益,低噪声的特点,在 LNA 设计中获得广泛应用[2]。图 4-1 给出了差分电容交叉耦合 LNA 的基本电路结构。在常



图 4-1 差分电容交叉耦合 LNA

见的共栅输入结构的基础上,通过 C₁,C₂将差分输入信号分别耦合到 MOS 管 M₁,M₂的栅极,Vb 为栅极提供偏置直流电压。如果 RC 的时间常数足够大,那 么耦合到栅极的信号幅度近似等同源极输入信号幅度,而相位相反,从而使得电 路的增益提高了一倍。即

$$A_v = 2g_{m1}R_{L1}$$
 (4-1)

由于电容的耦合作用,单个 MOS 管的有效跨导增大了一倍,因此单端的输入阻抗为 1/2gm,那么总的差分输入阻抗为 1/gm

电路的输出噪声主要有三部分贡献,负载电阻热噪声,MOS 管沟道热噪声和源电阻 Rs 的热噪声。可分析计算得到电路总的噪声系数为

$$NF = \frac{2 \cdot 4kTR_{L} + 2 \cdot 4kT\gamma g_{m}R_{L}^{2} + 4kTR_{s} \cdot (2g_{m}R_{L})^{2}}{4kTR_{s} \cdot (2g_{m}R_{L})^{2}}$$
$$= 1 + \frac{\gamma}{2g_{m}R_{s}} + \frac{1}{2g_{m}R_{s} \cdot g_{m}R_{L}}$$
(4-2)

其中, v为与工艺相关的常数。根据输入阻抗匹配的要求, 1/g_m=R_s,则

$$NF = 1 + \frac{\gamma}{2} + \frac{1}{2g_m R_L} \approx 1 + \frac{\gamma}{2}$$
(4-3)

而普通的共栅结构,其 NF=1+ x,可见差分电容电容耦合结构具有更好的噪声性能。

4.1.3 电路设计

图 4-2 给出了应用于电视调谐器的宽带可变增益低噪声放大器电路结构[3]。



图 4-2 可变增益低噪声放大器电路结构

在差分电容交叉耦合结构的基础上,采用基于平衡非平衡变压器(balun)的 噪声抵消技术[4],进一步实现噪声优化。输入单端信号通过一个片外 balun 耦合 到差分两端,同时 balun 的中心抽头接地,为芯片提供与地之间的直流通路。 Balun 的初次级阻抗比选择为 1:1,通过理论分析,跨导 MOS 管的噪声贡献大 幅度降低,电路的噪声性能得以优化。

通过 E1~E4 四比特控制位,实现增益调节。其中,E1 和 E2 调节跨导,E3 和 E4 调节负载电阻。跨导由三部分构成,M₁ 和 M₂ 始终提供恒定的跨导,M₁₁ 和 M₂₁ 由 E1 控制切换,M₁₂ 和 M₂₂ 由 E2 控制切换。为使电路的输入阻抗保持 恒定,E1 和 E2 只切换 MOS 管的漏极电流走向,而不改变他们的导通状态。负载电阻也有三部分构成,R₃₀ 和 R₄₀ 始终提供恒定的负载,R₃₁ 和 R₄₁ 由 E3 控制 切换,R₃₂ 和 R₄₂ 由 E4 控制切换。通过跨导和负载的共同调节作用,实现 20dB

的增益可调范围。为克服负载电阻变化导致的输出直流电平变化问题,引入 PMOS 管 M_{3P}和 M_{4P}将输出直流点平恒定地控制在需要的值。

通过 C3 和 C4 的耦合, M3 和 M4 的源极跟随, 信号有一条从输入到输出的 前馈通路。这条通路不仅可以提高增益, 而且可以抵消跨导管 M₁ 和 M₂ 的一部 分噪声[5]。M3 和 M4 采用深阱工艺实现, 并且将衬底和源极短接, 消除衬偏效 应, 减小阈值电压。R₃ 和 R₄ 将前馈 MOS 管 M₃ 和 M₄ 的栅极偏置在电源电压 VDD 上。

图 4-3 给出了仿真得到的增益变化曲线。通过调节控制位,可以实现从 14dB~-10dB 的增益变化,步长约 3dB。且增益曲线在 50MHz~860MHz 的频率 范围内波动很小。



图 4-4 LNA 最大增益时噪声系数仿真结果


图 4-5 LNA 最小增益时 IIP3 仿真结果

图 4-4 给出了控制位配置在最大增益模式时仿真得到的噪声系数曲线。在低频时噪声系数略差,约为 2.8dB,其他频率处约为 2.5dB。

图 4-5 给出了控制位配置在最小增益模式时的输入三阶交调点仿真结果。此时,IIP3=11dBm。

4.2 上变频混频器设计

图 4-6 给出了经典的双平衡吉尔伯特混频器的结构。其中,M₅~M₆为跨导对,将输入差分电压信号转换为电流信号; M₁~M₄ 为开关对,通过本振控制开关导通,实现切换电流信号方向的目的; Z_L 为负载阻抗,将电流信号转换成电压信号输出。

对于应用于数字电视调谐器的上变频混频器而言,输入信号频率范围为 50MHz~860MHz,输出中频确定为 1120MHz,因此对应的本振信号频率为 1170MHz~1980MHz。根据 DVB-T 标准的规定,每个频带(channel)的带宽有 6MHz,7MHz 和 8MHz 三种模式,故上变频混频器的输出带宽不超过 8MHz。 因此,负载采用电感电容谐振网络(LC tank),对带外信号有一定程度的抑制。电 感电容谐振网络的另一优势是无直流压降,因此可使整个电路在低电压下工作。

要使跨导获得相对较大的线性度,需要尽可能大的过驱动电压,至少在 250mV 以上,这必然导致直流电流利用率的降低,难以在低功耗条件下实现高 增益。当然,要想得到高增益,也可以通过提高输出阻抗,但这意味着要增大电 感,芯片面积增大。因此,需要改进跨导结构,以满足系统应用的要求。



图 4-6 双平衡吉尔伯特混频器

4.2.1 Multi-tanh 跨导线性化技术

为提高电路的线性度,需要对经典的吉尔伯特混频器进行改进,跨导采用 multi-tanh 结构[6],由带尾电流源的非平衡 MOS 对管取代单个 MOS 管实现跨导功能,如图 4-7 所示。这种跨导结构最初应用于 Bipolar 工艺中,但是 MOS 管工作在弱反型状态下,它的电流电压传递函数具有指数特性[7],即

$$I_{DS} = I_{D0} \frac{W}{L} e^{\frac{V_{GS}}{nkT/q}}$$
(4-4)

其中, I_{D0}为电流常数, W/L 为宽长比, VGS 为栅源电压, n 为与工艺相关的常数, 考虑到背栅效应, 一般取 1.2 左右。这一点特性和 Bipolar 工艺中的三极管相似, 因此也可以将此跨导线性化技术应用于 CMOS 工艺中。 假设在非平衡跨导对中, 两个 MOS 管的尺寸比例为 A, 即

$$\left(\frac{W}{L}\right)_{1} / \left(\frac{W}{L}\right)_{2} = \left(\frac{W}{L}\right)_{4} / \left(\frac{W}{L}\right)_{3} = A$$
(4-5)

那么,根据电流电压传递函数,可以得到两 MOS 管的漏极电流比例

$$\frac{I_{D1}}{I_{D2}} = \frac{I_{D0} \left(\frac{W}{L}\right)_{1} e^{\frac{V_{GS1}}{nkT/q}}}{I_{D0} \left(\frac{W}{L}\right)_{2} e^{\frac{V_{GS2}}{nkT/q}}} = A e^{\frac{V_{IN}}{nkT/q}}$$
(4-6)





两者电流之和由尾电流源确定,则

$$I_{D1} + I_{D2} = I_{SS}$$
 (4-7)

那么可以推导出两者电流之差

$$I_{D1} - I_{D2} = I_{SS} \frac{Ae^{\frac{V_{IN}}{nkT/q}} - 1}{Ae^{\frac{V_{IN}}{nkT/q}} + 1} = I_{SS} \tanh\left(\frac{V_{IN}}{2nkT/q} + \frac{\ln A}{2}\right)$$
(4-8)

于是,得到 multi-tanh 跨导结构的差分输出电流

$$I_{o} = I_{D1} - I_{D2} - (I_{D4} - I_{D3}) = I_{SS} \left(tanh \left(\frac{V_{IN}}{2nkT/q} + \frac{\ln A}{2} \right) - tanh \left(\frac{V_{IN}}{2nkT/q} - \frac{\ln A}{2} \right) \right)$$
(4-9)

已知通过 Taylor 级数展开,跨导电路的电流电压关系可表示为

$$\dot{I}_{o} = I_{o} + g_{m}v_{in} + \frac{\dot{g}_{m}}{2!}v_{in}^{2} + \frac{\ddot{g}_{m}}{3!}v_{in}^{3} + \cdots$$
 (4-10)

 I_0 为直流电流, g_m 为跨导, g_m 和 g_m "分别为 g_m 的一次和二次导数, v_{gs} 为 栅源电压信号, $\frac{g_m}{g_m}$ 的大小决定了三阶线性度的高低。通过式(4-9), 可以得到

Multi-tanh 结构的跨导及其二阶导数

$$g_{m} = \frac{dI_{O}}{dV_{IN}}\Big|_{V_{IN}=0} = \frac{1}{nkT/q}I_{SS}\operatorname{sech}^{2}\left(\frac{\ln A}{2}\right)$$
(4-11)

$$\mathbf{g}_{m}^{"} = \frac{d^{3}\mathbf{I}_{O}}{d\mathbf{V}_{IN}^{-3}}\Big|_{\mathbf{V}_{IN}=0} = \frac{-1}{\left(2nkT/q\right)^{3}}\mathbf{I}_{SS}\mathbf{2}\operatorname{sech}^{2}\left(\frac{\ln A}{2}\right)\left(\operatorname{sech}^{2}\left(\frac{\ln A}{2}\right) - 2\tanh^{2}\left(\frac{\ln A}{2}\right)\right)$$
(4-12)

只要A取合适的值,就可以使g^m接近0,从而得到高线性度。

从仿真得到的跨导曲线中同样可以得出这样的结论,如图 4-8 所示。g_{m1}和 g_{m2}为非平衡跨导对的两个 MOS 管的大信号跨导曲线,横坐标表示输入差分电 压值,纵坐标为跨导值。与平衡差分对的跨导曲线相比,g_{m1}和 g_{m2}分别沿横坐 标轴往不同的方向产生偏移,偏移的程度取决于尺寸比例 A,A 越大,则偏移越 大。g_{mt}为 g_{m1},g_{m2}两者之和的曲线,即非平衡跨导对的总跨导。当 A 取一个恰 当的值,即两条曲线的偏移达到某一个恰当的程度,曲线 g_{mt}在横坐标原点附近 可以达到最大程度的平坦,也就是总跨导的线性度最高。

4.2.2 差分电感设计

上变频混频器的负载采用电感电容谐振网络。为了节省芯片面积,采用带中 心抽头的叠层差分电感而不是两个独立的电感,其版图和理想模型如图 4-9 所 示。Port1 和 Port2 为差分两端; Center tap 为中心抽头,在电路中接 1.8V 直流 电源; M 表示电感之间的相互耦合效应。电感内径为 65µm,金属宽度为 15µm, 各圈之间的间距为 2µm。为减小串联电阻,提高电感品质因数,将第 2, 3, 4, 5 层金属并联,然后再与第六层金属串联。

考虑衬底的寄生电容电感,金属的趋肤效应,寄生串联电阻等非理想因素,最终采用的集总电路等效模型如图 4-10 所示[8]。在混频器的仿真过程中以此等效模型代替实际的电感。



图 4-9 带中心抽头的差分叠层电感版图及其理想模型



图 4-10 带中心抽头差分电感的等效模型

4.2.3 电路设计

图 4-11 给出了上变频混频器的电路结构。其中, M_9 和 M_{10} 为尾电流源,提供直流工作电流, M_5 ~ M_8 构成 Multi-tanh 跨导结构, M_1 ~ M_4 为开管 MOS 管。

电感 L₁和 L₂由上一节介绍的带中心抽头的差分叠层电感实现,以减小芯片面积。电容采用的是金属-绝缘体-金属(MIM)电容,采用这种工艺制造的电容,其上下极板特性差异较大,下极板与衬底之间存在耦合作用。为了减小差分两端的失配,电容采用背靠背的形式连接,如图 4-12 所示,将所有电容的下极板接到公共端 P。虽然电容的面积增加了一倍,但是因为电容值本来就比较小,大约为几个皮法,所以在版图的设计过程中发现基本不会增加额外的面积开销。

由于采用了非平衡跨导对,提供尾电流源的 MOS 管 M₉和 M₁₀产生的噪声 电流不能完全实现差分抵消,有一部分将直接贡献到输出。因此,需要尽量减小 它的噪声。已知工作在饱和区的 MOS 管噪声电流表达式[9]如下

$$I_n^2 = 4kT\gamma g_m \tag{4-13}$$

其中, k 为波尔兹曼常数, T 为绝对温度, γ 为与工艺相关的常数, g_m为跨导。 可见,应尽量减小 MOS 管跨导。又有跨导表达式

$$g_{m} = \frac{2I_{D}}{V_{eff}}$$
(4-14)

其中, I_D为工作电流,据此,需要尽量增大 MOS 管过驱动电压 V_{eff},但是又要 避免 V_{eff} 过大以致 MOS 管的工作状态进入线性区。



图 4-11 上变频混频器电路结构



图 4-12 电容对称性设计

对于开关管尺寸的设计,也要仔细考虑其尺寸问题。如果宽长比太小,那么 导通时的过驱动电压很大,有可能迫使下面的跨导管因漏极电压太低而进入线性 区,如果宽长比太大,开关对的共源点对地的寄生电容很大,会增大开关管对输 出噪声的贡献[10]。因此,开关 MOS 管的尺寸也需要在仿真中进行优化。

采用 pss, pnoise 结合的方法仿真上变频混频器的噪声系数,图 4-13 给出 了输入信号频率为 450MHz 时的双边带噪声系数,横坐标轴表示输出频率。

采用 two-tone 输入, qpss 仿真输入参考三阶交调点,同时也可以得到转换 增益。输入两个信号频率为 450MHz 和 451MHz,本振频率为 1570MHz。以 1121MHz 作为三阶交调量,图 4-14 给出了 qpss 的仿真结果,IIP3=14dBm,转 换增益(CG)可通过计算输出一阶信号(1st order)与输入信号的功率之差得到,此 时的 CG=8.6dB。随着输入功率的增大,三阶交调的曲线上翘偏离 3 倍斜率,但 是因为对于上变频混频器而言,输入信号功率不会大于-10dBm,因此这不会影 响 IIP3 的仿真结果。转换增益可由图中输入输出信号的功率之差,通过计算得 到。

表 4-1 汇总了上变频混频器的仿真结果,包括转换增益,输入参考三阶交调 点和双边带噪声系数。考虑到需要处理 50MHz~860MHz 范围内的宽带信号,仿 真时取了 50MHz,450MHz,860MHz 三个典型频率。



图 4-13 上变频混频器噪声系数仿真结果



图 4-14 上变频混频器 IIP3 和转换增益仿真结果

Performance	50M	450M	860M
CG (dB)	8.5	8.6	8.6
IIP3 (dBm)	15.1	14.0	12.5
NF (dB)	10.2	8.3	8.2

表 4-1 上变频混频器仿真结果总结

4.3 正交下变频混频器设计

4.3.1 多栅跨导结构

根据第三章的分析已知,下变频混频器需要有较高的线性度,因此需要对跨 导电路进行优化。

图 4-15(a)(b)(c)分别给出了 MOS 管的跨导及其一次和二次导数关于栅源电压的曲线。从图可以看出, MOS 管工作在弱反型区时, 跨导的二次导数 g_m"为正值;工作在强反型区时, g_m"为负值,且在 V_{gs}=0.6V 左右时达到顶峰,然后随着 V_{gs}的增大逐渐向 0 靠近。从上一节的分析可知,要提高线性度,就要使 g_m"的绝对值尽量小。通常跨导 MOS 管都工作在强反型区,要得到高线性度,就要使它的栅源电压在 0.8V 以上,但是此时的电流利用率很低,需要更大的功耗才能实现所需要的跨导。

为了在不增加功耗的前提下提高线性度,跨导通过两个分别偏置的 MOS 管并联的方式实现,如图 4-16 所示。其中,MT 为偏置在强反型区的主跨导管,AT 为偏置在弱反型区的副 MOS 管,总的跨导为两者跨导之和,这种方式称为



多栅(multi-gate)跨导结构[11]。主 MOS 管的 g_m "为正值,副 MOS 管的 g_m "为负值,因此通过调节两者的偏置电压差 V_{shift} ,可以使总的 g_m "在 $Vgs \approx 0.6V$ 的一段区域内接近零,如图 4-15(d)所示。于是,高三阶线性度的跨导电路得以实现。

4.3.2 电路设计

正交下变频混频器的电路结构如图 4-17 所示,跨导级采用多栅结构以提高



图 4-17 正交下变频混频器电路结构

线性度。通过设置不同的直流偏置电压 Vgs 和 Vgs-Vshift,使得主管 M1 和 M2 工作 在强反型区,副管 M3 和 M4 工作在弱反型区。由于弱反型区的工作电流较小, 引入 M3 和 M4 而额外增加的功耗基本可忽略。

I/Q 两路共用跨导级,一方面节省芯片的功耗和面积,另一方面提高 I/Q 的 匹配性,使得两路跨导完全匹配,有助于提高镜象抑制比。

为了实现多栅跨导结构中主副管的不同偏置,上下混频器之间,信号采用交流耦合。因为信号频率为1.12G,故只需要很小的耦合电容即可实现,芯片面积的增加非常有限。输出负载采用电阻电容并联结构,抑制高频成分。



Periodic Noise Response

图 4-18 下变频混频器噪声系数仿真结果



图 4-19 下变频混频器转换增益和 IIP3 仿真结果

图 4-18 给出了下变频混频器的噪声系数仿真曲线,在输出中频为 8MHz 时, 双边带噪声系数约为 10.8。

图 4-19 给出了下变频混频器的转换增益和 IIP3 仿真结果。转换增益为 12.1dB, IIP3 约为 14.9dBm。

此外,直流功耗 3mA,各性能参数基本满足第三章分析中规定达到的要求。

参考文献

- Paul Leroux, Johan Janssens, and Michiel Steyaert, "A 0.8-dB NF ESD-Protected 9-mW CMOS LNA operating at 1.23 GHz [for GPS receiver]", IEEE J. Solid-State Circuits, vol.37, no.6, pp. 760-765, Apr. 2002.
- [2] W. Zhuo, S. Embabi, J. Pineda de Gyvez, and E. Sanchez-Sinencio, "Using Capacitive Cross-Coupling Technique In RF Low Noise Amplifiers and Down-Conversion Mixer Design," in Proc. 26th Eur. Solid-State Circuits Conf., Sep. 2000, pp.116-119.
- [3] 廖友春. "CMOS宽带低噪声放大器的研究与设计"[D].硕士学位论文.复旦大学.2007:55.
- [4] Youchun Liao, Zhangwen Tang and Hao Min, "A CMOS wide-band low-noise amplifier with balun-based noise-canceling technique," in Proc. of Asian Solid-State Circuit Conf. (A-SSCC), Nov. 2007.

- [5] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Generating All 2-MOSTransistors Amplifiers Leads To New Wide-Band LNAs," IEEE J. Solid-State Circuits, vol. 36, pp. 1032–1040, Jul. 2001.
- [6] Barrie Gilbert, "The multi-tanh principle: a tutorial overview", IEEE J. Solid-State Circuits, vol. 33, no.1, pp. 2–17, Jan. 1998.
- [7] Willy M.C. Sansen, Analog Design Essential, Netherlands: Springer, 2006, pp. 18.
- [8] 卢磊,唐长文,闵昊,等."中心抽头差分电感的等效模型和参数提取"[J].半导体学报.2006.27(11):2150.
- [9] Behzad Razavi, Design of Analog CMOS Integrated Circuits, New York: Mc Graw-Hill, 2003. pp. 175.
- [10] Hooman Darabi, Asad A. Abidi, "Noise in RF CMOS mixers: a simple physical model", IEEE Trans. On Solid-State Circuits, vol. 35, no. 1, pp. 15-25, Jan. 2000.
- [11] Tae Wook Kim, Bonkee Kim, and Kwyro Lee, "Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated transistors", IEEE J. Solid-State Circuits, vol.39, no. 1, pp. 223-229, Apr. 2004.

第五章 芯片实现及测试

上一章中已经对具体的电路进行了设计,并且给出了性能参数的仿真结果。 但是鉴于目前射频器件的模型以及分析方法还有待进一步发展完善,因此这一章 中将通过流片和测试验证来验证理论分析和软件仿真的准确性。

5.1 芯片实现

数字电视调谐器射频前端芯片采用 SMIC 0.18µm CMOS 1P6M 混合信号 工艺流片实现,集成了低噪声放大器,上变频混频器,正交下变频混频器,宽带 频率综合器,窄带正交频率综合器,带隙基准源(Bandgap)和 l²C 总线控制模块。 图 5-1 给出了键合后芯片的显微照片,芯片面积为 3.5mm×2.3mm。宽带频率 综合器和窄带正交频率综合器分别为上、下变频混频器提供本振信号;带隙基准 源提供与温度无关的电压基准; l²C 总线控制模块提供外部接口,配置 LNA 的多 级增益控制和频率综合器的频率选择。

为最大程度上减小寄生参数对电路性能的不利影响,在布局上充分考虑信号 连线的方便简洁,将信号通路上的相邻模块尽量靠近。在各模块之间增加隔离带, 减小相互之间的串扰,尤其是数字模块与模拟模块之间,以及小信号模块与大信 号模块(频率综合器等)之间。



图 5-1 芯片显微照片

对于需要通过较大电流的金属连线,如电源线,接地线等,应尽量增大宽度, 并且采取多层金属并联的方式,以减小连线上的串联电阻,进而减小电压降。在 版图中空余的面积内,放置一些电容,作为电源退耦之用,可以在一定程度上抑 制电源上的噪声。为了便于模块测试和故障分析,在版图设计时增加一部分输入 输出 Pad,可以在测试时有选择的使用。

5.2 测试 PCB 板设计

在射频电路的测试过程中,PCB 板的质量高低将会在很大程度上决定测试 结果的优劣。信号通路上的关键节点引入的寄生参数,连线之间信号的相互串扰, 特征阻抗不匹配导致的信号反射,等等这些不利因素都可能导致测试结果无法真 实反映芯片的实际性能。可见,测试 PCB 板的设计是一项非常关键的工作。

设计 PCB 板的过程中,首先是要确定所需要的金属层数和叠层规划。因为 芯片内包含多个电路模块,且在外部需要额外增加不少专门用于测试的器件,因 此可以预见 PCB 板上的连线会比较复杂。由于芯片内既有射频模块,又有数字 模块(在频率综合器内部),为了防止相互之间发生串扰,需要将模拟地和数字地 分成独立的两块,最后在同一点会聚。此外,为了尽可能地抑制电磁干扰(EMI), 应考虑使信号连线紧挨低阻抗的参考平面,即接地层。

基于这几点原则,最后确定测试 PCB 板采用 6 层结构,具体叠层规划如图 5-2 所示。从上到下依次为模拟(包括射频)连线层 1,模拟地平面,模拟连线层 2, 数字连线层 2,数字地平面,数字连线层 1。信号连线尽量分布在正反表面,即 模拟连线层 1 和数字连线层 1,这样可以在最大程度上避免模拟和数字之间的干 扰。PCB 板的总厚度必须控制在 1.5mm 以内,以便于横向 SMA 头插入。

图 5-3 是测试 PCB 板正面的照片,为减小寄生参数,芯片采用 COB(Chip on board)封装。键合后的芯片处于 PCB 板的中心位置,由黑色环氧树脂包裹,增加可靠性。测试所需要的外部器件主要包括: 50-75Ω 转换变压器,实现 LNA 输入阻抗与测试仪器特征阻抗之间的匹配;平衡非平衡变压器(balun),实现信号单端和差分形式之间的转换;输出缓冲器 Maxim4444,提高输出驱动能力;电源芯片 LM317,为芯片提供稳定的工作电压。

由于低噪声放大器需要实现 **75**Ω 输入阻抗匹配,对于输入信号的连线,需 要考虑它的特征阻抗,金属的宽度有特定的要求,可以根据 PCB 板材层间介质 的介电常数和厚度,金属厚度等参数,通过手工计算得到,也可以通过软件仿真 得到。

45



图 5-2 六层 PCB 板叠层规划



图 5-3 测试 PCB 板照片

5.3 芯片测试结果

芯片测试工作在安捷伦公司的开放实验室完成,并且使用该公司的仪器和设备,主要包括,频谱分析仪(E4440A),矢量网络分析仪(E5071B),矢量信号发 生器(E4438C)等。

首先,测试输入匹配情况,图 5-4 给出了由矢量网络分析仪测得的输入 S11 曲线。可以看到,在 50MHz~860MHz 频率范围内,S11 均在-17dB 以下,显示出良好的阻抗匹配特性。

在第二章的系统性能分析中,已经得出结论,在输入信号功率较小时,系统 需要有较大的增益,较低的噪声系数,但是可以有较差的线性度;在输入信号功 率较大时,系统需要有较小的增益,较高的线性度,但是可以有较高的噪声系数。 简而言之,大增益模式下,更加关注噪声系数,而小增益模式下,更加关注线性 度。因此,对于芯片性能参数的测试,也参照这个原则进行。

在输入信号 50MHz~860MHz 频率范围内,射频前端总体的最大增益,最大 增益模式下的单边带噪声系数以及最小增益模式下的输入参考三阶交调点如图 5-5 所示。射频前端的最大增益约为 33dB,且随着频率变化,波动在 2dB 以内。 最大增益时的单边带噪声系数为 8.7~9.8dB,最小增益时的 IIP3 为 6~8.5dBm。

由于尚未加入镜像抑制算法,下变频后镜像频率处的噪声叠加到输出,单边 带噪声系数被恶化约 3dB。如果将射频前端和数字域的镜像抑制算法相结合,噪 声性能可以进一步得到优化。

通过 I²C 总线提供的外部接口,调节可变增益低噪声放大器的增益控制位, 实现 9 级可变增益。测试得到的增益,单边带噪声系数和三阶交调点的变化曲线 如图 5-6 所示。增益以 3dB 左右的步长减小,噪声系数随之增大,三阶交调点 随之提高。

表 5-1 给出了本设计测试结果与已发表的研究成果的比较。与文献[1][2]相 比:首先在工艺上,本设计采用 CMOS 工艺,成本更低,而且易于和数字解调 器模块集成;在功耗方面大幅度得到改进,每个模块都充分考虑了低功耗设计, 且采用更低的 1.8V 电源,共消耗 30mA 电流(包括芯片内两个频率综合器)。但 是与文献[3]相比,最小增益时的线性度还有较大的提高余地,需要从系统架构 的角度考虑,这一点将在下一章中详加叙述。



图 5-4 输入匹配 S11 测试曲线



图 5-6 调节增益时性能参数的变化

Reference	Process	Gain	NF	IIP3	IIP2	Power
		(dB)	(dB)	(dBm)	(dBm)	
[1]	Bipolar	27~5	13	8	N/A	250mA*5V
[2]	BiCMOS	38~-5	8	8	N/A	540mA*5V
[3]	CMOS	N/A	7	17.5	36.5	750mA*1.8V
This work	CMOS	33~14	9.8	8.5	25	30mA*1.8V

表 5-1 测试结果总结与比较

参考文献

- Mark Dawkins, Alison Payne Burdett, and Nick Cowley, "A single-chip tuner for DVB-T", IEEE J. Solid-State Circuits, vol. 38, no. 8, pp. 1307-1317, Aug. 2003.
- [2] Bud Taddiken, Will Ezell, Eric Mumper, et al., "Broadband tuner on a chip for cable modem, HDTV, and legacy analog standards", in Radio Frequency Integrated Circuits (RFIC) Symposium Dig., Jun. 2000, pp. 17-20.
- [3] M. Gupta, S. Lerstaveesin, D. Kang, et al., "A 48-to-860MHz CMOS Direct-Conversion TV Tuner", in IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, pp. 206-207, Feb. 2007.

第六章 系统改进设计

根据上一章中对芯片测试结果的总结以及与已发表的国际先进成果的比较,可以发现,最小增益时的线性度仍然有较大的提高余地,噪声性能同样有待优化。 本章中,将对原有的调谐器架构进行改进,而后将设计实现一种新的上变频混频 器电路,并且进行流片验证。

6.1 系统线性度提高

在上一章的线性度测试结果中,可以看到随着低噪声放大器增益的逐渐降低,系统整体的线性度逐渐提高。这意味着可以通过进一步增大可变增益低噪声放大器的增益变化范围,也就是减小它在输入大功率信号时的增益,来提高此时的系统整体线性度。

但实际上,如果继续降低增益,由于低噪声放大器自身线性度的制约,系统整体线性度无法继续随之提高,如图 6-1 所示。这一点,也可以从级联系统的线性度表达式(3-3)中得到验证。目前宽带低噪声放大器的 IIP3 一般很难达到 10dBm 以上,同时也将系统整体的 IIP3 限定在这个值以下。

根据第二章的系统分析,这样性能的调谐器对于简单调制方式(如 QPSK, 16QAM)的数字电视信号,因为信噪比要求相对较低,能够实现所要求达到的动 态范围;但是对于复杂的调制方式(如 64QAM),在输入信号功率较大时,非线 性产生的干扰功率过大,不能满足苛刻的信噪比要求,从而导致误码率过高,





图 6-2 衰减网络和低噪声放大器的级联

因此动态范围无法达到要求。

为了解决这一问题,提高调谐器所能处理的最大信号功率,需要对可变增益 低噪声放大器的实现方式作改进。采用一个可变增益的无源衰减网络和一个固定 增益的低噪声放大器级联,如图 6-2 所示。此时,随着衰减网络增益的逐渐降低, 系统整体的线性度最后将受到衰减网络的限制,而不再是低噪声放大器。以目前 的设计能力,无源衰减网络的 IIP3 可以达到约 30dBm,远高于低噪声放大器, 而且可以满足复杂调制方式下应用的要求。

6.2 衰减器对系统信噪比的影响

将衰减器的后级模块作为一个整体考虑,根据式(3-3),可推得系统 IIP3 表达式

$$\frac{1}{A_{IIP3,tot}^2} = \frac{1}{A_{IIP3,Att}^2} + \frac{A_{v,Att}^2}{A_{IIP3,back}^2}$$
(6-1)

其中,A_{v,Att}为衰减器的电压增益,A_{IIP3,Att}和A_{IIP3,back}分别表示衰减器和衰减的后级模块的输入参考三阶交调点,单位为伏特。由于衰减器的 IIP3 很高,因此等 式右边的第一项可忽略,于是得到

$$\frac{1}{\mathsf{A}_{\mathsf{IIP3,tot}}^2} = \frac{\mathsf{A}_{\mathsf{v,Att}}^2}{\mathsf{A}_{\mathsf{IIP3,back}}^2} \tag{6-2}$$

取对数形式,

$$IIP3_{tot} = IIP3_{back} - 20 \log A_{v,Att}$$
(6-3)

此式中 IIP3 单位为 dBm。可见,系统整体的 IIP3 随着衰减器增益的降低而线性提高,而衰减器增益随输入功率的增大而线性降低。已知 IIP3 的表达式

$$IIP3_{tot} = \frac{P_i - IM3}{2} + P_i$$
(6-4)

可知三阶交调分量 IM3 的功率表达式

$$IM3 = 3Pi - 2IIP3_{tot}$$
(6-5)

其中,P_i为输入信号功率,那么,IM3 关于P_i的导数为

$$\frac{d(IM3)}{d(P_i)} = 1$$
(6-6)

即,IM3 与 Pi为线性关系。复合三阶差拍(CTB)失真功率与 IM3 的关系为

$$CTB = IM3 + 6dB + 10log(number of CTB beats)$$
(6-7)

那么可知

$$\frac{d(CTB)}{d(P_i)} = \frac{d(IM3)}{d(P_i)} = 1$$
(6-8)

即在衰减器工作的情况下, CTB 功率与输入信号功率呈线性关系。

下面,分析衰减器工作情况下,噪声基底的变化情况。级联系统的噪声系数 表达式如下

$$NF_{tot} = NF_{Att} + \frac{NF_{back} - 1}{A_{v,Att}^2}$$
(6-9)

已知有损网络的噪声系数等于损耗系数[1],也就是说如果衰减网络的电压 增益为-3dB,则其噪声系数为 3dB。因为噪声系数是以功率为参考,那么,在 绝对值形式下,就有

$$NF_{Att} = \frac{1}{A_{v,Att}^2}$$
(6-10)

将式(6-10)代入式(6-9),得到

$$NF_{tot} = \frac{NF_{back}}{A_{v,Att}^2}$$
(6-11)

再取对数形式,得到

$$NF_{tot} = NF_{back} - 20\log A_{v,Att}$$
(6-12)

可见,系统整体的噪声系数同样随着衰减器增益的降低而线性增大,即随输入信号功率的增大而线性增大。而噪声基底(Noise floor)与噪声系数的表达式为

Noise floor =
$$kT + 10 \log B + NF_{tot}$$
 (6-15)

可见,在衰减器工作的情况下,噪声基底与输入信号功率呈线性关系。

图 6-3 描述了衰减器对系统输出信噪比的影响。以 8MHz 带宽为例,假设系 统噪声系数为 8dB,噪声基底为-97dBm,在输入信号功率很低时,交调干扰 CTB 功率远小于噪声基底。随着输入信号功率的增大,CTB 功率以 3 倍斜率增大,但仍远小于噪声基底,噪声基底保持不变,输出信噪比则以 1 倍斜率提高。



假设当输入信号功率达到-60dBm时,衰减器开始工作,将这个输入功率点称为接管点(take-over point)[2]。那么此后,CTB功率以1倍斜率增大,噪声基底同样以1倍斜率增大,于是信噪比保持不变。

为降低设计难度,衰减器的增益调节由数字位控制,以一定的步长实现离散的多级增益。因此,实际上噪声基底,CTB功率和输出信噪比都是阶梯形变化,如图 6-4 所示。但曲线的总体趋势和图 6-3 相比没有变化,只是增益调节的步长不能过大,否则,会使增益突变后输出信噪比难以满足系统要求。

接管点的选择和衰减器增益范围的大小对系统输出信噪比具有重大的影响。 如果接管点仍然选定为-60dBm,但是衰减器的增益变化范围只有 30dB,那么就 会出现如图 6-5 所示的情况。当输入信号功率达到-30dB 时,衰减器的衰减程度 已达到最大值。此后,输入信号功率继续增大,衰减器的增益将保持不变。那么 噪声基底将保持恒定,而 CTB 功率将以 3 倍斜率增大,且会超过噪声基底成为 影响信噪比的决定因素。于是,输出信噪比将以 3 倍斜率快速下降。必须保证在 输入信号功率达到最大值时,输出信噪比仍然大于系统所要求的值 SNR_{req},因 此衰减器的增益变化范围必须大于某一值。

如果将接管点提高至-50dBm, 衰减器的增益变化范围仍为 30dB, 那么将会 出现如图 6-6 所示的情况。随着输入信号功率的增大,在到达接管点之前,CTB 功率就将超过噪声基底成为影响信噪比的决定因素, 那么信噪比将以 3 倍斜率快 速下降。当输入信号功率达到接管点后,CTB 功率将以 1 倍斜率增大, 噪声基 底以同样的斜率增大,输出信噪比将保持恒定。可见,接管点的选择非常重要,





图 6-6 接管点变化对信噪比的影响

必须保证输入信号功率在到达接管点时,输出信噪比仍然大于系统所要求的值 SNR_{req}。

6.3 噪声性能优化

考虑到低噪声放大器的输入阻抗与源阻抗匹配,级联系统的噪声表达式应修 正为

$$NF_{tot} = NF_{LNA} + \frac{NF_{Upmixer} - 1}{\alpha^2 A_{v,LNA}^2} + \frac{NF_{Dnmixer} - 1}{\alpha^2 A_{v,LNA}^2 A_{v,Upmixer}^2}$$
(6-16)

其中, α 为阻抗匹配参数, 且

$$\alpha = \frac{R_{in,LNA}}{R_{s} + R_{in,LNA}} = \frac{1}{2}$$
(6-17)

低噪声放大器的噪声系数和增益将在很大程度上决定系统整体噪声性能。假 设后级模块的性能参数均取典型值,其中上变频混频器转换增益 5dB,噪声系数 10dB;下变频混频器转换增益 10dB,噪声系数 15dB。可以得到系统整体噪声 系数与低噪声放大器增益之间的关系,如图 6-7 所示。

分析图 6-7,当低噪声放大器的增益在 15dB 以下时,后级模块对系统整体的噪声系数贡献很大。而当低噪声放大器的增益在 20dB 时,后级模块的贡献已 经显著减小。继续增大增益对整体噪声系数的改善效果不明显,且会提高对后级



图 6-7 低噪声放大器增益对系统整体噪声系数的影响

模块的线性度要求。因此,为优化系统整体噪声系数,确定低噪声放大器的增益 为 20dB 左右。

6.4 上变频混频器改进设计

6.4.1 差分源极退化

采用 Multi-tanh 跨导结构的上变频混频器虽然在理论上具有比较高的线性度,在增益和噪声性能方面也基本上能够满足系统应用的要求,但是由于在深亚 微米工艺条件下,弱反型状态 MOS 管的实际电流电压特性曲线要比式(4-4)所示 的指数特性复杂的多,且非理想尾电流源的引入和偏置电压的变化都会对电路特性产生不利影响。因此,对上变频混频器进行改进设计,采用更为简单可靠的结构,实现所要求达到的性能指标。

源极退化[3]作为一种提高跨导线性度的经典技术,在低噪声放大器,混频器等电路的设计中被广泛采用。在窄带电路中,往往利用电感来作为退化元件,因为它不会产生直流压降,且噪声非常小。但是电感无法满足宽带电路的应用要求,且所占用的面积非常大。在本设计中,上变频混频器的输入带宽达到50MHz~860MHz,因此采用电阻而非电感作为源极退化器件。

图 6-8 给出了两种形式的源极电阻退化差分跨导结构。对于(a)所示的结构, 退化电阻 R_{s1}和 R_{s2}上会有直流电压降,阻值不能过大,但是尾电流源产生的噪 声电流将以共模的形式贡献到输出,可通过差分抵消。



对于(b)所示的结构,退化电阻 R_{deg}上无直流压降,电路可以在低电压条件下工作。但是对于任一个尾电流源而言,其往上看到的差分两端的阻抗不相同,分别为 1/g_m和 R_{deg}+1/g_m,因此尾电流源产生的噪声电流不能完全相等地流向差分两端,且退化电阻 R_{deg}越大,两端阻抗差值越大,噪声电流越偏向于其中一边,输出噪声越大。但在一定范围内,随着 R_{deg}的增大,线性度也随之提高。

6.4.2 电路设计

因为两种形式的源极电阻退化差分跨导结构各有优缺点,在实际电路设计中,采用了两者的综合以达到线性度,噪声系数和直流电压之间的折中,图 6-9 给出了上变频混频器的电路结构。因为输出负载采用电感电容谐振网络,没有直流压降,因此给跨导留下了相对比较宽裕的直流电压余量。在跨导电路中,采用 R₁, R₂, R₃共同实现源极退化,与单独使用 R₃相比,减小尾电流源对输出噪声的贡献,实现噪声和线性度的折中,以满足系统应用的要求。

考虑到在电感的软件仿真,等效模型的建立,以及版图中寄生参数的提取等 等这些过程中都存在一定的误差,电感电容谐振网络的实际谐振频率可能会偏离 仿真时的值,导致电路性能不满足设计要求。为克服这些问题,以如图 6-10 所 示的开关电容阵列替代负载电容 C_L。

Tu2, Tu1, Tu0 为采用二进制权重的控制位,控制 MOS 管开关的导通与断 开。所有 MOS 管的源极接地(图中因空间太紧密没有标示),电容采用对称形式 放置。在调谐器系统芯片中,Tu2,Tu1,Tu0 三位数据由 I²C 数字模块提供。

57



图 6-10 开关电容阵列

图 6-11 给出了仿真得到的控制位变化时的谐振曲线,横坐标为输入信号频率,仿真时本振频率设定为 1570MHz。随着控制位的变化,输入频率分别在 350~550MHz 时增益可达峰值,即输出谐振频率变化范围为 1020~1220MHz。



6.4.3 芯片实现和测试

电路采用中芯国际 SMIC 0.18µm CMOS 1P6M 混合信号流片实现。在单独 测试的上变频混频器中,没有 I²C 数字模块提供控制位,为方便测试,减少输入 输出 Pad,负载电容并没有采用开关电容阵列。图 6-12 是键合后芯片的显微照 片,芯片面积为 0.57mm×0.59mm,在 1.8V 电源电压下工作,直流功耗为 4mA。 为减小寄生效应,芯片采用 COB 封装。

在转换增益测试过程中,为了使信号功率能够无损耗的传输,在输出后加需要加缓冲器以实现阻抗匹配。由于混频器增益的存在,缓冲器的噪声贡献基本可忽略,因此该方案可同时用于噪声系数测试。由于缓冲器本身的线性度比待测混频器还差,因此在测试混频器的线性度时,不经过缓冲器。虽然此时由于阻抗不匹配,信号功率会有较大衰减,但是交调分量的衰减程度与信号相同,根据式(2-7),IIP3只取决于两者之差,因此不影响IIP3的测试。图 6-13 是测试电路板的照片,其中(a)用于噪声和转换增益的测试,(b)用于线性度的测试。



图 6-12 键合后芯片显微照片



图 6-14 给出了在输出不同频率时的转换增益曲线,由此可以得到电感电容 谐振网络的谐振频率约为 1190MHz,设计目标为 1120MHz,偏离了 70MHz,这是由于电感模型误差,寄生参数,工艺角等不确定因素引起的。这个问题在系 统中可以通过开关电容阵列解决。在谐振频率点上,混频器的转换频率约为 5dB,同时测得单边带噪声系数(SSB NF)约为 13dB。这两个性能参数的仿真值分别为 5.8dB 和 12dB。可见,测试结果基本和仿真相吻合。

采用双音(two-tone)输入进行线性度测试。固定本振频率为 1400MHz, 输入 两个幅度相同,频率分别为 199M 和 201MHz 的信号。图 6-15 给出了输入功率 为-9dBm 时的输出频谱。其中,中间两个较高的峰为输出 1 阶信号,两侧两个 较低的峰为三阶交调量。



图 6-16 1dB 压缩点测试结果

扫描输入信号功率,即可得到 IIP3,如图 6-16 所示。当输入信号功率小于-20dBm 时,三阶交调分量的功率已经在-100dBm 以下,由于频率仪噪声基底和分辨率的影响,比较难精确测量到。所以,此时的输出交调分量的功率曲线和输入信号功率的关系已经不满足 3 倍斜率。测试得到 IIP3 越为 12dBm。

图 6-17 为 two-tone 测试得到的 1dB 压缩点,约为-2dBm。1dB 压缩点的测 试即可以通过 two-tone 测试得到,也可以通过 single-tone 测试得到,两者的值 并不相同。通过理论计算[4], single-tone 测试得到的 1dB 压缩点比 IIP3 小 9.66dB,而 two-tone 测试得到的 1dB 压缩点则比 IIP3 小 14.4dB。测试结果也 应证了这一点。

表 6-1 给出了测试结果与已发表的研究成果的比较。在使用的工艺,噪声系数,线性度,功耗和面积等方面都具有比较明显的优势。虽然转换增益略低,但 是对于上变频混频器而言,这一点相比于其他性能参数显得并不重要。因为低噪 声放大器和模拟可变增益放大器已经可以为系统提供足够高的增益。



图 6-17 1dB 压缩点测试结果

References	[5]	[6]	[7]	This work
Process	GaAs	0.18 CMOS	0.18 CMOS	0.18 CMOS
CG (dB)	17	6.63	3.3	5
NF (dB)	15.1 (DSB)	21.4 (SSB)	/	13 (SSB)
IIP3 (dBm)	-8	1.51	6.9	12.2
Power (mW)	179	/	14.4	7.2
Die area	0.5.4.5	,	0.70.00.50	0.57×0.59
(mm×mm)	3.5×1.5	/	0.70×0.58	

表 6-1 混频器测试结果比较

参考文献

- [1] Behzad Razavi, RF Microelectronics, Pearson Education, 1998.
- [2] Choong-Yul Cha, Jeong-Ki Choi, Sang-Gug Lee, et al., "Radio Specifications of Double Conversion Tuner for Cable Modem", IEEE J.

Solid-State Circuits, vol. 49, no. 4, pp. 1272-1278, Nov. 2003.

- [3] Ko-Chi Kuo, Adrian Leuciuc, "A Linear MOS Transconductor Using Source Degeneration and Adaptive Biasing", IEEE J. Solid-State Circuits, vol. 48, no. 10, pp. 937-943, Oct. 2001.
- [4] John Rogers, Calvin Plett, Radio Frequency Integrated Circuit Design, USA: Artech House, Inc., 2003, pp. 32.
- [5] Karim W. Hamed, Alois P. Freundorfer, and Yahia M. M. Antar, "A monolithic double-balanced direct conversion mixer with an integrated wideband passive balun", IEEE J. Solid-State Circuits, vol. 40, no. 3, pp. 622-629, Mar. 2005.
- [6] Lu Liu, Zhihua Wang, "Analysis and Design of a Low-Voltage RF CMOS Mixer", IEEE Trans. On Circuits and Systems II, vol. 53, no. 3, pp. 212-216, Mar. 2006.
- [7] Pei-Zong Rao, Tang-Yuan Chang, and Shyh-Jong Chung, "A Wideband CMOS Mixer with Feedforward Compensated Differential Transconductor", in IEEE International Symposium on Circuits and System Dig., pp. 3892-3895. May 2007.

第七章 总结与展望

7.1 成果总结

本论文首先对目前数字电视的发展概况和调谐器的研究现状作了简要介绍, 提出了针对地面广播的单芯片数字电视调谐器的设计难点。而后,以现今欧洲国 家普遍采用,且技术应用已经比较成熟的 DVB-T 标准为例,详细分析了电视调 谐器系统在增益,噪声和线性度等方面需要达到的性能指标。

在系统架构方面,通过分析现存的几种主流架构,比较它们各自的优缺点,确定采用二次变频低中频架构,实现全集成目标,不需要片外的声表面滤波器, 大电容电感等元器件,最大程度上降低成本。并且通过合理分配各个模块的性能 指标,使其易于设计实现,不致成为系统性能的瓶颈。

在此基础上,进行了射频前端各模块的电路设计,包括低噪声放大器,上变 频混频器和正交下变频混频器。通过进行结构创新,在性能上得到优化,使各模 块的仿真结果都达到了系统应用的要求。然后将电路的设计结果流片实现,对芯 片的整体性能进行了测试。输入阻抗匹配,增益,噪声系数,线性度和功耗等等 各项性能指标的测试结果与仿真相吻合,基本实现了之前的设计目标。

针对原有架构在线性度方面的不足,又对系统进行了改进设计。通过引入无 源衰减器模块,打破限制线性度提高的瓶颈,并且对衰减器的接管点和增益变化 范围进行了详细的理论分析。此外,还对上变频混频器模块进行了改进设计,并 且流片实现,通过测试基本验证了仿真结果,可以满足系统应用的要求。

总之,本论文既有详尽的理论分析,又有实际的电路设计,并且通过成功流 片进行了验证,对于射频集成电路和系统的分析和设计具有借鉴意义和参考价 值。

7.2 未来展望

系统改进设计的思路已经明确,并且进行了理论上的分析,但是无源衰减其 的电路设计工作还没有具体展开,而且还需要进行流片的验证。同样的问题也存 在低频模拟模块,包括预放大器,可变增益放大器,滤波器等等。虽然相对于射 频前端电路,低频模拟电路的设计相对容易,在电路结构和仿真工具方面都比较 成熟,但是对于集成电路设计而言,没有经过实际流片验证和测试的理论总是不 完整的。因此这部分内容希望以后可以继续进行下去。 中国数字电视地面广播标准 DMB-TH 已经出台,对于调谐器而言,只要划 定的数字电视信号频段相同,调谐器只要稍作改动即可在不同的标准条件下应 用。但由于对目前国内的相关频段应用情况不甚清楚,在分析系统性能规划时, 并没有考虑邻近信道的干扰等因素。当数字电视发展比较成熟时,这些方面都应 该统筹兼顾。

此外,广电总局已于 2006 年颁布了中国移动多媒体广播标准 CMMB,信息 产业部为该标准划分了 2.5GHz 频段,25MHz 的带宽[1]。目前,已经在多个城 市开播试验信号,效果良好。在这样的形势下,兼容地面广播和移动多媒体广播 的多标准电视调谐器芯片将极具研究价值,并且其市场前景也被广泛看好。因为 地面广播和移动多媒体数字电视信号的频段不同,需要分别设计针对不同频段的 低噪声放大器,而后级模块可以实现复用,以尽量减小芯片面积,降低功耗,这 一点在手持式设备中尤其受到关注。

参考文献

[1] 新华网."广电总局称 CMMB 建设顺利,奥运期间可投入运营". http://www.xinhuanet.com.

致谢

硕士毕业论文终于完成了,意味着我的学生生涯也将从此结束。回首自入小学以来的这 19 个春秋,有辛酸,有苦闷,但带给我更多的还是快乐与满足。

首先要感谢我的父母。感谢你们将我带到这个世界,让我有幸体味世间的酸 甜苦辣。在我成长的过程中,从精神上与物质上你们都给予我所能给予的最大支 持。对于我做出的关于自己学业和工作上的任何决定,你们都充分地理解。还有 我的姐姐,在生活中给予我无限的关怀。亲情无价。我一直以为,没有幸福的家 庭,就谈不上成功的人生。我出生在幸福的家庭,希望以后也同样能够有自己幸 福的家庭,然后拥有成功的人生。

硕士三年,使我能够逐渐的了解 IC 设计这个行业并且成为一个初级的技术 人员,这一切都要感谢我的导师唐长文副教授。唐老师严谨的科研态度和刻苦的 工作精神深切感染和影响了我,并将使我受益终身。不积跬步,无以至千里。对 于一个技术工程师而言,唯有踏实工作,积极奋斗,才能取得好的成绩。此外, 感谢中芯国际提供芯片制造方面的支持。

感谢 Tuner 组的卢磊, 尹睿, 袁路, 韩科锋, 邹亮, 宫志超, 赵薇, 孟令部, 与你们共同奋斗的岁月将成为我难忘的回忆。还有 RFID 组的车文毅, 倪熔华, 蒋波韡, 田佳音, 施汝杰, 谈熙, 高佩君, 何艳, 以及已经毕业的廖友春, 杨振 宇, 刘圆, 黄晨灵, 谭珺, 与你们的友谊必将地久天长。

马上就要开始工作了,意味着需要为生计打拼。希望自己能够始终保持平和 的心态,面对遇到的不解和困惑。能够协调好工作与生活的关系,努力工作的同 时,也要能够以积极乐观的态度体味生活。

66

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除 了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的 研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明 并表示了谢意。

作者签名: 金黎明 日期: 2008.6

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留 送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内 容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此 规定。

作者签名: <u>金黎明</u> 导师签名: <u>唐长文</u> 日期: <u>2008.6</u>