

学校代码： 10246

学 号： 071021004

復旦大學

博 士 学 位 论 文

射频接收机中分数分频频率综合器的
研究与设计

院 系： 信息科学与工程学院

专 业： 微电子学与固体电子学

姓 名： 卢 磊

指 导 教 师： 闵 昊 教授

完 成 日 期： 2009 年 10 月 15 日

学校代码： 10246

学 号： 071021004

复旦大学 博 士 学 位 论 文

射频接收机中分数分频频率综合器的
研究与设计

卢 磊

指导教师： 闵 昊 教 授

指导小组： 闵 昊 教 授

洪志良 教 授

唐长文 副教授

闫 娜 博 士

复旦大学信息科学与工程学院微电子学系

献给我的妻子和父母亲

目录

目录.....	v
图目录.....	ix
表目录.....	xiii
摘要.....	xv
Abstract	xvii
第 1 章 绪论	1
1.1 研究背景.....	1
1.2 论文的主要贡献.....	2
1.3 论文的研究内容和组织结构.....	3
第 2 章 锁相环型频率综合器概述	5
2.1 引言.....	5
2.2 整数分频锁相环基本结构.....	5
2.3 环路分析.....	6
2.3.1 环路参数设计.....	6
2.3.2 相位噪声建模.....	10
2.4 $\Delta\Sigma$ 分数分频锁相环.....	13
2.4.1 $\Delta\Sigma$ 分数分频锁相环基本结构.....	13
2.4.2 量化噪声与 $\Delta\Sigma$ 调制器结构.....	15
2.4.3 量化噪声到相位噪声的转换.....	18
2.5 本章小结.....	20
第 3 章 LC 压控振荡器与片上电感参数提取	21
3.1 引言.....	21
3.2 相位噪声.....	22
3.3 正交与宽带 LC 压控振荡器.....	25
3.3.1 正交 LC 压控振荡器.....	25
3.3.2 宽带 LC 压控振荡器.....	27
3.4 设计考虑.....	27
3.4.1 差分调谐.....	27
3.4.2 偏置与电源噪声.....	29
3.5 中心抽头差分电感.....	30
3.5.1 传统单端阻抗提取方式.....	31
3.5.2 中心抽头等效模型.....	33
3.5.3 阻抗提取.....	34

3.5.4	测试验证	35
3.6	变压器耦合的正交 LC 振荡器设计	38
3.7	本章小结	40
第 4 章	恒定环路带宽的研究与实现	43
4.1	引言	43
4.2	设计考虑	44
4.2.1	环路带宽	44
4.2.2	调谐增益	45
4.3	环路带宽恒定技术	47
4.3.1	恒定调谐增益	47
4.3.2	电荷泵电流与自动频率校正	50
4.4	芯片验证	51
4.4.1	系统框图	51
4.4.2	宽带差分调谐压控振荡器	52
4.4.3	带共模反馈的差分电荷泵	53
4.4.4	测试结果	54
4.5	本章小结	57
第 5 章	自动频率校正的研究与设计	59
5.1	引言	59
5.2	提出的自动频率校正技术	62
5.2.1	工作原理	62
5.2.2	直接对 VCO 时钟计数	65
5.3	误差分析	68
5.4	设计步骤和 FOM	71
5.5	验证	71
5.5.1	仿真结果	71
5.5.2	测试结果	72
5.6	本章小结	74
第 6 章	分频器的研究与设计	75
6.1	引言	75
6.2	$M/M+1$ 双模预分频器	78
6.2.1	同步 4/5 预分频器	79
6.2.2	同步 8/9 预分频器	80
6.2.3	电路设计	81
6.3	可编程脉冲吞计数器	85

6.4	4/4.5 预分频器	87
6.4.1	$M/M+0.5$ 预分频器的优势	87
6.4.2	电路设计	88
6.4.3	仿真结果	92
6.5	双沿同步触发器	94
6.6	本章小结	95
第 7 章	环路仿真与芯片设计实例	97
7.1	环路仿真	97
7.2	应用于 DVB-T 的 1.2GHz~2.1GHz 分数分频频率综合器	98
7.2.1	系统级设计	98
7.2.2	电路单元设计	99
7.2.3	测试结果	102
7.3	本章小结	107
第 8 章	总结与展望	109
8.1	工作总结	109
8.2	未来展望	110
参考文献		111
致谢		123
个人简介和在学期间发表作品列表		125
	个人简介	125
	在学期间发表作品列表	125
论文独创性声明		127

图目录

图 1-1	锁相环型频率综合器基本框图	1
图 2-1	整数分频锁相环结构框图	6
图 2-2	整数分频锁相环线性相位 s 域模型	6
图 2-3	常用无源滤波器电路图	7
图 2-4	三阶环路开环增益波特图	8
图 2-5	四阶环路开环增益波特图	10
图 2-6	整数分频锁相环的相位噪声模型	10
图 2-7	各个模块自身噪声、传递函数及等效到输出的相位噪声	12
图 2-8	小带宽与大带宽对输出相位噪声的影响	13
图 2-9	基于 $\Delta\Sigma$ 调制器的分数分频锁相环结构框图	14
图 2-10	分数分频锁定时参考时钟和分频时钟的工作状态	14
图 2-11	一阶 $\Delta\Sigma$ 调制器	16
图 2-12	MASH 1-1-1 型 $\Delta\Sigma$ 调制器 z 域模型	16
图 2-13	三阶单环前馈 $\Delta\Sigma$ 调制器 z 域模型	17
图 2-14	MASH 1-1-1 型和单环前馈型输出量化噪声比较	18
图 2-15	$\Delta\Sigma$ 分数分频锁相环的相位噪声模型	19
图 2-16	小带宽与大带宽对 $\Delta\Sigma$ 调制器量化噪声的影响	20
图 3-1	常见的 LC 振荡器结构	21
图 3-2	振荡器输出频谱和相位噪声	22
图 3-3	线性时变的相位噪声模型	23
图 3-4	器件噪声到相位噪声的转换	24
图 3-5	MOS 管耦合的正交 LC 压控振荡器	26
图 3-6	变压器耦合的正交 LC 压控振荡器	26
图 3-7	使用开关电容扩展的宽带 LC 压控振荡器	27
图 3-8	传统的 I -MOS 可变电容	28
图 3-9	改进的 I -MOS 可变电容	29
图 3-10	低噪声高电源抑制的低压降稳压器电路图	30
图 3-11	低压降稳压器的仿真结果	30
图 3-12	中心抽头差分电感	31
图 3-13	两端口 S 参数提取端口 2 短路	31
图 3-14	两端口 S 参数提取端口 2 接反相电压源	32
图 3-15	中心抽头差分电感的集总电路模型	33
图 3-16	去耦等效的中心抽头差分电感集总电路模型	33

图 3-17	中心抽头等效模型.....	34
图 3-18	中心抽头差分电感的芯片照片.....	35
图 3-19	集总电路等效模型.....	36
图 3-20	等效模型与测试结果的比较.....	37
图 3-21	模型与测试的 S_{11} 和 S_{21} 的比较.....	38
图 3-22	1.1GHz 变压器耦合正交 LC 压控振荡器电路图.....	38
图 3-23	仿真的振荡波形.....	39
图 3-24	1.1GHz 正交 LC 振荡器的芯片照片.....	39
图 3-25	1.042GHz 下测试的相位噪声.....	40
图 3-26	测试的镜像抑制比.....	40
图 4-1	带有典型无源二阶滤波器的三阶锁相环框图.....	44
图 4-2	带有典型无源三阶滤波器的四阶锁相环框图.....	45
图 4-3	传统的开关电容阵列结构.....	46
图 4-4	提出的开关电容阵列结构.....	48
图 4-5	典型的 LC 压控振荡器频率-电压调谐曲线和调谐增益曲线.....	50
图 4-6	宽带 1.175-2GHz 整数分频频率综合器的框图.....	51
图 4-7	带有恒定增益和相等子带间隔的宽带 LC 压控振荡器.....	52
图 4-8	差分电荷泵的电路图.....	53
图 4-9	芯片照片和性能总结.....	54
图 4-10	测试的 16 个子带的调谐曲线.....	55
图 4-11	1.6GHz 振荡频率下仿真与测试相位噪声的比较.....	55
图 4-12	测试的相位噪声和 3dB 环路带宽.....	56
图 5-1	带有粗调谐控制的典型分数分频频率综合器系统框图.....	60
图 5-2	传统的自动频率校正技术.....	61
图 5-3	多带 LC 压控振荡器的频率-电压调谐曲线.....	62
图 5-4	提出的自动频率校正技术框图.....	63
图 5-5	从分频比 $N.F$ 中译出 N_{dec}	63
图 5-6	自动频率校正的算法流程图.....	64
图 5-7	改进的 4 比特二进制搜索算法状态机.....	65
图 5-8	对 VCO 时钟直接计数的高速异步计数器.....	66
图 5-9	高速异步计数器控制时序图.....	66
图 5-10	分配器的电路图.....	67
图 5-11	E-TSPC 结构的除 2 分频器.....	67
图 5-12	E-TSPC 结构除 2 分频器的工作时序图.....	68
图 5-13	异步时钟计数的频率计数误差时序图.....	68

图 5-14	频率计数误差引起的可能计数值	69
图 5-15	两个相邻子带的频率误差范围	70
图 5-16	频率误差范围的变化趋势图	70
图 5-17	AFC 算法仿真时序图	72
图 5-18	测试的 VCO 的 256 个子带的调谐增益和子带间距	73
图 5-19	改进和传统 AFC 的测试的锁定时间比较	73
图 6-1	整数分频锁相环型频率综合器基本框图	75
图 6-2	$\Delta\Sigma$ 分数分频锁相环型频率综合器基本框图	75
图 6-3	基于双模预分频器和脉冲吞计数器的分频器结构	76
图 6-4	基于可编程预分频器的分频器结构	76
图 6-5	采用同步 4/5 预分频器构成的 8/9 预分频器	77
图 6-6	相位开关型 8/9 预分频器	77
图 6-7	常用的同步 4/5 预分频器电路	79
图 6-8	同步 4/5 预分频器的四分频工作时序图	79
图 6-9	同步 4/5 预分频器的五分频工作时序图	79
图 6-10	同步 8/9 预分频器电路	80
图 6-11	同步 8/9 预分频器的九分频工作时序图	80
图 6-12	无尾电流源的 CML 锁存器电路图	81
图 6-13	集成与非门的无尾电流源 CML 锁存器电路图	82
图 6-14	TSPC 触发器电路图	83
图 6-15	差分转单端电路	83
图 6-16	被高频时钟同步的分频器	84
图 6-17	同步触发器的相位噪声仿真结果	84
图 6-18	由 $\Delta\Sigma$ 调制器控制脉冲吞计数器的分频器	85
图 6-19	计数器 P 和 S 的编码方式	86
图 6-20	分频比从 18 变化到 23 的工作时序图	86
图 6-21	采用用不同结构的预分频器仿真的相位噪声	87
图 6-22	4/4.5 预分频器电路图	88
图 6-23	4/4.5 预分频器的 4.5 分频工作时序图	89
图 6-24	4/4.5 预分频器 4 分频模式状态图	90
图 6-25	4/4.5 预分频器 4.5 分频模式状态图	92
图 6-26	输入频率 1.5GHz 下的 4 分频仿真瞬态波形	93
图 6-27	输入频率 1.5GHz 下的 4.5 分频仿真瞬态波形	93
图 6-28	同步触发器电路	94
图 7-1	环路行为级仿真模型	97

图 7-2	1.2GHz~2.1GHz 分数分频频率综合器系统框图	98
图 7-3	8 比特 256 子带的宽带 LC 压控振荡器	99
图 7-4	全差分电荷泵	100
图 7-5	采用 4/4.5 预分频器的分频器	100
图 7-6	全差分三阶无源滤波器	101
图 7-7	仿真的相位噪声	101
图 7-8	电压监视器监测压控电压	102
图 7-9	芯片照片	102
图 7-10	测试的调谐曲线	103
图 7-11	测试的整数分频相位噪声	103
图 7-12	测试的分数分频相位噪声	104
图 7-13	接 LDO 与接片外电源的测试相位噪声比较	104
图 7-14	测试的环路带宽与积分相位误差	105
图 7-15	振荡器输出频谱	105
图 7-16	测试的锁定时间	106

表目录

表 3-1	集总电路等效模型中的元件值	37
表 4-1	系数 α_i 和 β_i 的值	50
表 4-2	宽带频率综合器性能比较与总结	56
表 5-1	AFC 性能比较	74
表 6-1	预分频器 4 分频模式下真值表	89
表 6-2	预分频器 4 分频模式下真值表	90
表 6-3	预分频器 4.5 分频模式下真值表	91
表 6-4	4 分频时三个工艺角下前、后仿真输入频率范围与功耗	94
表 6-5	4.5 分频时三个工艺角下前、后仿真输入频率范围与功耗	94
表 7-1	性能总结	106

摘要

地面数字电视具有频率范围宽、信噪比要求高等特点，这给射频接收机的关键模块之一频率综合器的设计带来很多挑战。本论文围绕 $\Delta\Sigma$ 分数分频锁相环型频率综合器开展研究工作，分别针对恒定环路带宽、自动频率校正和量化噪声抑制等方面提出相应的技术和解决办法，并完成以下研究：

首先，回顾了锁相环的环路参数和相位噪声建模，阐述了 $\Delta\Sigma$ 分数锁相环的基本原理、 $\Delta\Sigma$ 调制器结构和量化噪声，分析了量化噪声到相位噪声的转换原理。

接着，回顾了振荡器的相位噪声模型，简要推导了线性时变相位噪声模型；分析了 LC 振荡器中容易忽视的两个问题调谐方式和电源噪声抑制；提出一个等效模型对常用的中心抽头差分电感进行阻抗提取。

针对宽带锁相环中出现的环路带宽变化大的问题，提出三个措施予以解决，并对其中使调谐增益和子带间距均恒定的方法做了详细的理论分析；实现了一款 1.175GHz~2GHz 的整数分频频率综合器芯片验证所提技术。

针对传统的 AFC 技术在分数锁相环中会产生残留分数误差的问题，提出一种基于分频比的 AFC 技术解决该问题，并对该技术做了详细的误差分析；实现了一款 975MHz~1960MHz 的分数锁相环芯片验证所提 AFC 技术。

针对 $\Delta\Sigma$ 调制器的高通量化噪声引入带外相位噪声的问题，提出一种 4/4.5 预分频器实现步长为 0.5 的分频比；提出一种可编程脉冲吞计数器的编码方式，以配合 $\Delta\Sigma$ 调制器实现宽带分数分频比。

在前面所述的理论分析和各种技术的基础上，在 0.18- μm CMOS 工艺上实现了一款应用于 DVB-T 的 1.2GHz~2.1GHz 分数分频频率综合器芯片，芯片面积为 1.47mm \times 1mm，功耗为 25.2mW，测试结果表明：环路带宽变化范围小于 10.7%，带内相位噪声为-96dBc/Hz，积分相位误差小于 0.75 $^\circ$ ，参考杂散小于 -71dBc/Hz，锁定时间小于 20 μs 。

关键词：射频接收机；数字电视；频率综合器；锁相环；分数分频； $\Delta\Sigma$ 调制器；压控振荡器；相位噪声；恒定环路带宽；自动频率校正；4/4.5 预分频器

中图分类号： TN4

Abstract

Digital TV for terrestrial demands a wide frequency range and high SNR, which brings many challenges for the frequency synthesizer of the RF receivers. Aiming at constant loop bandwidth, automatic frequency control (AFC) and reduction of quantization noise, this dissertation has the following achievements based on the $\Delta\Sigma$ fractional- N PLL frequency synthesizer.

Firstly, the loop parameter and phase noise modeling of the PLL are reviewed. The basic principle of $\Delta\Sigma$ fractional- N PLL, $\Delta\Sigma$ modulator architectures and quantization noise are presented. The principle of quantization noise transferring to the phase noise is analyzed.

Secondly, the phase noise models of oscillators are reviewed. The model of linear phase time variant is briefly deduced, and an error of the conclusion is indicated. Two issues including tuning type and supply noise suppression are analyzed. An equivalent model is proposed to extract the impedance of center-tapped differential inductors.

In terms of the problem of large variation of loop bandwidth in wideband PLL, two methods are presented, in which the one to keep tuning gain and band step is analyzed in detail. A 1.175GHz \sim 2GHz integer- N PLL is implemented to validate the proposed technique. The measured results show that the variation of loop bandwidth is less than 9%.

In terms of the residual fractional error existing in conventional AFC techniques applied in fractional- N PLL, a division-ratio-based AFC technique is proposed. Detail error analysis of the proposed technique is shown. A 975MHz \sim 1960MHz fractional- N PLL is implemented to validate the proposed AFC technique.

In terms of the out-of-band phase noise due to the quantization noise of the $\Delta\Sigma$ modulator, a 4/4.5 prescaler is proposed to realize a division ratio of 0.5. An encoding method for programmable P/S counter is proposed to obtain wide fractional division ratio with the $\Delta\Sigma$ modulator.

Based on the previous theoretical analysis and some techniques, a 1.2GHz \sim 2.1GHz $\Delta\Sigma$ fractional- N PLL frequency synthesizer aiming at DVB-T is implemented in a 0.18- μm CMOS process. The chip area is 1.47mm² and the power is 25.2 mW. The measured results show that the variation of loop bandwidth is less than 10.7%, the in-band phase noise is -96dBc/Hz , the

integrated phase error is less than 0.75° , the reference spur is less than -71dBc/Hz and the locking time is less than $20\mu\text{s}$.

Key Words: RF Receiver; Digital TV; Frequency Synthesizer; Phase-Locked Loop (PLL); Fractional- N ; $\Delta\Sigma$ Modulator; Voltage-Controlled Oscillator (VCO); Phase Noise; Constant Loop Bandwidth; Automatic Frequency Calibration (AFC); 4/4.5 Prescaler

第1章 绪论

1.1 研究背景

近年来无线通信技术呈爆炸式增长,给经济社会和人类生活带来了巨大的变化。各种无线通信系统不断被开发出来,以满足人们和市场的需要,例如从早期的 GSM、CDMA,到中期的 Blue Tooth、WLAN、WCDMA、Digital TV 以及目前的 GPS 和 Wimax 等。对电视接收而言,随着数字通信的发展,数字电视正逐步取代模拟电视成为主流接收方式。

欧洲于 1993 年提出了地面数字视频广播(Digital Video Broadcasting-Terrestrial, 简称 DVB-T)标准,我国也于 2006 年发布了具有自主知识产权的中国数字电视地面广播传输标准 GB20600-2006(简称国标)。由于地面无线广播的信道复杂性及电视信号的高信噪比要求,使得射频接收机对噪声的要求很高。频率综合器作为接收机的关键模块之一,要为其提供低噪声、低杂散、高频谱纯度的本振(LO)信号。

随着 CMOS 工艺按照摩尔定律的不断发展,工艺特征尺寸已经降到 45nm 以下。由于其集成度高,功耗低,许多电路系统都采用 CMOS 工艺,以实现片上系统(System-on-Chip, 简称 SOC)。但 CMOS 工艺参数的不稳定和较大的器件噪声,给低噪声全集成频率综合器的实现带来很多挑战。目前,锁相环型频率综合器是射频接收机中的主要结构形式,如图 1-1 所示,其具有结构简单、输出频谱纯度高、输出频率易调谐等优点。

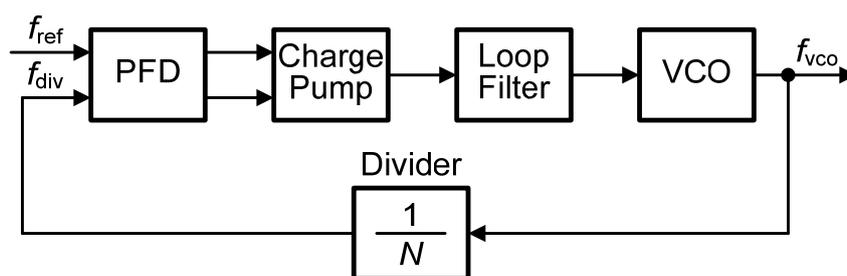


图 1-1 锁相环型频率综合器基本框图

传统的整数分频锁相环输出频率精度取决于输入参考时钟频率,难以满足数字电视对信道带宽的需求。而采用 $\Delta\Sigma$ 调制器的分数分频锁相环能摆脱对参考时钟的限制,具有很高的输出频率精度,目前已成为分数分频频率综合器发展的主流。

DVB-T 地面数字电视标准规定的输入频率范围涵盖 VHF 和 UHF 频段,频率范围很宽,这对锁相环设计提出了新的挑战。在宽带应用中,由于调谐增益的

变化,传统的宽带 LC 压控振荡器会导致环路带宽发生变化,进而影响环路稳定性和相位噪声性能。因此,在宽带锁相环中研究如何使环路带宽恒定具有十分重要的意义。

另外,对使用多带 LC 压控振荡器的锁相环而言,自动频率校正(AFC)技术能自动选择输出频率所在的子带。但是传统的 AFC 技术应用在 $\Delta\Sigma$ 分数锁相环中会带来较大的残留分数误差,有可能错误地选择子带,使得环路失锁。因此,研究降低残留分数误差的 AFC 技术对分数分频锁相环而言很有意义。

在 $\Delta\Sigma$ 分数分频锁相环中, $\Delta\Sigma$ 调制器的高通量化噪声会在锁相环输出引入带外相位噪声,在大环路带宽的应用中无法被有效抑制。这将恶化锁相环输出相位噪声性能,增大积分相位误差,降低接收机系统的信噪比。因此抑制 $\Delta\Sigma$ 调制器的高通量化噪声也是本文研究的重点。

1.2 论文的主要贡献

论文围绕 $\Delta\Sigma$ 分数分频锁相环型频率综合器开展研究工作,分别针对 LC 压控振荡器、恒定环路带宽、自动频率校正和分频器等方面提出相应的技术和解决办法,实现了一款应用于 DVB-T 的宽带分数分频频率综合器芯片。论文的主要贡献有:

- 1) 提出一种电平移位器电路,以解决传统差分调谐 LC 振荡器中存在的输出调谐范围不对称的问题;
- 2) 提出一种中心抽头等效模型,能对中心抽头差分电感进行等效模型和参数提取,并正确地进行单端和差分阻抗提取;
- 3) 提出一种使环路带宽恒定的技术,能使多带 LC 压控振荡器的调谐增益和子带间距均相等,并通过芯片实现验证该技术;
- 4) 提出一种基于分频比的自动频率校正技术,能降低传统技术中存在的残留分数误差,利用直接对振荡器时钟计数的方法,获得非常短的建立时间,并通过芯片实现验证该技术;
- 5) 提出一种可编程脉冲吞计数器的编码方式,能配合 $\Delta\Sigma$ 调制器获得非常宽的分数分频比;
- 6) 提出一种 $4/4.5$ 预分频器电路结构,实现步长为 0.5 的分频比,能降低由 $\Delta\Sigma$ 调制器的高通量化噪声引入的带外相位噪声;
- 7) 提出一种环路行为级仿真模型,能大大加快环路瞬态仿真的速度;
- 8) 设计并测试了一款应用于 DVB-T 的 $1.2\text{GHz}\sim 2.1\text{GHz}$ 分数分频频率综合器芯片,采用以上所述的各种技术和方法,并获得很好的测试性能。

1.3 论文的研究内容和组织结构

论文首先阐述了 $\Delta\Sigma$ 分数分频锁相环的结构、基本原理和分析方法，然后针对不同模块提出各种不同的技术以增强性能，最后利用所提技术设计了一款应用于 DVB-T 的 $\Delta\Sigma$ 分数分频频率综合器芯片，并满足系统指标要求。论文各部分研究内容如下：

第 2 章“锁相环型频率综合器概述”首先以整数分频锁相环为例，分析了环路参数和相位噪声建模，然后阐述了 $\Delta\Sigma$ 分数锁相环的基本原理、 $\Delta\Sigma$ 调制器结构和量化噪声，并分析了量化噪声到相位噪声的转换原理。

第 3 章“LC 压控振荡器与片上电感参数提取”首先回顾了相位噪声分析模型，并指出常用的线性时变相位噪声模型中的一个错误，其次介绍了两种 LC 振荡器结构，并讨论了设计中需要注意的两个问题，然后对常用的中心抽头差分电感进行建模和参数提取，最后设计并测试了一款正交 LC 压控振荡器芯片。

第 4 章“恒定环路带宽的研究与实现”首先分析了宽带 LC 压控振荡器中存在的环路带宽变化问题，并提出相应解决办法，其次提出并分析了一种使调谐增益恒定的技术，最后设计并测试了一款整数分频频率综合器芯片验证所提技术。

第 5 章“自动频率校正的研究与设计”首先回顾了现有的自动频率校正方法，其次提出一种基于分频比且适用于 $\Delta\Sigma$ 分数分频的 AFC 技术，然后讨论了存在的频率计数误差，并给出一个 FOM 比较不同的 AFC 性能，最后设计并测试了一款分数分频频率综合器芯片验证所提 AFC 技术。

第 6 章“分频器的研究与设计”首先回顾了分频器中各种可能的实现结构，其次将传统的 4/5 预分频器扩展为 8/9 预分频器，并讨论相关电路设计，然后阐述了应用于宽带 $\Delta\Sigma$ 分数锁相环的可编程脉冲吞计数器结构，最后提出一种 4/4.5 预分频器电路，以降低 $\Delta\Sigma$ 调制器的高通量化噪声引入的带外相位噪声。

第 7 章“环路仿真与芯片设计实例”首先介绍了环路行为级仿真模型，然后在第 2 章的理论分析和第 3 章至第 6 章所提技术的基础上，设计并测试了一款应用于 DVB-T 的 1.2GHz~2.1GHz 输出的 $\Delta\Sigma$ 分数分频频率综合器芯片。

第 8 章“总结与展望”首先总结了本论文，然后讨论了可能进一步开展的研究工作。

第2章 锁相环型频率综合器概述

摘要：本章内容涉及 1) 整数分频锁相环基本结构；2) 环路参数分析和相位噪声建模；3) $\Delta\Sigma$ 分数分频锁相环；4) 量化噪声到相位噪声的转换。

2.1 引言

随着电子技术的飞速发展，被喻为电子系统“心脏”的频率综合器在通信领域得到了日益广泛的应用。根据实现方式的不同，频率综合器大致可以分为直接模拟频率综合器、直接数字频率综合器以及锁相环型频率综合器三种。在直接模拟频率综合器中，输出信号由晶体振荡器通过混频、分频、倍频和滤波等装置得到。优点是速度快，相位噪声小，缺点是大量使用滤波器和混频器，功耗大，体积大，不利于集成。在直接数字频率综合器中，先将抽样正弦波存在只读存储器(Read Only Memory, 简称 ROM)中，对于所需频率信号，用查找表的方法从 ROM 中读取波形，再通过数模转换器(Digital-to-Analog Converter, 简称 DAC)输出和滤波得到。优点是速度快，频率精度高，利于集成，缺点是相位噪声受 DAC 线性度限制，且无法实现很高的输出频率。锁相环型频率综合器采用间接频率合成方法，将参考频率乘以一个变化的倍数，得到所需输出频率，具有输出信号频谱纯度高、功耗低、成本低等优点，因此成为射频接收机中产生本振信号的最常用方式。

本章主要做了以下工作：首先以整数分频锁相环基本结构为例，讨论了环路参数设计和相位噪声建模，分析了各个模块自身噪声对输出相位噪声的贡献；接着介绍了 $\Delta\Sigma$ 分数锁相环实现原理以及 $\Delta\Sigma$ 调制器结构和量化噪声，给出 $\Delta\Sigma$ 分数锁相环动态锁定的工作状态；最后分析了 $\Delta\Sigma$ 调制器的量化噪声如何转化到锁相环输入的相位噪声。

2.2 整数分频锁相环基本结构

图 2-1 为锁相环型整数分频频率综合器的结构框图，它由鉴频鉴相器(Phase-Frequency Detector, 简称 PFD)、电荷泵(Charge Pump, 简称 CP)、环路滤波器(Loop Filter, 简称 LPF)、压控振荡器(Voltage Controlled Oscillator, 简称 VCO)和分频器(Divider)五个基本模块组成。每个模块的功能如下：鉴频鉴相器对输入参考时钟 f_{ref} 和分频器输出时钟 f_{div} 进行相位比较，把相位差转换成时间差控制电荷泵，电荷泵再将时间差转换成输出电流对滤波器充放电，滤波器对电流滤波后输出稳定的电压信号控制压控振荡器的输出频率，而分频器将振荡器

输出信号 f_{vco} 分频得到较低的频率同 f_{ref} 进行比较。在这个负反馈系统的作用下，锁定时 f_{ref} 和 f_{div} 的频率相等、相位对齐，输入、输出频率满足 $f_{vco}=N \times f_{ref}$ 的关系。

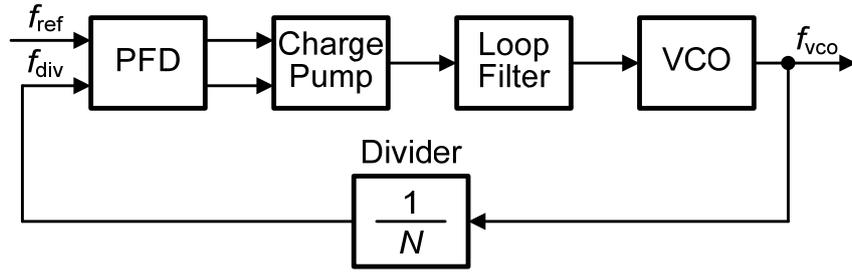


图 2-1 整数分频锁相环结构框图

2.3 环路分析

2.3.1 环路参数设计

由于鉴频鉴相器和电荷泵的开关采样特性，锁相环其实是一个离散系统。但为便于分析，一般来说，当环路带宽小于参考频率的十分之一时，可以用连续的 s 域模型进行分析[1]。图 2-2 给出了整数分频锁相环的线性相位 s 域模型。其中 $I_{cp}/2\pi$ 表示鉴频鉴相器和电荷泵级联的相位到电流的传递函数， I_{cp} 是电荷泵电流，单位为安培(A)； $Z_{lpf}(s)$ 表示滤波器的电流到电压的传递函数，单位为欧姆(Ω)； K_{vco}/s 表示压控振荡器的电压到相位的传递函数， K_{vco} 是调谐增益，单位为弧度每秒每伏($\text{rad/s}\cdot\text{V}$)； $1/N$ 表示分频器的相位到相位的传递函数， N 是分频比。

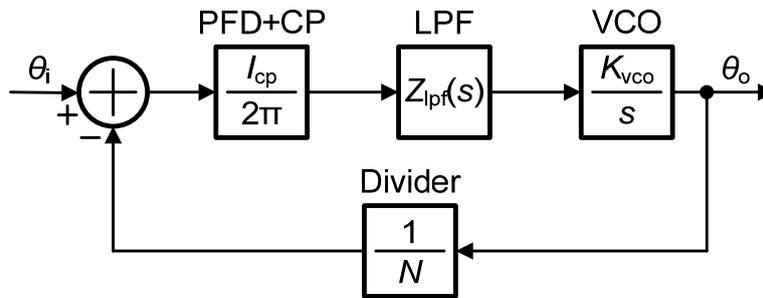


图 2-2 整数分频锁相环线性相位 s 域模型

设计参数中 I_{cp} 、 K_{vco} 和 N 都是事先给定的，不同的滤波器结构和滤波参数决定了环路的动态特性，环路参数设计主要就是获得滤波器中的参数值。通常来说，常用的环路分析方法包括开环相位裕度最大化法[2]和闭环稳定性优化的根轨迹法[3][4]。环路参数会随着工艺、电压和温度的变化而变化，闭环稳定性优化的根轨法能基于环路的稳定边界，得到稳定性最优的环路参数。事实上，以上两种分析方法得到的结果非常接近，而且闭环根轨迹法的分析较为复杂，并且直观性不强，因此下面主要对开环相位裕度最大化法进行分析。

2.3.1.1 二阶滤波器所在三阶环路

图 2-2 中的开环传递函数为

$$H_o(s) = \frac{I_{cp} K_{vco}}{2\pi N s} Z_{lpf}(s) \quad (2.1)$$

在锁相环型频率综合器中，滤波器通常采用电阻、电容等无源器件实现。常用的无源二阶、三阶滤波器电路图如图 2-3 所示。

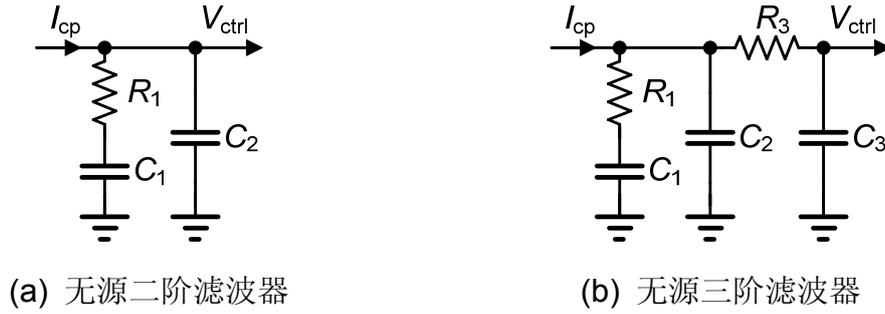


图 2-3 常用无源滤波器电路图

图(a)是无源二阶滤波器，其从 I_{cp} 到 V_{ctrl} 的传递函数可以写为

$$Z_{lpf,2nd}(s) = \frac{R_1 C_1 s + 1}{s(R_1 C_1 C_2 s + C_1 + C_2)} \quad (2.2)$$

式(2.2)只存在一个零点，位置在

$$\omega_z = \frac{1}{R_1 C_1} \quad (2.3)$$

压控振荡器在原点处有一个极点 ω_{p1} ，滤波器又引入一个原点极点 ω_{p2} ，另一个非零极点为

$$\omega_{p3} = \frac{C_1 + C_2}{R_1 C_1 C_2} \quad (2.4)$$

如果用 b 表示 C_1 和 C_2 的比值，则零点和非零极点的关系为

$$\omega_{p3} = (b + 1)\omega_z \quad (2.5)$$

由式(2.1)–(2.5)可知，开环传递函数 $H_o(j\omega)$ 在任意角频率的相位裕度为

$$\varphi(j\omega) = \arctan \frac{\omega}{\omega_z} - \arctan \frac{\omega}{\omega_{p3}} \quad (2.6)$$

令式(2.6)求导等于 0 解得的角频率处能获得相位裕度的极大值。为使环路的相位裕度最大化，必须在开环带宽 ω_c 处取得最大的相位裕度，因此得到

$$\omega_c = \sqrt{\omega_z \omega_{p3}} \quad (2.7)$$

将式(2.7)代入(2.6)，再结合式(2.5)，得到最大的相位裕度为

$$\varphi_m = \arctan \left[\frac{1}{2} \left(\sqrt{b+1} - \frac{1}{\sqrt{b+1}} \right) \right] \quad (2.8)$$

可见，当选取在开环带宽 ω_c 处获得最大相位裕度时，此时的最大相位裕度只与 b 有关。当 $b=15$ 时，相位裕度可达 62° 。另外，由式(2.5)和(2.7)可得

$$\omega_z = \frac{\omega_c}{\sqrt{b+1}} \quad (2.9)$$

$$\omega_{p3} = \sqrt{b+1} \omega_c \quad (2.10)$$

在开环带宽 ω_c 处，开环传递函数的增益为 1。一旦选定开环带宽 ω_c 和电容比值 b ，滤波器中的电阻、电容值则可由式(2.1)、(2.5)、(2.7)、(2.9)和(2.10)得到

$$R_1 = \frac{2\pi N \omega_c}{I_{cp} K_{vco}} \frac{b+1}{b} \quad (2.11)$$

$$C_1 = \frac{\sqrt{b+1}}{R_1 \omega_c} = \frac{I_{cp} K_{vco}}{2\pi N \omega_c^2} \frac{b}{\sqrt{b+1}} \quad (2.12)$$

$$C_2 = \frac{C_1}{b} = \frac{I_{cp} K_{vco}}{2\pi N \omega_c^2} \frac{1}{\sqrt{b+1}} \quad (2.13)$$

由此可见，在满足系统最大相位裕度的前提下，电阻 R_1 和开环带宽 ω_c 成正比，而电容 C_1 和 C_2 与 ω_c 的平方成反比。

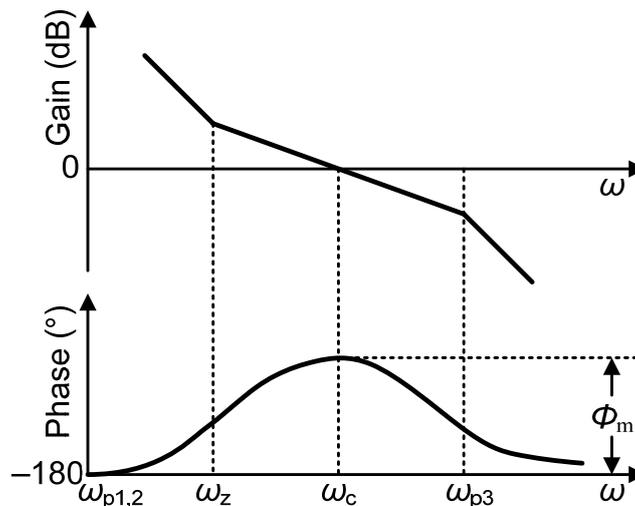


图 2-4 三阶环路开环增益波特图

由于压控振荡器贡献一个极点，二阶滤波器所在环路成为三阶极点环路。其开环波特图如图 2-4 所示，包括增益曲线和相位曲线，在任何时候，相位裕度都大于零度。

2.3.1.2 三阶滤波器所在四阶环路

对于图 2-3 中的图(b)，无源三阶滤波器的传递函数可以写为

$$Z_{\text{lpf,3rd}}(s) = \frac{1}{s} \cdot \frac{1 + R_1 C_1 s}{R_1 R_3 C_1 C_2 C_3 s^2 + [R_1 C_1 (C_2 + C_3) + R_3 C_3 (C_1 + C_2)] s + C_1 + C_2 + C_3} \quad (2.14)$$

式(2.14)也存在一个零点同式(2.2)一样，有一个在原点的极点 ω_{p2} 。对于形如 $ax^2+bx+c=0$ 的式子，如果存在两个相距很远的实根，那么有 $x_1=-c/b$, $x_2=-b/a$, 且 $x_1 \ll x_2$ 。若同时满足 $C_1 \gg C_2 + C_3$ 和 $R_1 \gg R_3$ ，则第三个较近的极点为[5]

$$\omega_{p3} = \frac{C_1 + C_2 + C_3}{R_1 C_1 (C_2 + C_3) + R_3 C_3 (C_1 + C_2)} \approx \frac{1}{R_1 (C_2 + C_3)} \quad (2.15)$$

第四个较远的极点为

$$\omega_{p4} = \frac{R_1 C_1 (C_2 + C_3) + R_3 C_3 (C_1 + C_2)}{R_1 R_3 C_1 C_2 C_3} \approx \frac{C_2 + C_3}{R_3 C_2 C_3} \quad (2.16)$$

若此时令 b 表示 C_1 和 $C_2 + C_3$ 的比值，那么零点和第三个极点的关系为

$$\omega_{p3} = b \omega_z \quad (2.17)$$

假设第四个极点距开环带宽很远，可以忽略其对相位裕度的影响。那么传递函数 $H_o(j\omega)$ 在任意角频率的相位裕度与式(2.6)相同，同样在环路带宽处取得最大相位裕度，此时的 ω_c 也与式(2.7)相同，得到最大相位裕度为

$$\varphi_m = \tan^{-1} \left[\frac{1}{2} \left(\sqrt{b} - \frac{1}{\sqrt{b}} \right) \right] \quad (2.18)$$

由式(2.7)和(2.17)可得

$$\omega_z = \frac{\omega_c}{\sqrt{b}} \quad (2.19)$$

$$\omega_{p3} = \sqrt{b} \omega_c \quad (2.20)$$

如果忽略第四个极点对开环带宽位置的影响，由式(2.1)、(2.7)、(2.17)、(2.19)和(2.20)，得到的 R_1 同式(2.11)相等。注意此时的 b 值已经发生变化，进而得到 C_1 值为

$$C_1 = \frac{\sqrt{b}}{R_1 \omega_c} = \frac{I_{\text{cp}} K_{\text{vco}}}{2\pi N \omega_c^2} \frac{b^{3/2}}{b+1} \quad (2.21)$$

为简化起见，可以令 $C_2=C_3$ ，那么得到

$$C_2 = C_3 = \frac{C_1}{2b} = \frac{I_{cp} K_{vco}}{4\pi N \omega_c^2} \frac{\sqrt{b}}{b+1} \quad (2.22)$$

令第四个极点等于开环带宽 ω_c 的 m 倍，由(2.16)和(2.22)可得

$$R_3 = \frac{8\pi N \omega_c}{m I_{cp} K_{vco}} \frac{b+1}{\sqrt{b}} \quad (2.23)$$

虽然通过近似分析可以得到四阶环路的滤波器参数，但仍需要通过数值仿真软件进行精确仿真，以确保近似结果和实际结果比较接近。三阶滤波器所在环路成为四阶极点环路，其开环波特图如图 2-5 所示，在频率很远时，相位小于 180° ，因此四阶环路存在潜在的稳定性问题。

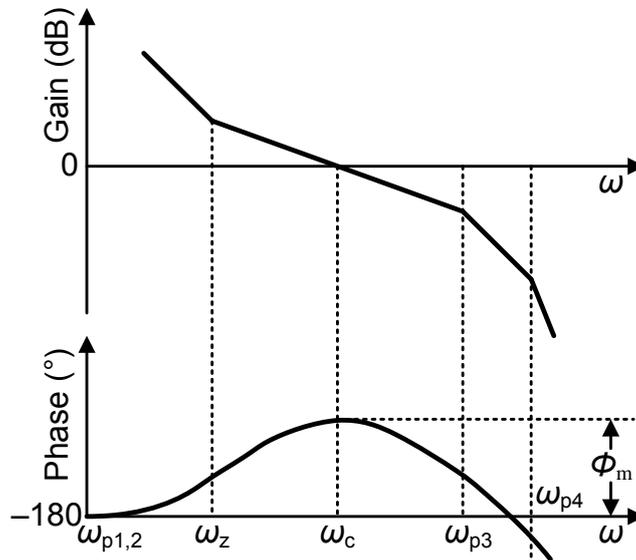


图 2-5 四阶环路开环增益波特图

2.3.2 相位噪声建模

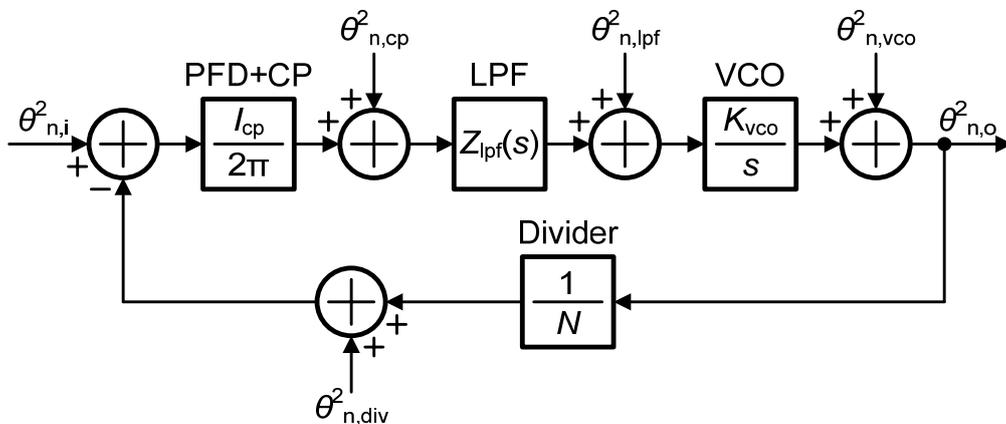


图 2-6 整数分频锁相环的相位噪声模型

图 2-6 给出了整数分频锁相环的相位噪声模型。其中, $\theta_{n,i}^2$ 表示输入参考时钟的等效相位噪声, 单位是 rad^2/Hz ; $\theta_{n,\text{cp}}^2$ 表示鉴频鉴相器和电荷泵的输出等效相位噪声, 单位是 A^2/Hz ; $\theta_{n,\text{lpf}}^2$ 表示环路滤波器的输出等效相位噪声, 单位是 V^2/Hz ; $\theta_{n,\text{vco}}^2$ 表示压控振荡器的输出等效相位噪声, 单位是 rad^2/Hz ; $\theta_{n,\text{div}}^2$ 表示分频器的输出等效相位噪声, 单位是 rad^2/Hz 。由此可以计算出总的输出相位噪声 $\theta_{n,o}^2$ 为

$$\begin{aligned} \theta_{n,o}^2 = & \theta_{n,i}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \right|^2 + \theta_{n,\text{cp}}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \cdot \frac{2\pi}{I_{\text{cp}}} \right|^2 \\ & + \theta_{n,\text{lpf}}^2 \cdot \left| \frac{\frac{K_{\text{vco}}}{s}}{1+H_o(s)} \right|^2 + \theta_{n,\text{vco}}^2 \cdot \left| \frac{1}{1+H_o(s)} \right|^2 + \theta_{n,\text{div}}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \right|^2 \end{aligned} \quad (2.24)$$

分析式(2.24)可以看出, 对于输入参考时钟和分频器的噪声, 它们有着共同的噪声传递函数, 这正是锁相环的闭环传递函数, 具有低通特性, 带内平坦, 带外呈 40dB 至 60dB 每十倍频程下降(三阶滤波器); 对于鉴频鉴相器和电荷泵的输出噪声, 它的噪声传递函数在闭环传递函数的基础上, 乘以一个系数 $(2\pi/I_{\text{cp}})^2$, 滤波特性与输入参考时钟和分频器相同; 对于压控振荡器的输出噪声, 它的噪声传递函数具有高通特性, 带内呈 40dB 至 20dB 每十倍频程上升(三阶滤波器), 带外平坦; 对于滤波器的输出噪声, 它的噪声传递函数具有带通特性, 带内呈 20dB 每十倍频程上升, 带外呈 20dB 至 40dB 每十倍频程下降(三阶滤波器)。

与此同时, 考虑各个模块自身的输出噪声。输入参考时钟通常是芯片外部接入一个晶体振荡器, 相位噪声非常低, 特性是近端下降非常快, 从 40dB 至 10dB 每十倍频程下降, 远端平坦; 分频器相位噪声近端来自于晶体管闪烁噪声, 呈 10dB 下降, 远端来自于晶体管的热噪声, 曲线平坦; 电荷泵输出电流噪声近端也是呈 10dB 下降, 远端平坦; 压控振荡器相位噪声近端呈 30dB 下降, 远端呈 20dB 下降, 这是由于基频噪声通过频率上变所致; 环路滤波器电压噪声近端平坦, 远端呈 20dB 下降。将每个模块自身输出噪声乘以各自到输出传递函数的平方后相加, 即可得到总的输出相位噪声。

综上所述, 图 2-7 总结了整数分频锁相环中各个模块自身的输出噪声、各自到输出的传递函数及等效到输出的相位噪声, 其中环路滤波器采用的是三阶滤波器。另外, 为方便起见, 参考时钟与分频器并在一起, 将参考时钟自身的近端噪声下降特性做简化处理。

如果环路带宽设计合适, 带内相位噪声通常主要由电荷泵贡献, 带外相位噪声主要由压控振荡器贡献, 在带宽附近滤波器也贡献部分噪声。要想设计低相位噪声的锁相环, 根据式(2.24)和图 2-7, 可以得到如下结论: 1) 若要降低带内噪

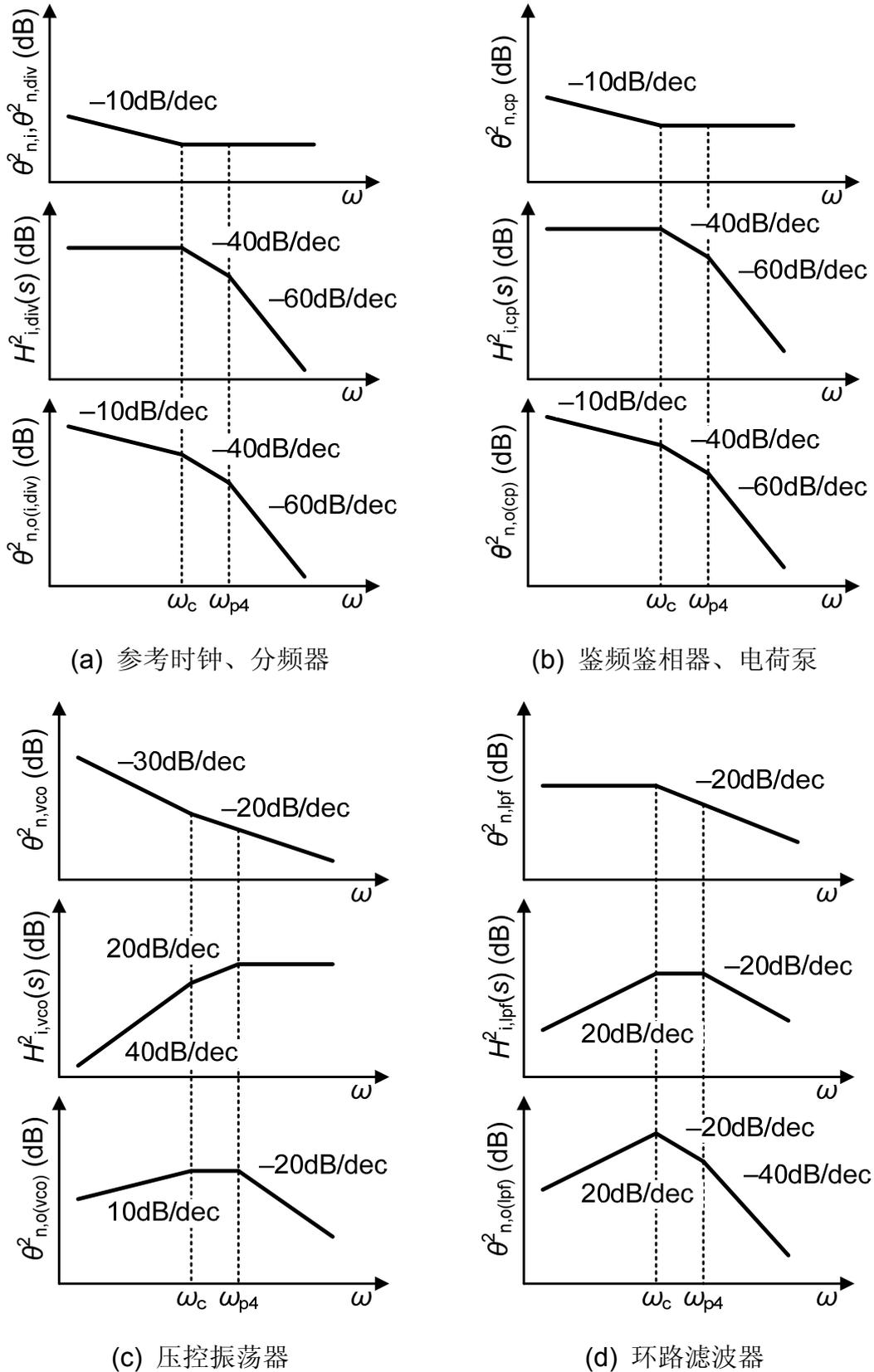


图 2-7 各个模块自身噪声、传递函数及等效到输出的相位噪声

声，分频比越小越好，这对于参考时钟、分频器、鉴频鉴相器和电荷泵都有好处，

增大电荷泵电流可以降低电荷泵自身噪声在带内的贡献；2) 若要降低带外噪声，需降低压控振荡器自身的输出噪声；3) 若要降低带宽附近的噪声，降低压控振荡器的调谐增益，以降低滤波器的噪声贡献。

另外，选取不适当的环路带宽，会严重影响锁相环的输出相位噪声分布。图 2-8 给出带宽分别为 30kHz 和 500kHz 时，仿真的输出相位噪声的变化。当选择 30kHz 的小环路带宽时，1kHz 以外都由压控振荡器占主导，带内噪声被明显抬高；当选择 500kHz 的大环路带宽时，1kHz 以外、1MHz 以内都由电荷泵占主导，带外噪声被明显抬升。过小或过大的环路带宽都会恶化输出相位噪声性能。因此可以断定，如果选择合适的环路带宽，并通过软件进行精确仿真，能得到最优的相位噪声。

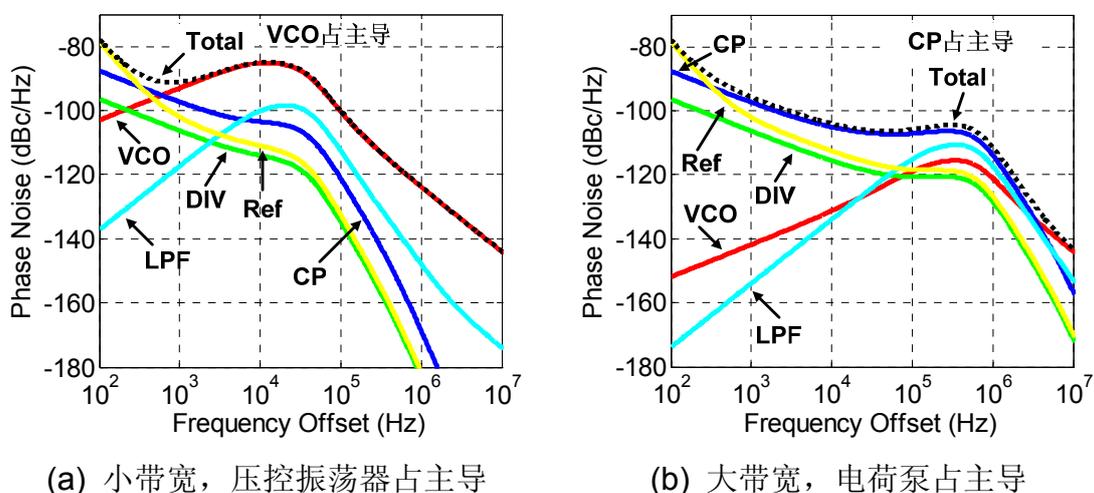


图 2-8 小带宽与大带宽对输出相位噪声的影响

2.4 $\Delta\Sigma$ 分数分频锁相环

2.4.1 $\Delta\Sigma$ 分数分频锁相环基本结构

整数分频锁相环的输出频率精度等于一个参考时钟频率，比如 25MHz。对于射频接收机中常用的无线通信协议，例如 GSM 的信道间距是 200kHz，这个频率精度显然不能满足系统的需求。为提高频率精度，可以降低输入参考频率。但为保证系统的稳定性及连续相位 s 域模型的准确性，环路带宽必须至少小于参考频率的十分之一。但是这样，小的环路带宽会导致过长的锁定时间。分数分频锁相环就是在这样一个背景下被提出，顾名思义，分数分频能产生参考时钟数倍的频率精度。因此，不需要降低参考时钟也可以得到所需的频率精度。

目前，最常用的分数分频结构是基于 $\Delta\Sigma$ 调制器(Delta Sigma Modulator, 简称 DSM)的分数分频锁相环，如图 2-9 所示[6]–[8]。其中， $\Delta\Sigma$ 调制器的输入是介于 0 和 1 之间的分数 α 。在分频器时钟 f_{div} 的控制下，输出一串整数序列 $y[n]$,

加到多模分频器的分频比上,分频比变为 $N+y[n]$ 。由于 $y[n]$ 在长时间下的的平均值为 α , 因此平均分频比就是 $N+\alpha$, 锁相环锁定之后, 输入、输出频率的关系为

$$f_{vco} = \left(N + \frac{1}{n} \sum_{k=1}^n y[k] \right) \times f_{ref} = (N + \alpha) \times f_{ref} \quad (2.25)$$

式(2.25)实现的频率精度为 $\alpha \cdot f_{ref}$, 只要 α 足够小, 就可以得到非常高的频率精度。

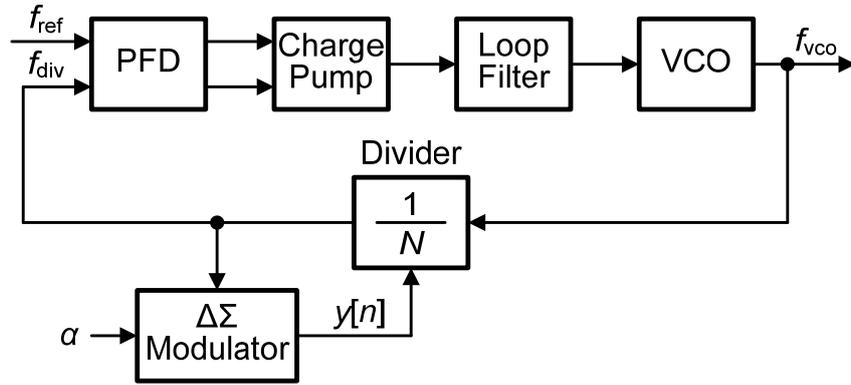


图 2-9 基于 $\Delta\Sigma$ 调制器的分数分频锁相环结构框图

在整数分频锁相环中, 环路锁定之后, 分频器时钟 f_{div} 和输入参考时钟 f_{ref} 的频率相等、相位对齐。而在分数分频锁相环中, 环路锁定之后, 输出时钟 f_{vco} 和参考时钟 f_{ref} 的频率都是固定不变的。在分频比受到 $\Delta\Sigma$ 调制器控制而不断变化的作用下, 分频器时钟 f_{div} 不停地改变, 因此它的边沿难与 f_{ref} 的边沿对齐。所以, 环路锁定之后, f_{div} 的边沿在 f_{ref} 的边沿附近左右摆动, 时而超前、时而滞后, 但 f_{div} 边沿的平均值是与 f_{ref} 边沿对齐的。所以, 分数分频实现的不是整数分频概念中的频率相等、相位对齐的锁定, 而是一种“动态锁定”。

为更好地了解分数分频的工作原理, 图 2-10 给出锁定时参考时钟 f_{ref} 和分频器时钟 f_{div} 的工作状态。

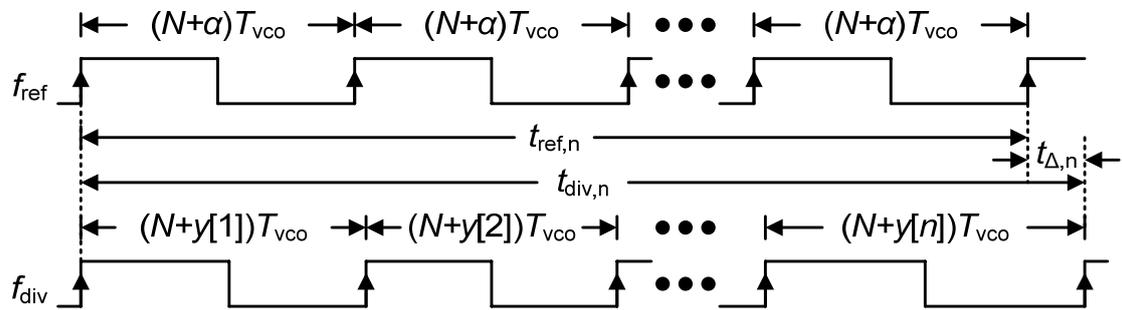


图 2-10 分数分频锁定时参考时钟和分频时钟的工作状态

假设参考时钟 f_{ref} 和分频器时钟 f_{div} 在某一初始时刻对齐, 经过 n 个周期之后, 参考时钟 f_{ref} 的上升沿时刻 $t_{ref,n}$ 为

$$t_{\text{ref},n} = n \times (N + \alpha) \times T_{\text{vco}} \quad (2.26)$$

分频器时钟 f_{div} 的上升沿时刻 $t_{\text{div},n}$ 为

$$t_{\text{div},n} = \sum_{k=1}^n (N + y[k]) \times T_{\text{vco}} \quad (2.27)$$

此时, f_{div} 和 f_{ref} 的时间差为

$$t_{\Delta,n} = t_{\text{div},n} - t_{\text{ref},n} = \sum_{k=1}^n (y[k] - \alpha) \times T_{\text{vco}} \quad (2.28)$$

因此得到 f_{div} 和 f_{ref} 的相位差为

$$\theta_{\Delta,n} = 2\pi \times \frac{t_{\Delta,n}}{T_{\text{ref}}} = \frac{2\pi \sum_{k=1}^n (y[k] - \alpha)}{N + \alpha} \quad (2.29)$$

由式(2.29)可见, 第 n 个周期两个时钟边沿的相位差同之前 $\Delta\Sigma$ 调制器所有的 n 个输出有关, 是每一次输出 $y[n]$ 与平均值 α 差值的累加, 具有记忆效应。因为 $y[n]$ 的平均值为 α , 所以平均相位差为零, 实现“动态锁定”。

2.4.2 量化噪声与 $\Delta\Sigma$ 调制器结构

2.4.2.1 量化噪声

对于一个量化器而言, 如果量化阶梯为 Δ , 当量化误差 e 等概率地均匀分布在 $\pm\Delta/2$ 时, 它的均方值可以表示为[9]

$$e_{\text{rms}}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.30)$$

如果采样频率为 f_s , 采用单边功率谱密度描述, 经过采样后所有能量都会既不重复也不遗漏地折叠到频带 $0 \leq f < f_s/2$ 内, 假定量化噪声为高斯白噪声, 那么采样后量化噪声的功率谱密度可以表示为

$$E^2(f) = \frac{e_{\text{rms}}^2}{f_s/2} = \frac{\Delta^2}{6f_s} \quad (2.31)$$

2.4.2.2 $\Delta\Sigma$ 调制器结构

$\Delta\Sigma$ 调制器具有对噪声的高通整形特性, 它可以将低频的量化噪声搬移到更高的频谱, 从而提高带内信噪比。常见的一阶 $\Delta\Sigma$ 调制器如图 2-11 所示。图(b)是其线性化 z 域模型, 一阶量化器可以等效为与量化噪声 $e_q[z]$ 的叠加, 得到其输出表达式为

$$y[z] = x[z] + (1 - z^{-1})e_q[z] \quad (2.32)$$

其中， $x[z]$ 是调制器的输入， $e_q[z]$ 是量化噪声。通常输出信号由输入信号和噪声两部分组成，因此输出可以表示为

$$y[z] = H_{STF}(z)x[z] + H_{NTF}(z)e_q[z] \quad (2.33)$$

其中， $H_{STF}(z)$ 是信号传递函数， $H_{NTF}(z)$ 是噪声传递函数。对于一阶 $\Delta\Sigma$ 调制器， $H_{STF}(z)$ 等于 1， $H_{NTF}(z)$ 等于 $1 - z^{-1}$ 。

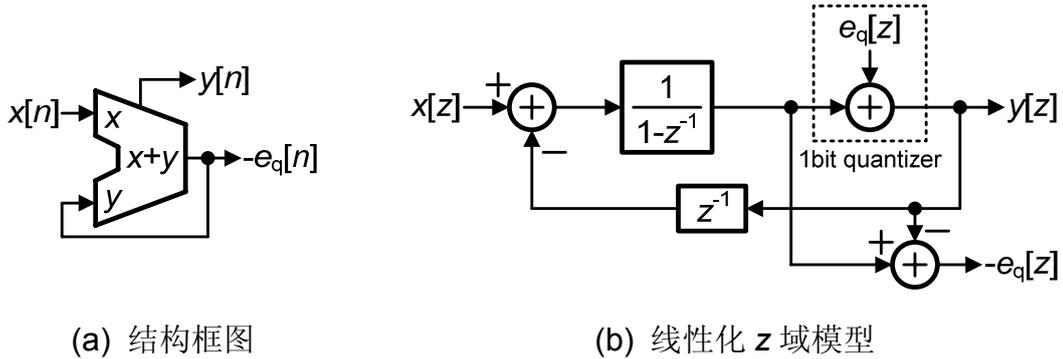


图 2-11 一阶 $\Delta\Sigma$ 调制器

由此可以得到，结合式(2.31)，对于任意的 $\Delta\Sigma$ 调制器，其输出量化噪声功率谱密度可以表示为

$$|Q(f)|^2 = E^2(f)|H_{NTF}(z)|^2 = \frac{\Delta^2}{6f_s} |H_{NTF}(z)|^2 \quad (2.34)$$

其中， z 等于 $e^{j2\pi f/f_s}$ ，需要把噪声传递函数从离散的 z 域向连续的 s 域转换。

$$|Q(f)|^2 = \frac{\Delta^2}{6f_s} |1 - z^{-1}|^2 = \frac{\Delta^2}{6f_s} \left[2 \sin\left(\frac{\pi f}{f_s}\right) \right]^2 \quad (2.35)$$

常用的多级噪声整形(Multi-Stage Noise Shaping, 简称 MASH) 1-1-1 型 $\Delta\Sigma$ 调制器如图 2-12 所示。

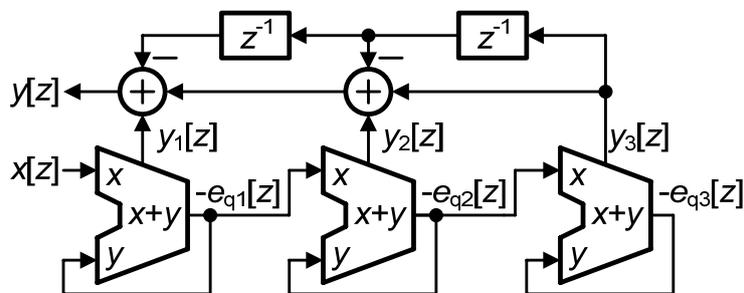


图 2-12 MASH 1-1-1 型 $\Delta\Sigma$ 调制器 z 域模型

根据 MASH 1-1-1 型调制器的 z 域模型，可以得到下列式子

$$\begin{cases} y_1[z] = x[z] + (1 - z^{-1})e_{q1}[z] \\ y_2[z] = -e_{q1}[z] + (1 - z^{-1})e_{q2}[z] \\ y_3[z] = -e_{q2}[z] + (1 - z^{-1})e_{q3}[z] \end{cases} \quad (2.36)$$

由此可以得到输出为

$$\begin{aligned} y[z] &= y_1[z] + (1 - z^{-1})y_2[z] + (1 - z^{-1})^2 y_3[z] \\ &= x[z] + (1 - z^{-1})^3 e_{q3}[z] \end{aligned} \quad (2.37)$$

作为更一般的结论，对于 L 阶 MASH 型 $\Delta\Sigma$ 调制器，其噪声传递函数可以表示为

$$H_{\text{NTF}}(z) = (1 - z^{-1})^L \quad (2.38)$$

将式(2.38)代入(2.34)，可得 L 阶 MASH 型 $\Delta\Sigma$ 调制器的输出量化噪声功率谱密度为

$$|Q(f)|^2 = \frac{\Delta^2}{6f_s} |1 - z^{-1}|^{2L} = \frac{\Delta^2}{6f_s} \left[2 \sin\left(\frac{\pi f}{f_s}\right) \right]^{2L} \quad (2.39)$$

考察另外一种单环前馈型 $\Delta\Sigma$ 调制器结构，如图 2-13 所示[10]。其输出表达式可以写为

$$y[z] = \frac{2z^{-1} - 2.5z^{-2} + z^{-3}}{1 - z^{-1} + 0.5z^{-2}} x[z] + \frac{(1 - z^{-1})^3}{1 - z^{-1} + 0.5z^{-2}} e_q[z] \quad (2.40)$$

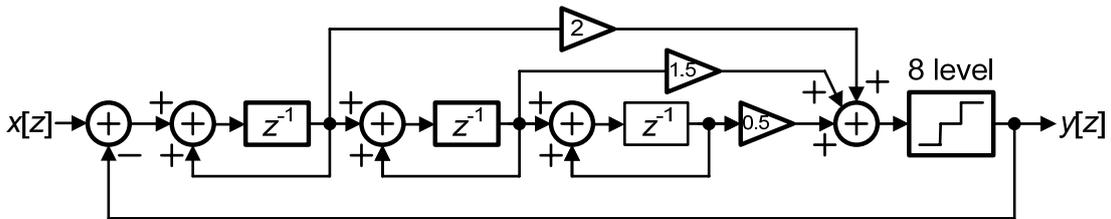


图 2-13 三阶单环前馈 $\Delta\Sigma$ 调制器 z 域模型

图 2-14 给出了 MASH 1-1-1 型和单环前馈型 $\Delta\Sigma$ 调制器的量化噪声仿真结果，横坐标是归一化采样频率。从图中可以看出，在 0.3 倍的采样频率以内，单环前馈结构比 MASH 1-1-1 型高 6 个 dB，而在 0.5 倍的采样频率处，MASH 1-1-1 型比单环前馈结构高 8 个 dB。

文献[10]提到，MASH 1-1-1 型 $\Delta\Sigma$ 调制器的输出整数范围在 $[-3, 4]$ 之间，有 8 个整数的变化。而上述这个单环前馈结构的输出整数范围在 $[-1, 2]$ 之间变化，只有 4 个整数的变化。更大的输出整数范围意味着 $y[n]$ 和 α 的差值变化更大，即分频器时钟和参考时钟边沿不对齐程度更大，那么电荷泵的动态导通时间加大，

使得其对衬底噪声更加敏感。另外，这个单环前馈结构的空闲音(Idle Tone)性能也较好。

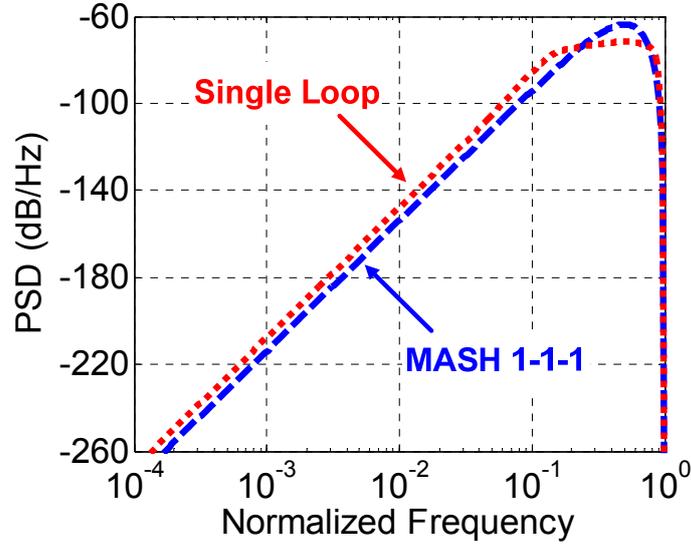


图 2-14 MASH 1-1-1 型和单环前馈型输出量化噪声比较

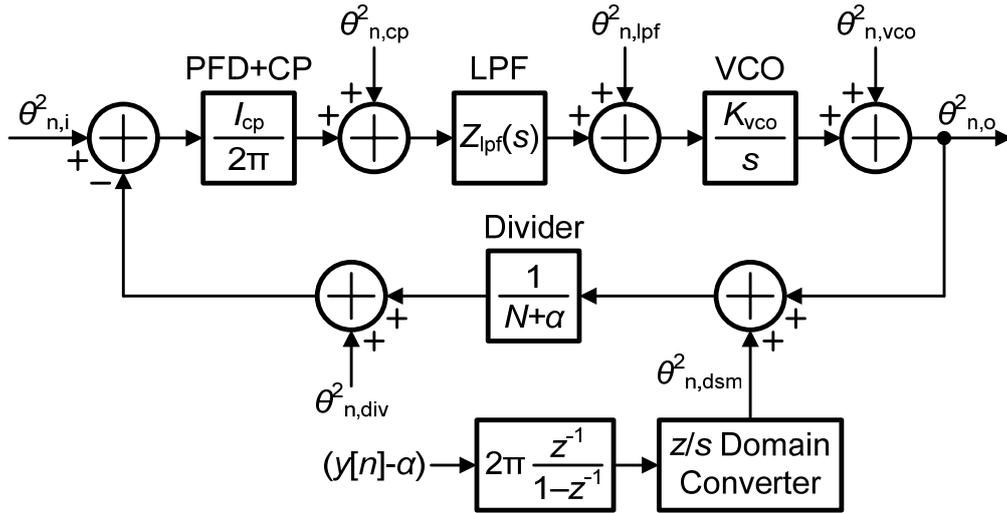
2.4.3 量化噪声到相位噪声的转换

由于 $\Delta\Sigma$ 调制器具有输出量化噪声，必然影响环路的噪声特性。式(2.29)表示了分频器时钟 f_{div} 和参考时钟 f_{ref} 的相位差，这其实就是 $\Delta\Sigma$ 调制器输出量化噪声等效到锁相环输入的相位噪声。其中， $y[n]$ 是 $\Delta\Sigma$ 调制器的输出， $y[n]-\alpha$ 具有形如式(2.34)的噪声特性，求和符号相当于 z 域中的一阶积分器 $1/(z-1)$ 。考虑 $\Delta\Sigma$ 调制器的工作时钟为 f_{div} ，而 f_{div} 近似等于 f_{ref} ，相位噪声通常是噪声功率谱密度的一半[2]，因此得到 $\Delta\Sigma$ 调制器的输出量化噪声等效到锁相环输入的相位噪声为

$$\begin{aligned}\theta_{n,\text{dsm}\rightarrow\text{input}}^2 &= \left(\frac{2\pi}{N+\alpha}\right)^2 \left|\frac{1}{z-1}\right|^2 \frac{\Delta^2}{12f_{\text{ref}}} |H_{\text{NTF}}(z)|^2 \\ &= \frac{\pi^2 \Delta^2}{3(N+\alpha)^2 f_{\text{ref}}} \left[2\sin\left(\frac{\pi f}{f_{\text{ref}}}\right)\right]^{-2} |H_{\text{NTF}}(z)|^2\end{aligned}\quad (2.41)$$

由此可以得到 $\Delta\Sigma$ 分数分频锁相环的相位噪声模型，如图 2-15 所示[11][12]。其中， $\theta_{n,\text{dsm}}^2$ 为 $\Delta\Sigma$ 调制器输出量化噪声功率谱密度。结合式(2.41)， $N+\alpha$ 近似等于 N ，得到 $\Delta\Sigma$ 调制器的量化噪声等效到锁相环输出的相位噪声为

$$\begin{aligned}\theta_{n,o(\text{dsm})}^2 &= \theta_{n,\text{dsm}\rightarrow\text{input}}^2 \cdot \left|\frac{NH_o(s)}{1+H_o(s)}\right|^2 \\ &= \frac{\pi^2 \Delta^2}{3N^2 f_{\text{ref}}} \left[2\sin\left(\frac{\pi f}{f_{\text{ref}}}\right)\right]^{-2} |H_{\text{NTF}}(z)|^2 \left|\frac{NH_o(s)}{1+H_o(s)}\right|^2\end{aligned}\quad (2.42)$$

图 2-15 $\Delta\Sigma$ 分数分频锁相环的相位噪声模型

如果考察载波附近的噪声特性，若有 $\pi f_c \ll f_{ref}$ ，则 $\sin(\pi f/f_{ref})$ 近似等于 $\pi f/f_{ref}$ ，简化式(2.42)可得

$$\theta_{n,o(dsm)}^2 = \frac{\Delta^2 f_{ref}}{12N^2 f^2} |H_{NTF}(z)|^2 \left| \frac{NH_o(s)}{1+H_o(s)} \right|^2 \quad (2.43)$$

若锁相环的环路带宽满足 $\pi f_c \ll f_{ref}$ 的条件，那么闭环传递函数在环路带宽内的增益可近似用 N 代替，那么简化式(2.43)可得

$$\theta_{n,o(dsm)}^2 = \frac{\Delta^2 f_{ref}}{12f^2} |H_{NTF}(z)|^2 \quad (2.44)$$

对于 L 阶的 MASH 调制器，将其噪声传递函数式(2.38)代入式(2.44)，并只关心载波附近的噪声特性，可得

$$\theta_{n,o(dsm)}^2 = \frac{\pi^2 \Delta^2 f^{2(L-1)}}{3f_{ref}^{2L-1}} \quad (2.45)$$

式(2.45)表明， $\Delta\Sigma$ 调制器的高通量化噪声等效到输出相位噪声其斜率会降一阶，这是由于式(2.29)的累加特性所致。对于一个三阶 $\Delta\Sigma$ 调制器，量化噪声特性呈 60dB 每十倍频程上升，其等效到输出的相位噪声则是 40dB 每十倍频程上升。如果采用二阶滤波器，并且环路带宽较大，闭环传递函数在环路带宽外的增益也呈 40dB 下降，那么 $\Delta\Sigma$ 调制器引起的输出相位噪声在环路带宽外会变平，不会被抑制。因此，通常选择比 $\Delta\Sigma$ 调制器阶数多一阶的闭环环路，也就是选择与 $\Delta\Sigma$ 调制器阶数相等的滤波器阶数，以抑制带外 $\Delta\Sigma$ 调制器的量化噪声引入的相位噪声。

虽然选择三阶滤波器可以抑制三阶 $\Delta\Sigma$ 调制器的量化噪声，但是过大的环路带宽仍然使得 $\Delta\Sigma$ 调制器的量化噪声在带外凸起，严重恶化带外相位噪声性能。

图 2-16 给出了带宽分别为 30kHz 和 500kHz 时 $\Delta\Sigma$ 调制器量化噪声对输出的影响。当选择 30kHz 的小环路带宽时， $\Delta\Sigma$ 调制器量化噪声在带外被明显抑制；当选择 500kHz 的大环路带宽时， $\Delta\Sigma$ 调制器量化噪声在带外明显凸起。尽管可以采用更高阶的滤波器抑制 $\Delta\Sigma$ 调制器量化噪声，但是这会使得环路相位裕度下降，产生潜在稳定性问题。

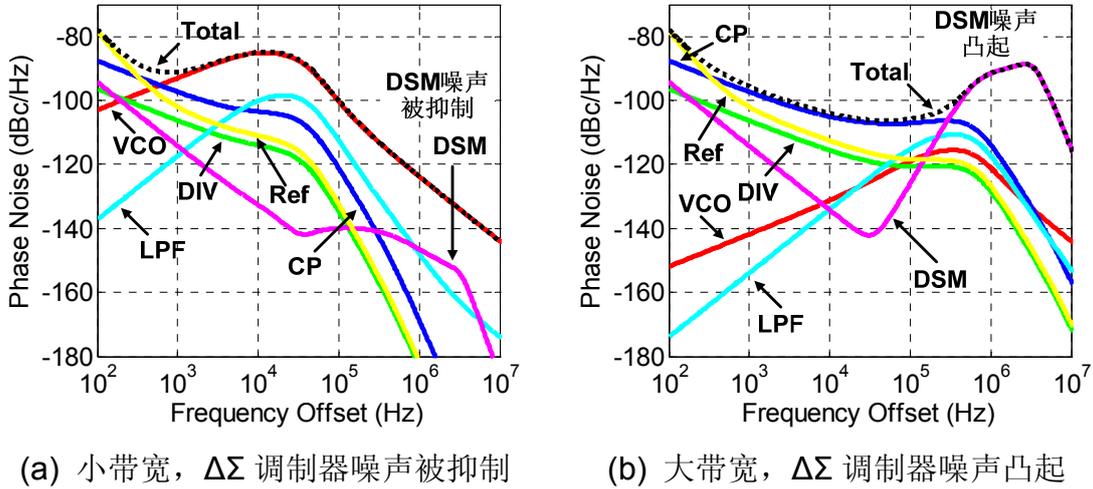


图 2-16 小带宽与大带宽对 $\Delta\Sigma$ 调制器量化噪声的影响

2.5 本章小结

- 1) 回顾了整数分频锁相环的基本结构，环路参数分析和相位噪声建模；
- 2) 介绍了 $\Delta\Sigma$ 分数分频锁相环的基本结构， $\Delta\Sigma$ 调制器的基本结构和量化噪声概念；
- 3) 分析了 $\Delta\Sigma$ 调制器的量化噪声到环路相位噪声的转换过程。

第3章 LC 压控振荡器与片上电感参数提取

摘要：本章内容涉及 1) 线性时变相位噪声模型；2) 正交与宽带 LC 压控振荡器结构；3) 差分调谐方式和电源噪声抑制；4) 中心抽头差分电感的等效模型和参数提取；5) 变压器耦合的正交 LC 压控振荡器芯片设计。

3.1 引言

压控振荡器是锁相环型频率综合器的关键模块之一，它直接决定锁相环的输出频率范围、带外相位噪声，并占用较大的功耗。从结构上而言，压控振荡器一般分为环形压控振荡器和电感电容(Inductance-Capacitance, 简称 LC)压控振荡器两类。前者具有面积小、原理简单的特点，但相位噪声性能相对 LC 压控振荡器较差。现在无线通信射频接收机中主要采用 LC 压控振荡器结构。

电感、电容和负阻是构成 LC 振荡器的基本元素。振荡频率由电感和总电容值构成的谐振回路的谐振频率决定，压控电压通过改变可变电容容值以达到调谐频率的目的。在差分 LC 压控振荡器中，负阻通常由一对交叉耦合 MOS 管提供。常见的 LC 压控振荡器结构如图 3-1 所示。

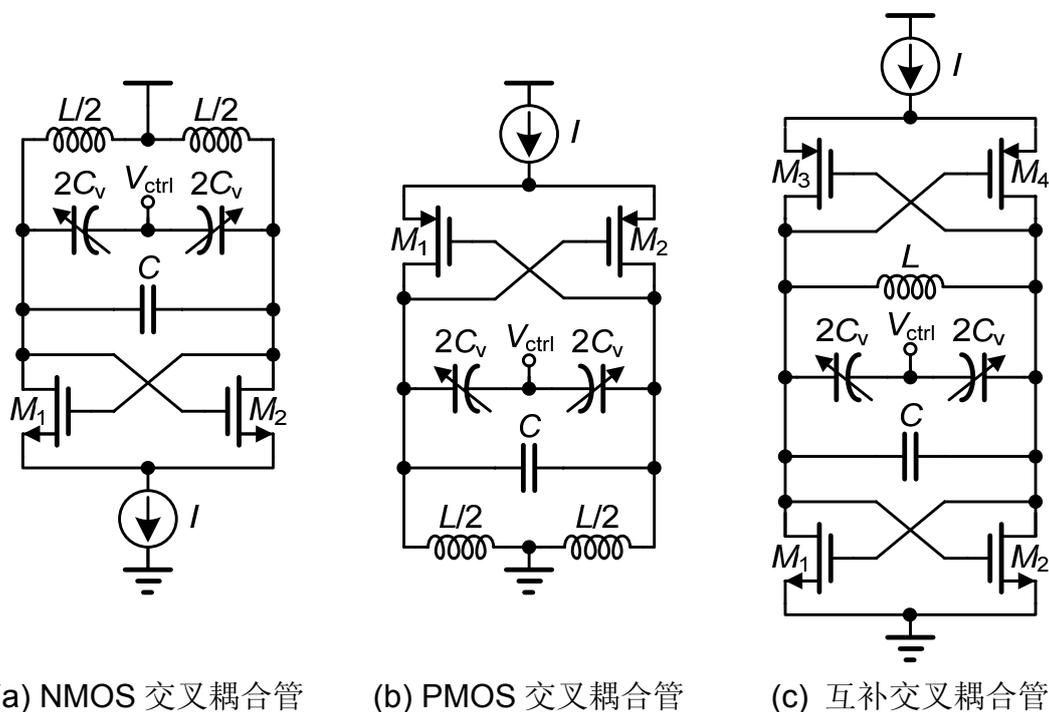


图 3-1 常见的 LC 振荡器结构

图(a)是 NMOS 交叉耦合管构成负阻的结构，图(b)是 PMOS 交叉耦合管构成负阻的结构，图(c)是互补交叉耦合管构成负阻的结构。相对于单个交叉耦合

管而言，互补交叉耦合管可以提供更大的振荡摆幅和更好的噪声性能。关于 LC 振荡器的原理和电感、电容结构分析可参考[13][14]。

本章主要做了以下工作：首先简要回顾线性时变相位噪声模型，并指出其中一个结论的错误，其次介绍正交和宽带两种 LC 振荡器结构，接着对差分调谐方式和电源噪声抑制两个问题进行分析，然后对常用的中心抽头差分电感进行建模和参数提取，最后在 0.18- μm CMOS 工艺上实现并测试一款基于变压器耦合的 LC 压控振荡器芯片。

3.2 相位噪声

相位噪声的定义是偏离载波 ω_0 附近 $\Delta\omega$ 处 1Hz 内单边带噪声功率 P_{sideband} 与载波功率 P_{carrier} 的比值，如图 3-2(a)所示，通常用 dB 形式表示为

$$\mathcal{L}\{\Delta\omega\} = 10 \cdot \log \left[\frac{P_{\text{sideband}}(\omega_0 + \Delta\omega, 1 \text{ Hz})}{P_{\text{carrier}}} \right] \quad (3.1)$$

Leeson 于 1966 年提出经验化的相位噪声模型[15]，其噪声曲线如图 3-2(b)所示，包括 $1/f^3$ 区域、 $1/f^2$ 区域和噪声基底， $\Delta\omega_{1/f^3}$ 是拐点频率。

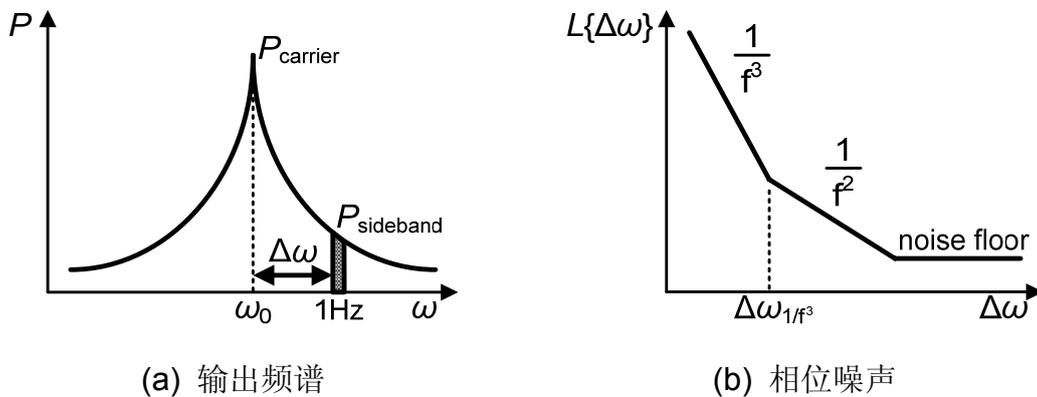


图 3-2 振荡器输出频谱和相位噪声

此后，Craninckx[16]和 Razavi[17]等人基于线性时不变系统，得到相位噪声随频偏成 20dB 每十倍频程下降的结论。但实际上压控振荡器是非线性电路，工作在大信号状态下，而且线性时不变模型也无法解释单频噪声在载波两侧都会产生噪声的现象。Demir[18]等人应用扰动、随机微分和周期时变的理论和方法，提出相位噪声的非线性扰动模型。其结果虽然很准确，但仅适合在计算机辅助仿真工具中对噪声进行仿真，对实际电路设计并不能直观指导。Samor[19]和 Abidi[20]等人从类似于分析混频器噪声的角度，基于差分对管跨导的非线性，分析相位噪声产生的本质，指出非线性是造成各个谐波频率上的噪声进入载波频率的主要原因。但是该模型无法定量地计算出每个噪声对相位噪声的贡献。

Hajimiri[21][22]等人结合线性周期时变系统的特性, 提出线性时变相位噪声模型, 系统阐述相位噪声各个区域的噪声来源。并根据这个噪声分析模型, 从电路设计和优化的角度提出设计低噪声振荡器的方法[23], 因而被广泛采用。

图 3-3 是上述的线性时变相位噪声模型, 它由电流到相位的线性响应和相位到电压的非线性调制两个部分级联组成。

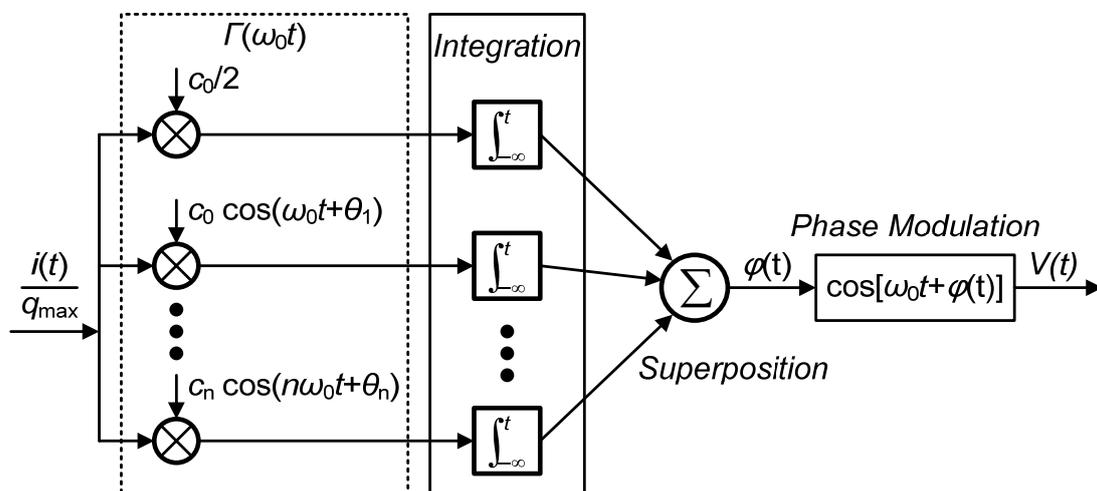


图 3-3 线性时变的相位噪声模型

这个噪声模型将振荡器看作周期时变线性系统, 输入是等效为注入节点的电流源噪声或串入支路的电压源噪声, 输出是时变过量相位。振荡器的输出信号可以表示为

$$f_{\text{out}}(t) = A(t) \cdot f[\omega_0 t + \varphi(t)] \quad (3.2)$$

其中, $\varphi(t)$ 和 $A(t)$ 是时间的函数, f 是周期为 2π 的函数。

尽管振荡器是非线性的, 但输出的过量相位对小信号噪声响应仍然为线性。分别计算每个噪声源到输出的响应, 再利用叠加原理, 得到总过量相位。假设在时刻 t 注入电流 $i(t)$ 引起相位阶跃变化, 过量相位的单位脉冲响应可以表示为

$$h_{\varphi}(t, \tau) = \frac{\Gamma(\omega_0 t)}{q_{\text{max}}} u(t - \tau) \quad (3.3)$$

其中 q_{max} 表示该节点所连接电容上的最大电荷量, $u(t - \tau)$ 是单位阶跃函数, $\Gamma(\omega_0 t)$ 是脉冲灵敏度函数 (Impulse Sensitivity Function, 简称 ISF), 可用傅立叶级数扩展为

$$\Gamma(\omega_0 t) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega_0 t + \theta_n) \quad (3.4)$$

输入的时变电流噪声引起的过量相位为

$$\varphi(t) = \frac{1}{q_{\max}} \left[\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_0 \tau) d\tau \right] \quad (3.5)$$

该过量相位在振荡器的非线性系统中再通过相位调制转变为电压。

图 3-4 给出基频和谐波附近的噪声向载波附近相位噪声的转换过程，在 $n\omega_0 + \Delta\omega$ 和 $n\omega_0 - \Delta\omega$ 注入的电流都会在 $\omega_0 \pm \Delta\omega$ 处产生相等的边带[24]，但 n 等于 0 时只有 $+\Delta\omega$ 贡献了噪声。

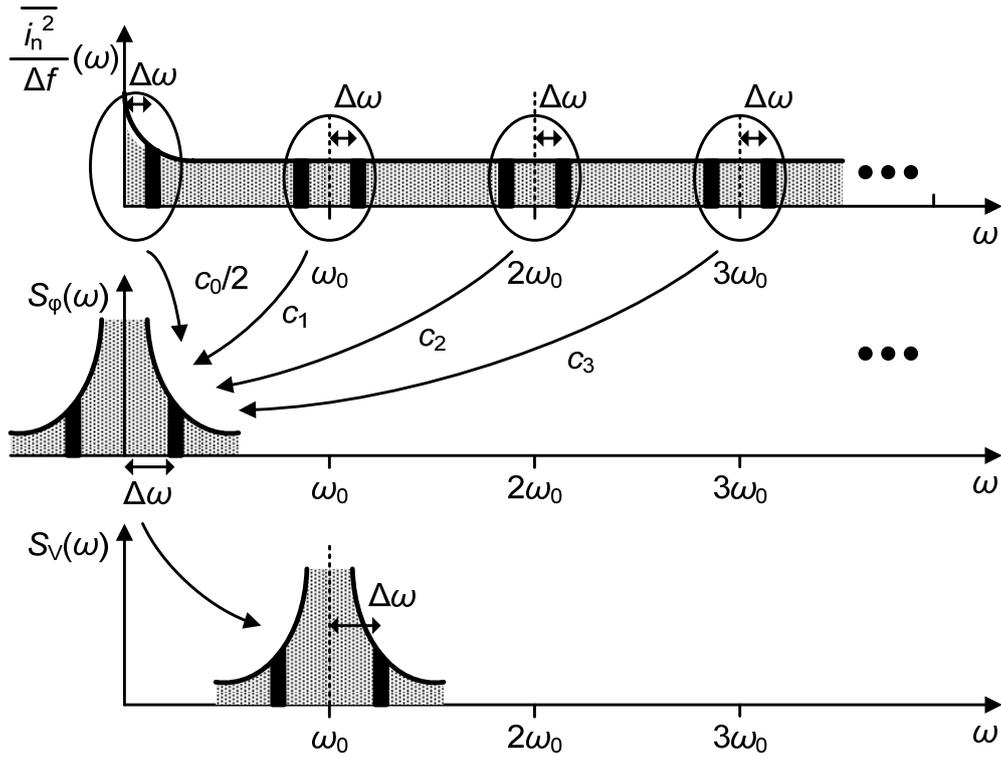


图 3-4 器件噪声到相位噪声的转换

对白噪声而言，最后得到在 $\Delta\omega$ 处的相位噪声为[25]

$$\mathcal{L}\{\Delta\omega\} = 10 \log \frac{\overline{i_{nw}^2} \cdot \left(\frac{c_0^2}{2} + \sum_{n=1}^{\infty} c_n^2 \right)}{4q_{\max}^2 \Delta\omega^2} \quad (3.6)$$

根据帕斯瓦尔(Parseval)定理，有以下关系[26]

$$\frac{c_0^2}{2} + \sum_{n=1}^{\infty} c_n^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(\varphi)|^2 d\varphi = 2\Gamma_{\text{rms}}^2 \quad (3.7)$$

最后将式(3.7)代入(3.6)，得到 $1/f^2$ 区域的相位噪声为

$$\mathcal{L}\{\Delta\omega\} = 10 \log \frac{\overline{i_{nw}^2} \cdot \Gamma_{\text{rms}}^2}{2q_{\max}^2 \Delta\omega^2} \quad (3.8)$$

当 $\Delta\omega$ 小于器件噪声 $1/f$ 拐点频率时, 闪烁噪声可以表示为

$$\overline{j_{n,1/f}^2} = \overline{j_{nw}^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \quad (3.9)$$

对闪烁噪声而言, 只有 $+\Delta\omega$ 处贡献了噪声, 那么在 $1/f^3$ 区域的相位噪声为

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{c_0^2}{q_{\max}^2} \cdot \frac{\overline{j_{nw}^2} / \Delta f}{8\Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (3.10)$$

当式(3.8)中 $1/f^2$ 区域的相位噪声和式(3.10)中 $1/f^3$ 区域的相位噪声相等时, 可得到相位噪声的 $1/f^3$ 拐点频率为

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \left(\frac{c_0}{2\Gamma_{\text{rms}}} \right)^2 \approx \omega_{1/f} \cdot \frac{1}{2} \left(\frac{c_0}{c_1} \right)^2 \quad (3.11)$$

由式(3.11)可知, 相位噪声的 $1/f^3$ 拐点频率比器件噪声的 $1/f$ 拐点频率要小, c_0 与振荡波形对称性有关, 提高对称性可以降低 c_0 , 从而降低相位噪声的 $1/f^3$ 拐点频率。文献[27]从频域的角度同样得到式(3.6)的表达式, 但是错误地运用帕斯瓦尔定理, 因此关于式(3.8)的结论是错误的。

3.3 正交与宽带 LC 压控振荡器

3.3.1 正交 LC 压控振荡器

射频接收机中为了抑制镜像信号通常需要正交的本振信号。产生正交信号有多种方法, 包括使用除 2 分频器、多相位滤波器和正交 LC 压控振荡器等。其中, 除 2 分频器工作在很高频率, 消耗较大功耗, 并且需要压控振荡器工作在 2 倍所需频率, 加大了振荡器设计难度; 多相位滤波器是无源滤波器, 在其与振荡器之间需要插入较大功耗的缓冲器(Buffer)。而正交 LC 压控振荡器将设计难点集中到振荡器自身, 且功耗较小, 所以近年来得到人们的广泛研究[28]–[34]。

图 3-5 为 MOS 管耦合的正交 LC 压控振荡器结构[29]。这种结构使用两个独立的 LC 振荡器, 并通过与交叉耦合管并联的 MOS 管连接, 这四个并联的 MOS 管级联构成一个环, 因而产生四路正交相位。正交振荡器一个非常重要的性能指标是正交相位精度, 理想值为 90° 。在功耗不变的前提下, 为提高相位精度, 需要增大流经 MOS 管 $M_{1c} \sim M_{4c}$ 的电流。但这样会减小流经交叉耦合管 $M_1 \sim M_4$ 的电流, 从而恶化相位噪声性能, 因此这种结构在正交相位精度和相位噪声之间存在折衷。为缓解这个问题, MOS 管 $M_{1c} \sim M_{4c}$ 可以串联到交叉耦合管支路中[30], 但是尺寸会比交叉耦合管大五倍, 这将增加振荡点的寄生电容, 降低调谐范围。

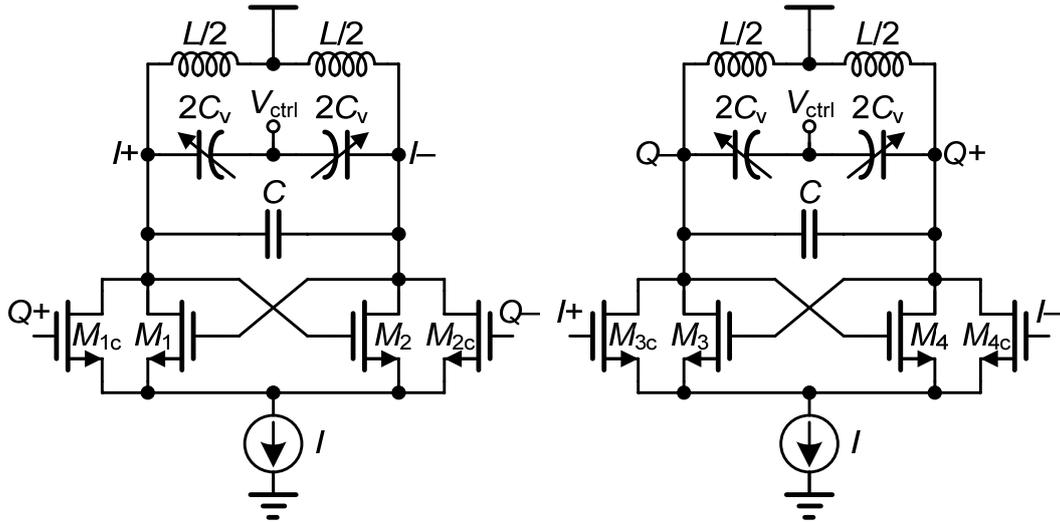


图 3-5 MOS 管耦合的正交 LC 压控振荡器

另外一种基于源极二次谐波耦合的 LC 振荡器结构如图 3-6 所示[31]。

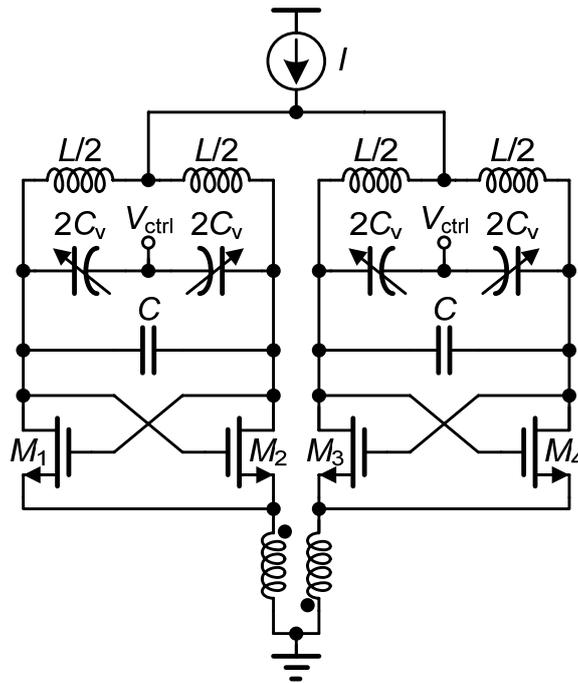


图 3-6 变压器耦合的正交 LC 压控振荡器

它仍然采用两个独立的 LC 振荡器，通过一个变压器将各自交叉耦合管的源极连接起来。通过变压器的异名端连接两个源极节点，相位差 180° ，而振荡器的输出节点振荡频率是源极节点振荡频率的二分之一，从而实现四路正交信号。这种结构没有增加额外的功耗，在正交相位精度和相位噪声之间也不存在折衷。但缺点是由于增加一个变压器，使得芯片面积增大。另外，这个变压器其实就是一个带有中心抽头的差分电感，而传统的片上电感建模都是针对单端或普通差分电感，因此对中心抽头差分电感的建模和参数提取也是值得研究的问题。

3.3.2 宽带 LC 压控振荡器

数字电视等宽带和软件无线电等多模多频的应用日益发展,要求压控振荡器能输出宽频率范围,因此宽带 LC 压控振荡器成为近年来人们研究的热点 [35]–[38]。图 3-7 为采用开关电容扩展频率范围的宽带 LC 振荡器结构。它在输出振荡点和地之间并联一组开关和固定电容串联的阵列,开关闭合时,电容接入谐振回路,降低振荡频率;开关断开时,电容与谐振回路断开,提高振荡频率。开关电容阵列通常采用二进制编码实现,这种方法可以极大地扩展振荡器的输出频率范围,也不会导致调谐增益过大。很多窄带 LC 振荡器也采用开关电容结构,这是为了增加频率覆盖裕量,克服工艺和温度偏差带来的频率偏差影响。另外一种宽带结构是采用开关电感,但电感调整比电容调整要复杂,所以不常为人们所采用。

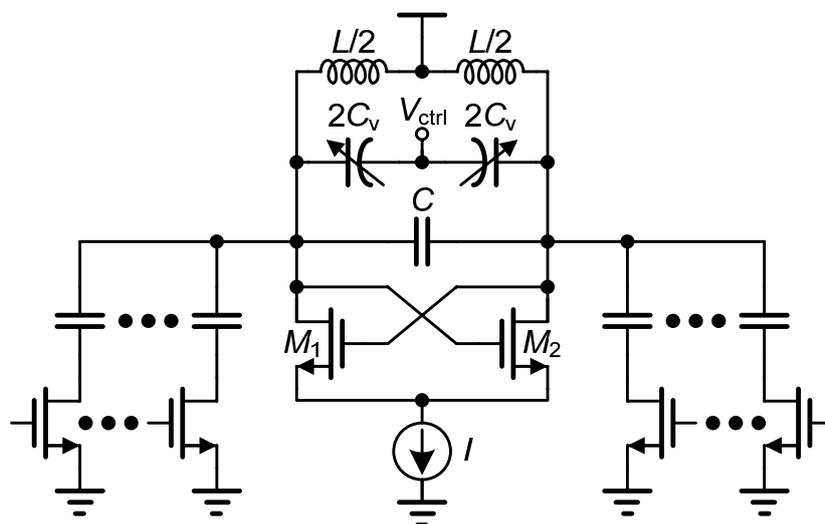


图 3-7 使用开关电容扩展的宽带 LC 压控振荡器

3.4 设计考虑

在设计 LC 压控振荡器时,有很多需要考虑的因素,包括:电路结构、电感值和几何结构、可变电容和固定电容结构、交叉耦合管尺寸、偏置电路、调谐方式和电源衬底的噪声干扰等。其中,电感值大小和交叉耦合管尺寸影响功耗和相位噪声,电容结构影响相位噪声,电源电压、衬底和压控电压上的噪声干扰影响偏置和调谐方式。调谐方式、偏置电路和电源衬底的噪声干扰是最容易忽视的因素,下面对其进行分析。

3.4.1 差分调谐

调谐方式是针对可变电容控制而言,同单端调谐方式相比,差分调谐方式可

以获得对共模噪声更好的抑制[39][40]。工艺中通常只提供二极管型和积累型 MOS(Accumulation MOS, 简称 A-MOS)两种可变电容。这两种电容的线性度都较好, 但可供选择的值不多, 也不适用于差分调谐。反型 MOS(Inversion-MOS, 简称 I-MOS)可变电容使用漏源相连的 MOS 管作为可变电容, 一端是栅极, 另一端是漏源级, NMOS 管衬底接地, PMOS 管衬底接电源电压。因为 I-MOS 可变电容同时存在 P 和 N 两种类型, 所以最适合用于差分调谐方式中。

图 3-8 给出传统的 I-MOS 可变电容的电路结构和电容-电压调谐曲线。其中, V_{op} 和 V_{on} 是振荡点, V_{cp} 和 V_{cn} 是差分调谐电压。在 LC 压控振荡器中, 调谐增益的最大点和可变电容的电容-电压调谐曲线增益最大点为同一点。对称调谐范围意味着在差分调谐电压为零($V_{cp}-V_{cn}=0$)的点存在最大调谐增益。对于 A-MOS 可变电容而言, 如果振荡器输出共模点 V_{ocm} 等于电荷泵输出的压控电压共模点 V_{ccm} , 那么振荡器调谐范围即为对称[40]。但是, 对于 I-MOS 可变电容而言, 即使 V_{ocm} 和 V_{ccm} 相等, 因为 NMOS 管阈值电压 V_{thn} 和 PMOS 管阈值电压 $|V_{thp}|$ 不一定相等, 也会导致振荡器调谐范围不对称。

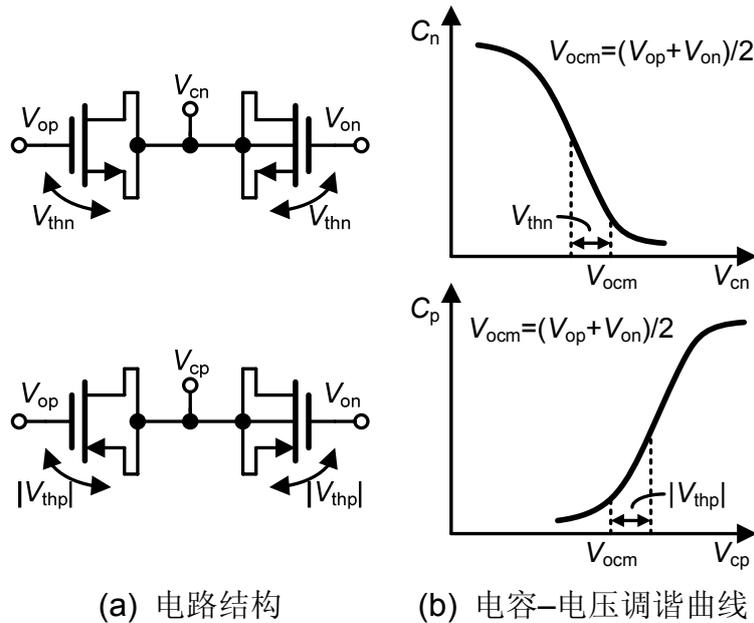


图 3-8 传统的 I-MOS 可变电容

为解决上述问题, 可在 LC 振荡器压控端和环路滤波器之间插入一个电平移位器, 如图 3-9 所示[41]。对 V_{cn} 而言, 先经过一个栅源电压 V_{gsn} 下降, 再经过一个阈值电压 V_{thn} 上升, 最后到达振荡点; 对 V_{cp} 而言, 先经过一个栅源电压 $|V_{gsnp}|$ 上升, 再经过一个阈值电压 $|V_{thnp}|$ 下降, 最后到达振荡点。如果经过电平移位后, 控制电压 V_{cp} 和 V_{cn} 等于共模电压 V_{ocm} , 则可变电容的电容-电压调谐曲线的中点会移动到压控电压共模 V_{ccm} 处, 这样就能在压控振荡器中得到对称的调谐范围。根据上述原理, 可得到如下关系

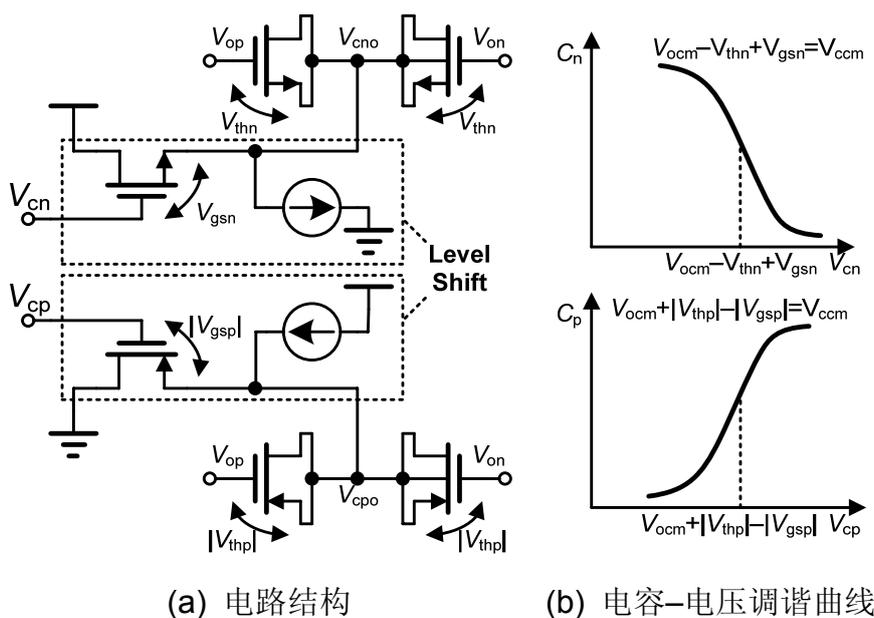


图 3-9 改进的 I-MOS 可变电容

$$\begin{cases} V_{gsn} = V_{thn} + (V_{ccm} - V_{ocm}) \\ |V_{gsp}| = |V_{thp}| - (V_{ccm} - V_{ocm}) \end{cases} \quad (3.12)$$

调整电平移位 MOS 管的尺寸和电流，可以使其栅源电压满足式(3.12)的关系。在电路设计时要考虑电平移位器输出噪声对振荡器相位噪声的影响，因此电流不能取太小。但即便如此，同 LC 振荡器相比，电平移位器电流仍然很小，因此不会增加太多功耗。

3.4.2 偏置与电源噪声

偏置对于 LC 压控振荡器而言非常重要，它通常由一对 MOS 管电流镜组成。MOS 管的闪烁噪声会通过频率上变在载波附近产生较大的干扰，因此偏置电路设计的好坏很大程度上决定振荡器的噪声性能。人们通常采用无尾电流偏置的方法消除偏置中 MOS 管闪烁噪声的影响。

但是，这样仍然不能解决电源和衬底噪声干扰的问题。衬底噪声可以通过在版图上给振荡器加隔离环(Guard Ring)或使其远离数字电路等方法缓解，而为抑制电源噪声，通常使用一个片上低压降稳压器(Low-Dropout Regulator, 简称 LDO Regulator)为振荡器提供一个低噪声电源。对 LDO 而言，需要其具有低输出噪声和高电源抑制(Power Supply Rejection, 简称 PSR)等特点。图 3-10 为一个低噪声、高电源抑制的 LDO 电路图[41]。在传统 LDO 结构的基础上，插入二极管连接的晶体管 M_1 捕捉电源变化并将其传到 Pass 晶体管的栅极，这样 Pass 晶体管的栅源电压就基本保持不变，可以抵消电源上的噪声干扰[42]。在折叠共源共栅放大器之后插入一个 RC 串联结构，目的是采用零点补偿技术增大带宽。

该 LDO 输出为 1.5V，输入的 1.5V 参考电压由一个低噪声 Bandgap 产生。

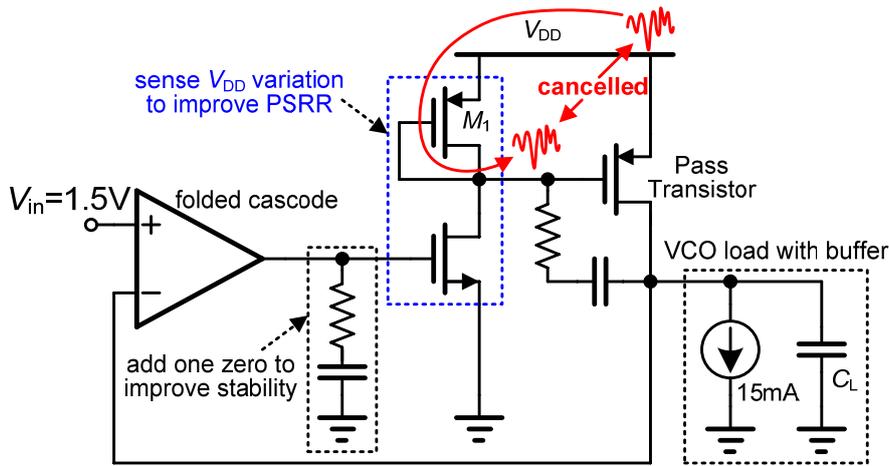
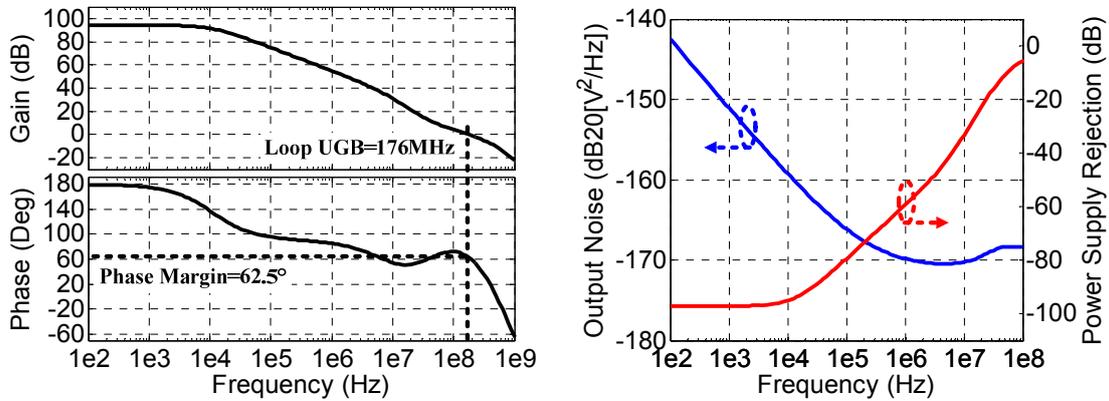


图 3-10 低噪声高电源抑制的低压降稳压器电路图

该 LDO 的仿真结果如图 3-11 所示，单位增益带宽为 176MHz，相位裕度为 62.5°。频偏 100Hz 处的输出电压噪声为 -140dB，频偏 1MHz 处的噪声为 -170dB，这对振荡器的相位噪声几乎没有影响。电源抑制在直流达到 -97dB，频偏 100Hz 处为 -80dB，频偏 1MHz 处为 -60dB，这将有效地抑制电源电压上的噪声。



(a) 环路增益波特图

(b) 仿真的输出噪声和电源抑制

图 3-11 低压降稳压器的仿真结果

3.5 中心抽头差分电感

在 3.3.3 节中提到，变压器耦合的正交 LC 压控振荡器结构需要一个中心抽头差分电感。传统的电感参数提取公式对中心抽头差分电感不太适用，因此下面对该电感进行建模和参数提取[43]。

3.5.1 传统单端阻抗提取方式

中心抽头差分电感的物理版图和等效电路如图 3-12 所示。在忽略寄生电阻和电容的情况下,中心抽头交流接地的差分电感可以看作一个理想变压器, M 是互感,端口 1 和端口 2 之间的电压相位差为 180° 。



图 3-12 中心抽头差分电感

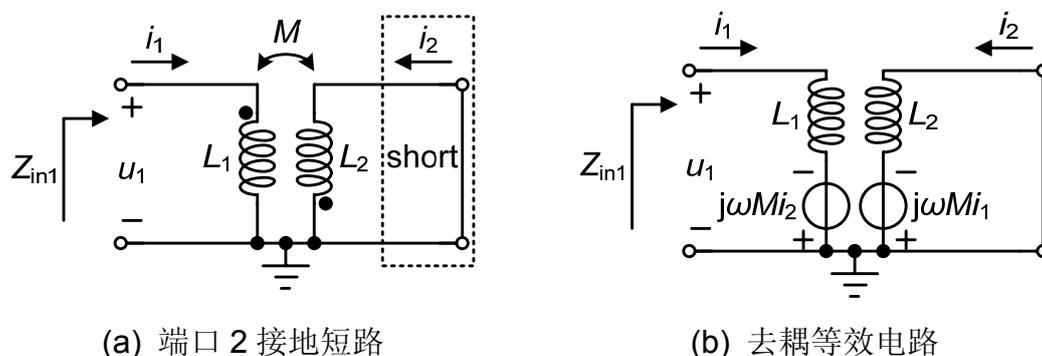


图 3-13 两端口 S 参数提取端口 2 短路

为便于分析,我们忽略寄生参数,仅考虑理想电感。单端口 S 参数测试时,若端口 2 开路, L_2 所在支路断开($i_2=0$),端口 2 对端口 1 的互感作用为零,因此端口 1 的阻抗为 $j\omega L_1$,等效电感值为自感 L_1 。若端口 2 接地短路,如图 3-13 所示,端口 1 和 2 之间的互感作用可以等效为两个受控电压源。由基尔霍夫电压定律可得

$$j\omega L_1 i_1 - j\omega M i_2 = u_1 \quad (3.13)$$

$$-j\omega M i_1 + j\omega L_2 i_2 = 0 \quad (3.14)$$

因为差分电感左右完全对称,则 $L_1=L_2=L$,求解式(3.13)和(3.14)得

$$Z_{in1} = \frac{u_1}{i_1} = j\omega L \left(1 - \frac{M^2}{L^2} \right) = j\omega L (1 - k^2) \quad (3.15)$$

其中 k 是耦合系数,等于 M/L 。当端口 2 接地短路时,端口 1 的等效电感值为 $L(1-k^2)$ 。通常,中心抽头差分电感的耦合系数 k 接近于 1,那么 $L(1-k^2)$ 相对于

L 就会非常小, 这与实际电路情况不符, 因此不能用端口 2 短路的单端口 S 参数对端口 1 进行单端阻抗提取。

若端口 2 通过宽带 180° 相移网络接入与端口 1 相位相反的电压激励源[44] ($u_2 = -u_1$), 如图 3-14 所示。

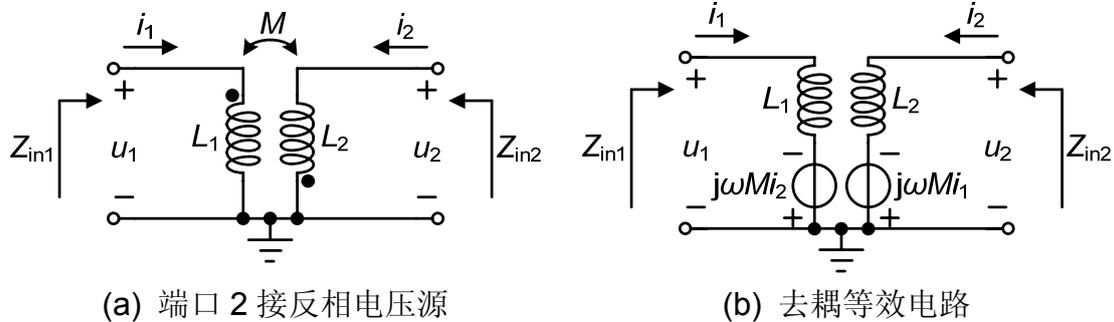


图 3-14 两端口 S 参数提取端口 2 接反相电压源

由基尔霍夫电压定律得

$$j\omega L_1 i_1 - j\omega M i_2 = u_1 \quad (3.16)$$

$$-j\omega M i_1 + j\omega L_2 i_2 = u_2 \quad (3.17)$$

因为差分电感左右完全对称, 有 $L_1 = L_2 = L$, 同时有 $u_2 = -u_1$, 代入式(3.16)和(3.17), 得

$$Z_{in1} = \frac{u_1}{i_1} = j\omega L(1+k) = j\omega(L+M) \quad (3.18)$$

$$Z_{in2} = \frac{u_2}{i_2} = j\omega L(1+k) = j\omega(L+M) \quad (3.19)$$

从式(3.18)和(3.19)可以看出, 两端口差分激励得到的单端等效电感值为 $L+M$ 。由以上分析可知, 端口 2 分别处于开路、短路和 180° 相位激励时, 端口 1 的等效电感值是不同的。在实际电路中, 中心抽头差分电感两端口的电压信号是差分信号, 因此真正的单端电感值应是 $L+M$ 。

文献[45]给出利用单端口 S 参数提取电感单端阻抗的方法, 测试出 S_{11} 参数, 利用反射系数的公式得

$$Z_{in} = Z_0 \left(\frac{1+S_{11}}{1-S_{11}} \right) \quad (3.20)$$

其中 Z_0 是特征阻抗, 通常为 50Ω 。由于中心抽头差分电感存在互感 M , 采用一端开路或者短路的单端口 S 参数不适用于中心抽头差分电感。文献[44]给出一种利用单端口 S 参数测试的方法, 即在端口 2 加入一个 180° 相移网络, 用来模

拟中心抽头差分电感的实际电路情况。由于很难保证两端口电压的 180° 相移，因此该方法存在较大误差。而两端口 π 模型缺少中心抽头交流接地，不能完全反映中心抽头差分电感的物理特征，因此有必要对电感两端口 π 模型进行改进。

3.5.2 中心抽头等效模型

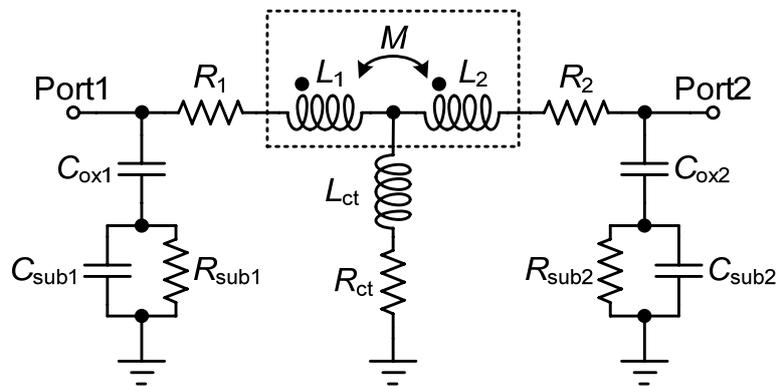


图 3-15 中心抽头差分电感的集总电路模型

图 3-15 为简化的中心抽头差分电感的集总电路模型[46]。其中， $L_{1(2)}$ 表示电感值， $R_{1(2)}$ 在直流下表示金属的串联损耗即串联电阻值，在高频下反映导体的趋肤效应、邻近效应以及衬底涡流带来的损耗， $C_{ox1(2)}$ 表示金属和衬底之间的氧化层电容， $R_{sub1(2)}$ 和 $C_{sub1(2)}$ 分别表示衬底寄生电阻和电容。中心抽头通常连接电源电压或者地，其寄生阻抗用电感 L_{ct} 和电阻 R_{ct} 的串联表示， M 是电感 L_1 和 L_2 之间的互感值。

当端口 1 和端口 2 激励差分信号时，含有互感 M 的耦合电感可以采用三端电感组成的 T 型网络进行去耦等效，如图 3-16 所示。

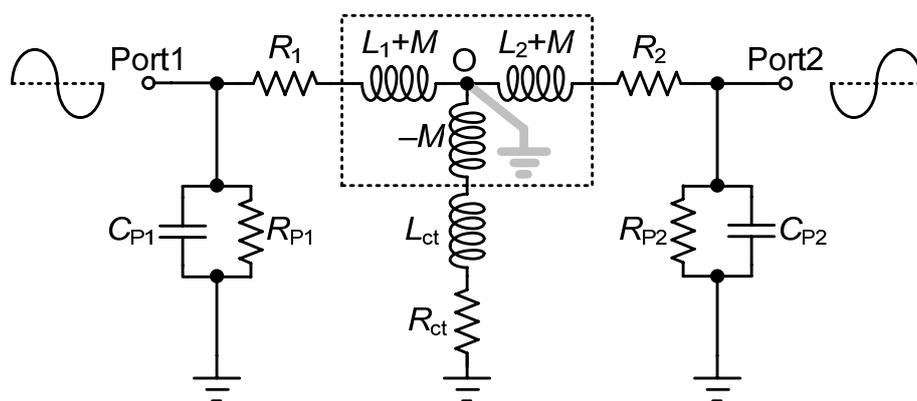


图 3-16 去耦等效的中心抽头差分电感集总电路模型

T 型等效网络去除了耦合电感 M ，其中两个端口的电感值为自感值再加上互感值，即 L_1+M 和 L_2+M ，第三个端口的电感值为 $-M$ 。这样，去耦等效的 T 型网

络与含有互感 M 的网络在端口特性上保持不变。为便于分析，衬底寄生电阻、寄生电容和氧化层电容等效为与频率相关的并联电阻 $R_{P1(2)}$ 和电容 $C_{P1(2)}$ 。

端口 1 和端口 2 的电压相位差 180° ，且差分电感左右完全对称，有 $L_1=L_2=L$ ， $R_1=R_2=R$ ，因此 O 点差分交流接地。因为共模支路(互感 $-M$ 、电感 L_{ct} 和电阻 R_{ct})的另一端接地，因此对于全差分信号，共模支路被交流旁路。据此，提出中心抽头等效模型，如图 3-17 所示。由于差分激励特性，原有的 $-Y_{12}$ 被分解成两个相等的 $-2Y_{12}$ 串联， O 点交流接地，其余参数保持不变。所提出的中心抽头等效模型能够对中心抽头差分电感的单端和差分阻抗进行分析。

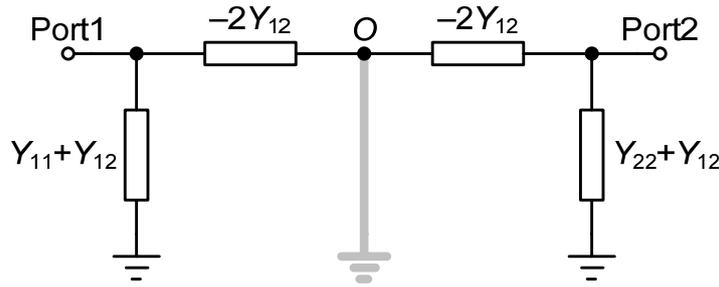


图 3-17 中心抽头等效模型

3.5.3 阻抗提取

由图 3-17 可以很容易地得到差分激励时端口 1 的单端阻抗为

$$R_{se} + jX_{se} = \frac{1}{Y_{11} - Y_{12}} \quad (3.21)$$

其中，实部 R_{se} 为单端等效电阻，虚部 X_{se} 为单端等效感抗。因此端口 1 的单端等效电阻值(R)、等效电感值(L)和品质因数(Q)分别为

$$R_{se,eff} = \text{Re} \left[\frac{1}{Y_{11} - Y_{12}} \right] \quad (3.22)$$

$$L_{se,eff} = \frac{\text{Im} \left[\frac{1}{Y_{11} - Y_{12}} \right]}{2 \cdot \pi \cdot f} \quad (3.23)$$

$$Q_{se,eff} = \frac{\text{Im} \left[\frac{1}{Y_{11} - Y_{12}} \right]}{\text{Re} \left[\frac{1}{Y_{11} - Y_{12}} \right]} \quad (3.24)$$

其中 Y 参数由中心抽头接地的两端口 S 参数变换得到。

为验证单端阻抗和式(3.22)–(3.24)的正确性，通过理想变压器的 Y 参数进行验证。在图 3-13(b)中，参数 Y_{11} 和 $Y_{21}(u_2$ 为零)分别为

$$Y_{11} = \frac{i_1}{u_1} = \frac{L}{j\omega(L^2 - M^2)} \quad (3.25)$$

$$Y_{21} = \frac{i_2}{u_1} = \frac{M}{j\omega(L^2 - M^2)} \quad (3.26)$$

将式(3.25)和(3.26)代入(3.23)，得到单端等效电感值

$$L_{\text{eff}} = L + M \quad (3.27)$$

理想变压器能通过 Y 参数得到单端等效电感值为 $L+M$ 的结论，验证了中心抽头等效模型的准确性。因此，为得到中心抽头差分电感的耦合特性，没有必要在端口 1 和端口 2 加入差分信号激励，可以直接采用中心抽头接地的两端口 S 参数对中心抽头等效模型进行参数提取。中心抽头等效模型相对于两端口 π 模型多了一个中心抽头，因此它能更有效地表征中心抽头差分电感的物理特征。

在图 3-17 中，端口 1 和端口 2 为差分激励， O 点是交流地，因此这三个地都可当作“虚拟地”。差分阻抗为

$$R_{\text{diff}} + jX_{\text{diff}} = \left(-\frac{1}{Y_{12}} \right) \left\| \left(\frac{1}{Y_{11} + Y_{12}} + \frac{1}{Y_{22} + Y_{12}} \right) \right\| = \frac{Y_{11} + Y_{22} + 2Y_{12}}{Y_{11}Y_{22} - Y_{12}^2} \quad (3.28)$$

其中，实部 R_{diff} 代表差分等效电阻，虚部 X_{diff} 代表差分等效感抗。式(3.28)与文献[45]对无中心抽头的差分电感分析的结论一致，所以中心抽头差分电感和无中心抽头的差分电感的差分等效参数 RLQ 是相同的。

3.5.4 测试验证

为验证中心抽头差分电感的单端和差分阻抗，在 $0.35\mu\text{m}$ 1P4M 射频工艺上设计了一个中心抽头接地的差分叠层电感，如图 3-18 所示。

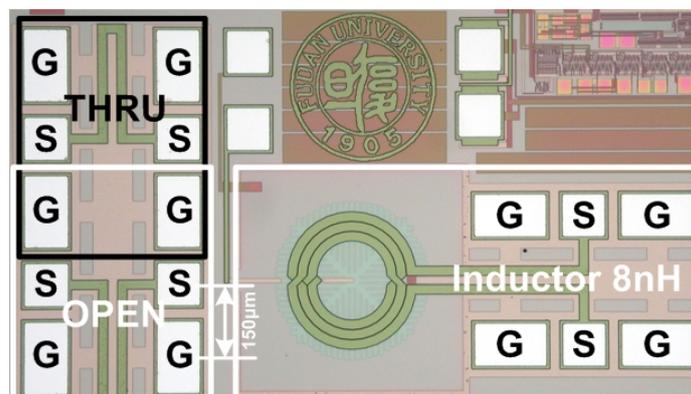


图 3-18 中心抽头差分电感的芯片照片

该电感器由第一、二层金属的并联再与第三、四层金属的并联相串联。相邻层的金属并联能够降低直流电阻值，金属的串联能够提高电感值。第四层金属的厚

度为 $0.895\mu\text{m}$ ，第一、二和三层金属的厚度均为 $0.64\mu\text{m}$ 。使用 Agilent 公司的网络分析仪 E8362C 对中心抽头差分电感进行两端口 S 参数测试。相对于普通的开路去嵌入，采用地屏蔽的开路通路去嵌入结构(G: 地; S: 信号)不仅能剔除焊盘和信号线的寄生电容, 而且能够消除长信号线所带来的寄生串联电阻和串联电感的影响[47]。

图 3-19 为中心抽头差分电感的集总电路等效模型。电阻 $R_{s1(2)}$ 和电感 $L_{s(12)}$ 表征金属高频下的趋肤效应, 电容 C_s 表示 L_1 和 L_2 之间的金属间的寄生电容。

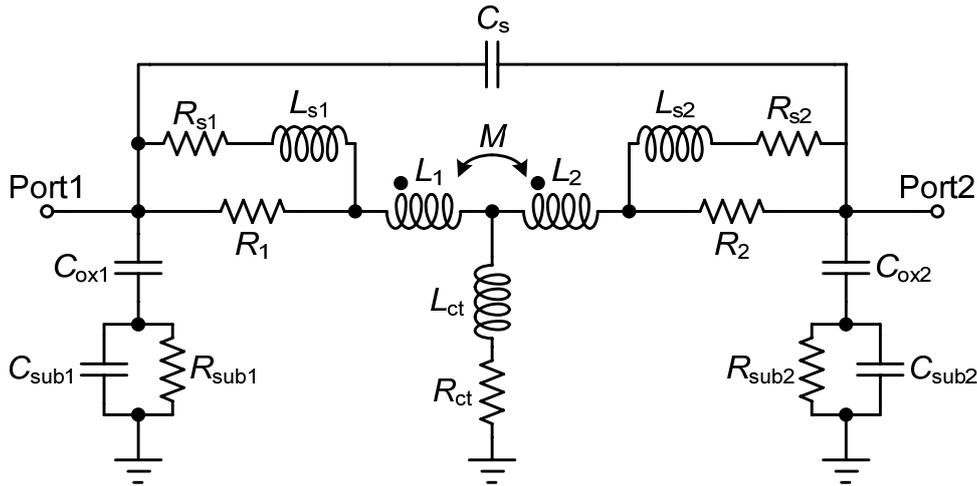
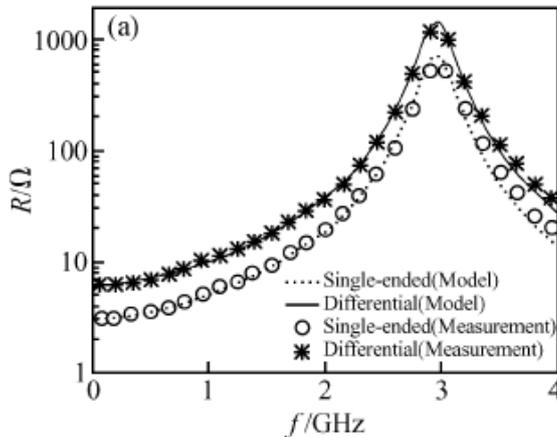
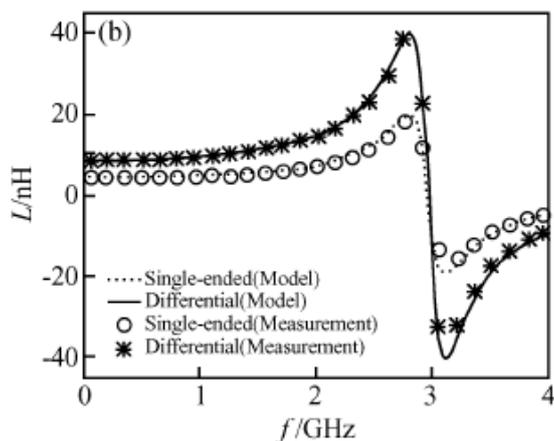


图 3-19 集总电路等效模型

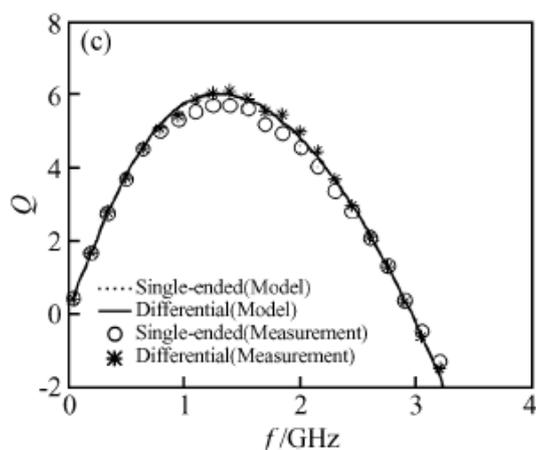
图 3-20 为集总电路等效模型和测试结果的比较。在自激振荡频率以内, 集总电路模型与测试结果相当吻合。在自激振荡频率以外, 受模型局限性, 两者有一定误差, 但该误差在工程设计的容许误差范围之内。差分等效电阻值和等效电感值分别是单端等效电阻值和等效电感值的 2 倍。例如, 200MHz 时差分电阻值为 6.363Ω , 单端电阻值为 3.179Ω 。图 3-20(c)中的单端 Q_{se} 值和差分 Q_{diff} 值非常接近, 在 1.3GHz 时最大值达到 6。应该指出, 该中心抽头等效模型虽然在 $0.35\mu\text{m}$ 射频工艺下得到验证, 但它也适用于其它工艺。



(a) 等效电阻值



(b) 等效电感值



(c) 品质因数

图 3-20 等效模型与测试结果的比较

集总电路等效模型的组件值如表 3-1 所示，其中电感 $L_{1(2)}$ 为 2.114nH，互感 M 为 1.934nH，耦合系数 k 为 0.915。

表 3-1 集总电路等效模型中的元件值

元件	$L_{1(2)}$ (nH)	$R_{1(2)}$ (Ω)	M (nH)	$L_{s1(2)}$ (nH)	$R_{s1(2)}$ (nH)	C_s (fF)	L_{ct} (nH)
值	2.114	3.695	1.934	1.947	31.07	247.0	0.001870
元件	R_{ct} (Ω)	C_{ox1} (fF)	C_{ox2} (fF)	C_{sub1} (fF)	C_{sub2} (fF)	R_{sub1} (Ω)	R_{sub2} (Ω)
值	0.4447	774.1	792.2	280.1	305.6	544.6	761.2

图 3-21 为 S 参数的阻抗 Smith 圆图，等效模型和测试的两端口 S 参数在自激振荡频率以内非常吻合。 S_{11} 居于史密斯圆图的左侧，这主要是因为中心抽头交流接地，端口 1 的输入阻抗的实部(直流电阻值)很小的缘故。

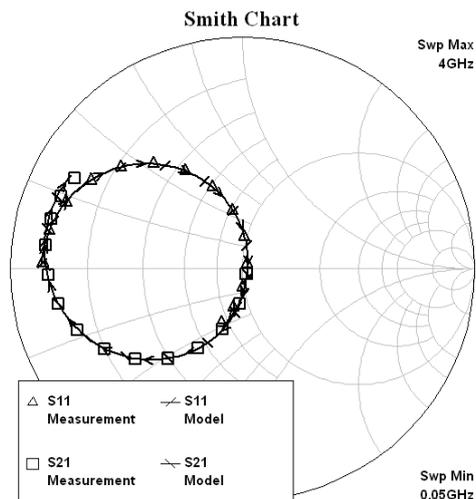


图 3-21 模型与测试的 S_{11} 和 S_{21} 的比较

3.6 变压器耦合的正交 LC 振荡器设计

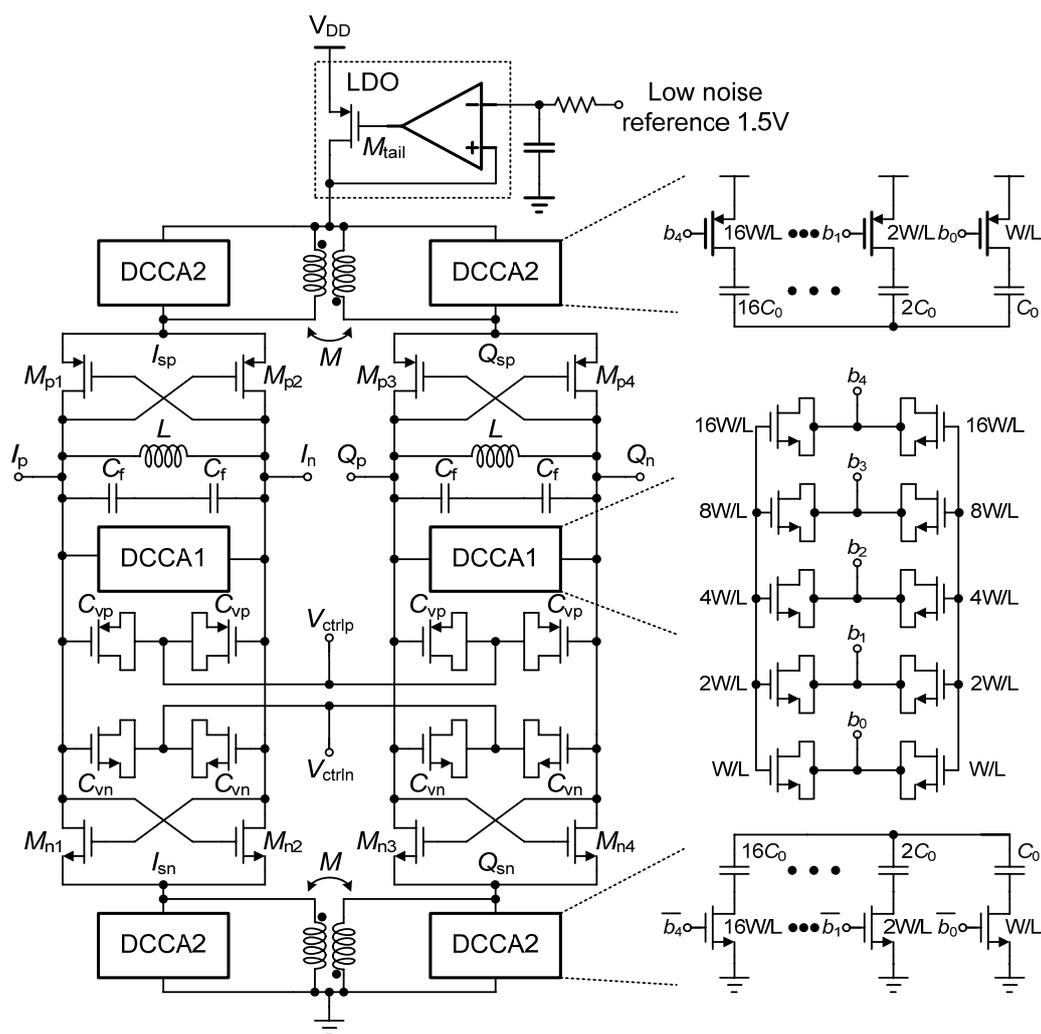


图 3-22 1.1GHz 变压器耦合正交 LC 压控振荡器电路图

根据 3.3.1 节提出的基于变压器耦合的正交 LC 振荡器原理，设计了一个 1.1GHz 窄带正交 LC 压控振荡器，如图 3-22 所示。振荡器使用互补交叉耦合管结构，采用片上 LDO 供电。两个尾部的中心抽头差分电感可以等效为两个独立的电感，能提高源极二次谐波点的阻抗，提高谐振回路的平均 Q 值，减小相位噪声[48]。使用 5 比特的二进制开关电容阵列降低调谐增益，采用差分调谐方式抑制共模噪声。可变电容和固定电容均采用 I-MOS 实现。仿真的振荡信号波形如图 3-23 所示。

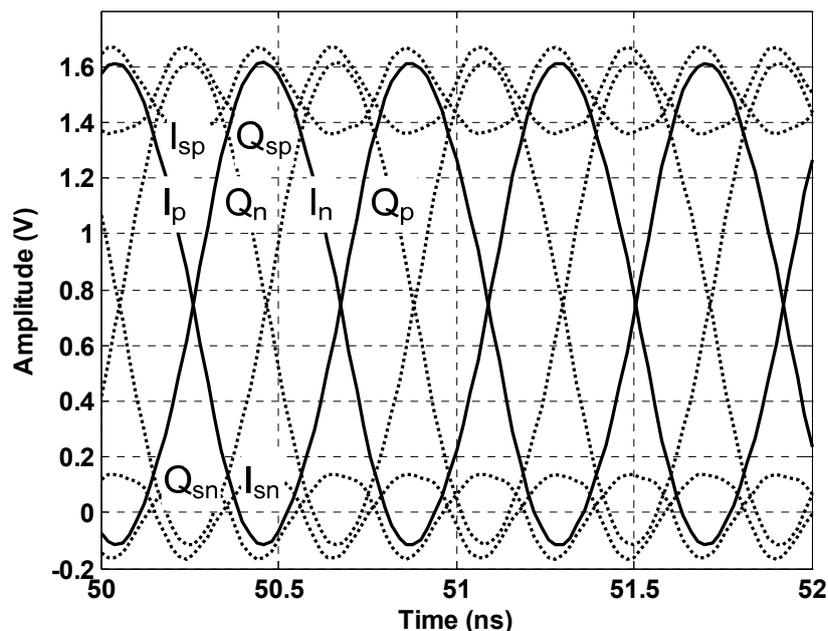


图 3-23 仿真的振荡波形

在 0.18- μm CMOS 工艺上实现了该 LC 压控振荡器，芯片照片如图 3-24 所示。外部电压为 1.8V，电流为 2mA，面积为 $1.2 \times 1.1\text{mm}^2$ 。

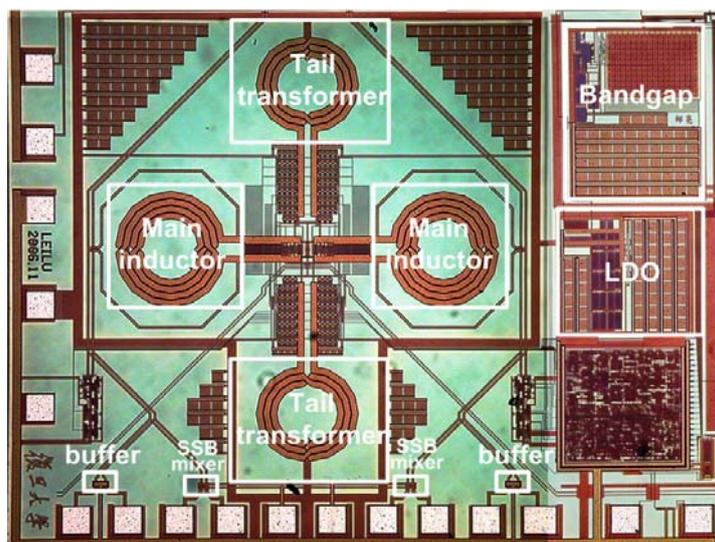


图 3-24 1.1GHz 正交 LC 振荡器的芯片照片

测试结果表明振荡器的输出频率范围从 980MHz 至 1.195GHz。图 3-25 给出了 1.042GHz 下的相位噪声测试结果，频偏 1MHz 处的相位噪声为 $-127\text{dBc}/\text{Hz}$ 。正交相位精度通过一个片上单边带上变频混频器间接测试，片外输入低频 10.11MHz 信号同振荡器输出的正交信号进行混频。图 3-26 给出了测试的镜像抑制结果为 63.9dB，相当于正交相位精度为 0.073° 。在整个频率范围内测得的最差镜像抑制比为 42dB，相当于 0.9° 。

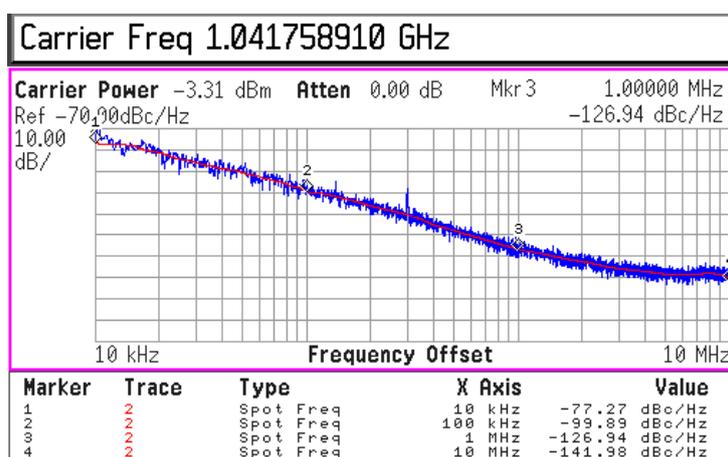


图 3-25 1.042GHz 下测试的相位噪声

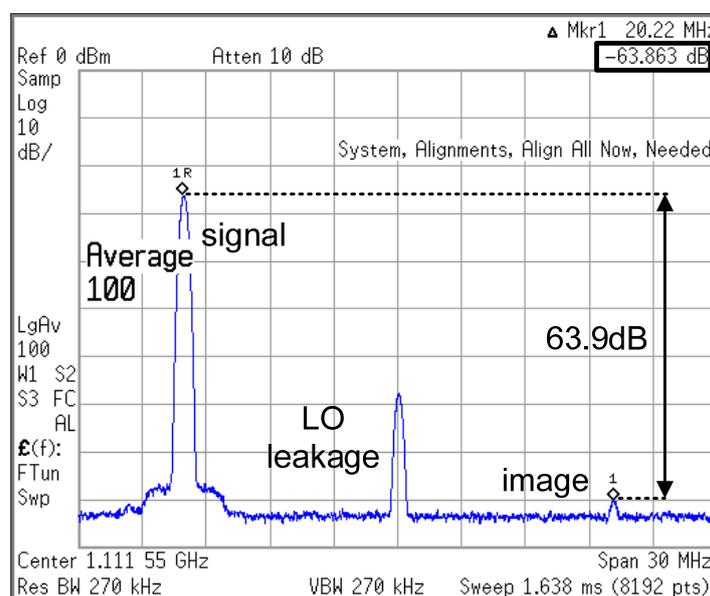


图 3-26 测试的镜像抑制比

3.7 本章小结

- 1) 介绍了相位噪声的定义和研究进展，简要分析了线性时变的相位噪声模型，推导了噪声公式，并指出其中一个结论的错误；

- 2) 介绍了 LC 压控振荡器中常用的两种结构，正交振荡器和宽带振荡器；
- 3) 对设计中存在且易忽视的调谐方式和电源噪声抑制这两个问题进行了分析，提出一种电平移位器电路，改善传统差分调谐中调谐范围不对称的问题，使用一种低噪声、高电源抑制的 LDO 电路，提高振荡器对电源噪声的抑制；
- 4) 对中心抽头差分电感进行了建模和参数提取，提出一种中心抽头等效模型，能有效地对单端阻抗进行提取；
- 5) 在 $0.18\text{-}\mu\text{m}$ CMOS 工艺上设计并测试了一款基于变压器耦合的正交 LC 振荡器芯片，相位噪声在 1MHz 处达到 -127dBc/Hz ，最差正交相位精度为 0.9° 。

第4章 恒定环路带宽的研究与实现

摘要：本章内容涉及 1) 近似环路带宽的分析；2) 环路带宽恒定的技术研究，包括恒定调谐增益和相等子带间隔、可编程电荷泵电流和自动频率校正的实现；3) 芯片验证。

4.1 引言

设计一个宽频率范围的频率综合器面临着许多挑战，在获得宽频率调谐范围的同时必须提供低相位噪声和低的积分相位误差。在 DVB-T 协议中，这个宽带频率综合器在超过 814MHz 的输入频率范围下都要满足严格的相位噪声要求，一个合理的相位噪声指标是在频偏 10kHz 下达到 -87dBc/Hz 以下[49]。另外，由于输出频率范围非常宽，频率综合器环路带宽的变化将会很大，而环路带宽直接影响着相位噪声的优化和环路稳定性。这是因为：1) 为了覆盖如此宽的频率范围和获得相对较低的压控振荡器调谐增益 K_{VCO} ，开关电容阵列通常应用于 LC 压控振荡器中；然而即使采用了开关电容阵列，不同子带的压控振荡器增益变化仍然很大。2) 需要一个宽范围的分频比 N 来获得将近一个二倍频程的宽调谐范围，而 N 的变化也改变环路带宽，进而影响相位噪声和环路稳定性。

为获得恒定的环路带宽，一些方法已经在文献中被报道[50][51]。在文献[50]中，自然频率 ω_n 被定义为环路带宽。为解决大分频比范围的问题，构造了一个采样环路滤波器网络和一个反线性电荷泵，以保证自然频率和参考频率的比值 $\omega_n/\omega_{\text{ref}}$ 和阻尼因子 ζ 恒定。虽然自然频率和阻尼因子广泛应用于环路动态特性分析，但严格地说，它们仅适用于二阶环路，而且额外的反线性电荷泵电路也增加了设计复杂度。文献[51]使用开环截止频率 ω_c 作为环路带宽，仅通过调整电荷泵电流 I_{CP} 达到补偿 K_{VCO} 和 N 变化的目的。虽然开环截止频率 ω_c 通常被用来定义环路带宽，但是它不能精确地捕捉闭环传递函数的低通拐点特性。另外，虽然仅调整 I_{CP} 可以获得恒定环路带宽，但是为改善相位噪声特性，仍然需要设计带有恒定调谐增益的多带压控振荡器。

在本章中，为实现恒定环路带宽做了以下工作[52][53]：首先引用近似环路带宽的概念对闭环传递函数的低通特性建模；其次，提出了一种使调谐增益 K_{VCO} 恒定的技术，这种技术可以同时获得恒定的 K_{VCO} 和相等的子带间隔 f_{step} ；使用自动频率校正技术确保压控振荡器工作在调谐范围的线性区域，进一步降低 K_{VCO} 的变化，而带有相等子带间隔 f_{step} 的压控振荡器有助于简化 AFC 的环路设计；接着，采用输出电流可编程的电荷泵以补偿分频比 N 的变化；最后，实现一款芯片验证所提出的技术。

4.2 设计考虑

4.2.1 环路带宽

如 4.1 节所述, 对于减小相位噪声变化和确保环路稳定性, 锁相环环路带宽是一个重要的设计参数。而传统的开关电容结构会导致环路带宽在宽带频率应用中变化巨大, 因此有必要在整个频率调谐范围内确保恒定的环路带宽。

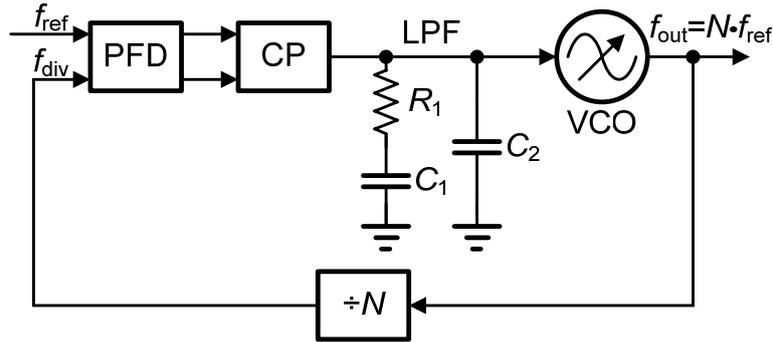


图 4-1 带有典型无源二阶滤波器的三阶锁相环框图

图 4-1 为典型三阶 II 型整数分频锁相环的框图(二阶滤波器加上压控振荡器中的极点就是三阶), 包含鉴频鉴相器(Phase-Frequency Detector, 简称 PFD)、电荷泵(Charge Pump, 简称 CP)、二阶无源环路滤波器(Loop Filter, 简称 LPF)、LC 压控振荡器和一个分频器。通常把自然频率 ω_n 或者开环截止频率 ω_c 作为环路带宽, 然而 ω_n 不适用于三阶或者更高阶的环路, 并且很大程度上依赖于阻尼因子 ζ ; 而 ω_c 不能捕获闭环传递函数的低通拐点特性。这里采用近似环路带宽 K 的概念来对闭环传递函数的低通拐点特性进行建模[54][55]。对于带有通用环路滤波器传输函数 $F_{LPF}(s)$ 的锁相环, 其开环传递函数表达式如下

$$\begin{aligned} G(s) &= \frac{I_{CP} K_{VCO}}{2\pi N s} F_{LPF}(s) = \frac{I_{CP} K_{VCO}}{2\pi N s} F_{p+i}(s) F_{hf}(s) \\ &= \frac{I_{CP} K_{VCO}}{2\pi N s} \left(K_1 + \frac{K_2}{s} + \frac{K_3}{s^2} + \dots \right) F_{hf}(s) \\ &= \frac{I_{CP} K_{VCO} K_1 F_{hf}(0)}{2\pi N s} \left(1 + \frac{K_2}{K_1 s} + \frac{K_3}{K_1 s^2} + \dots \right) \frac{F_{hf}(s)}{F_{hf}(0)} \end{aligned} \quad (4.1)$$

其中, $F_{p+i}(s)$ 代表环路滤波器中的比例积分项, $F_{hf}(s)$ 代表环路滤波器中的高频部分。需要注意的是对 $F_{hf}(s)$ 的要求是只要满足 $F_{hf}(0)$ 是有限非零值即可。因此, 舍去高阶项, 只保留一阶项, 给出近似环路带宽 K 的表达式如下

$$K = \frac{I_{CP} K_{VCO} K_1 F_{hf}(0)}{2\pi N s} \text{ rad/s} \quad (4.2)$$

对于图 4-1 中典型的三阶锁相环，环路滤波器的传递函数可以写为

$$F_{LPF}(s) = \left(R_1 C_1 + \frac{1}{s} \right) \frac{1}{R_1 C_1 C_2 s + C_1 + C_2} \quad (4.3)$$

与式(4.1)相比较， K_1 等于 $R_1 C_1$ ， K_2 等于 1， $F_{hf}(s)$ 等于 $1/(R_1 C_1 C_2 s + C_1 + C_2)$ ， $F_{hf}(0)$ 等于 $1/(C_1 + C_2)$ ，所以三阶锁相环的近似环路带宽可以表示为

$$K = \frac{I_{cp} K_{vco} R_1}{2\pi N} \frac{C_1}{C_1 + C_2} \quad (4.4)$$

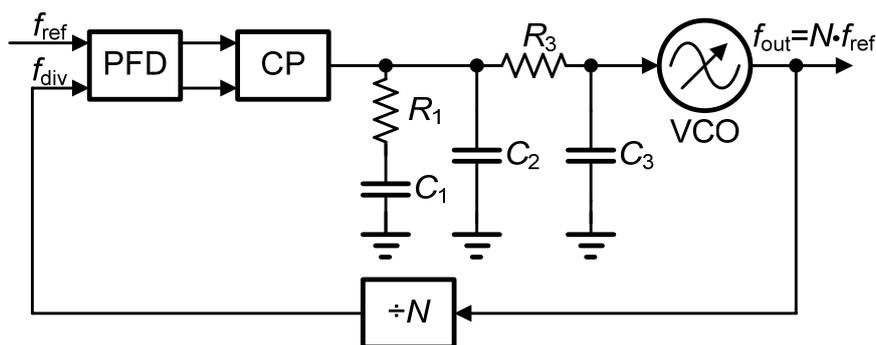


图 4-2 带有典型无源三阶滤波器的四阶锁相环框图

带有无源三阶滤波器的四阶锁相环框图如图 4-2 所示，它的环路滤波器传递函数可以写为

$$F_{LPF}(s) = \left(R_1 C_1 + \frac{1}{s} \right) \cdot \frac{1}{R_1 R_3 C_1 C_2 C_3 s^2 + [R_1 C_1 (C_2 + C_3) + R_3 C_3 (C_1 + C_2)] s + C_1 + C_2 + C_3} \quad (4.5)$$

与式(4.1)相比较， K_1 等于 $R_1 C_1$ ， K_2 等于 1， $F_{hf}(0)$ 等于 $1/(C_1 + C_2 + C_3)$ ，所以四阶锁相环的近似环路带宽可以表示为

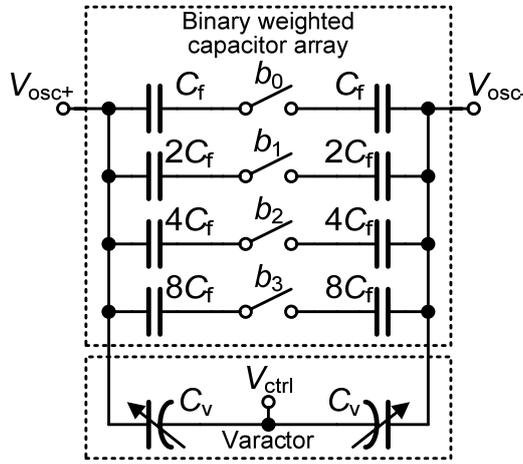
$$K = \frac{I_{cp} K_{vco} R_1}{2\pi N} \frac{C_1}{C_1 + C_2 + C_3} \quad (4.6)$$

从式(4.4)和(4.6)可以看到，保持恒定环路带宽并且不改变零极点位置，只需稳定调谐增益 K_{VCO} 并且使电荷泵电流与分频比的比值 I_{CP}/N 为常数即可。

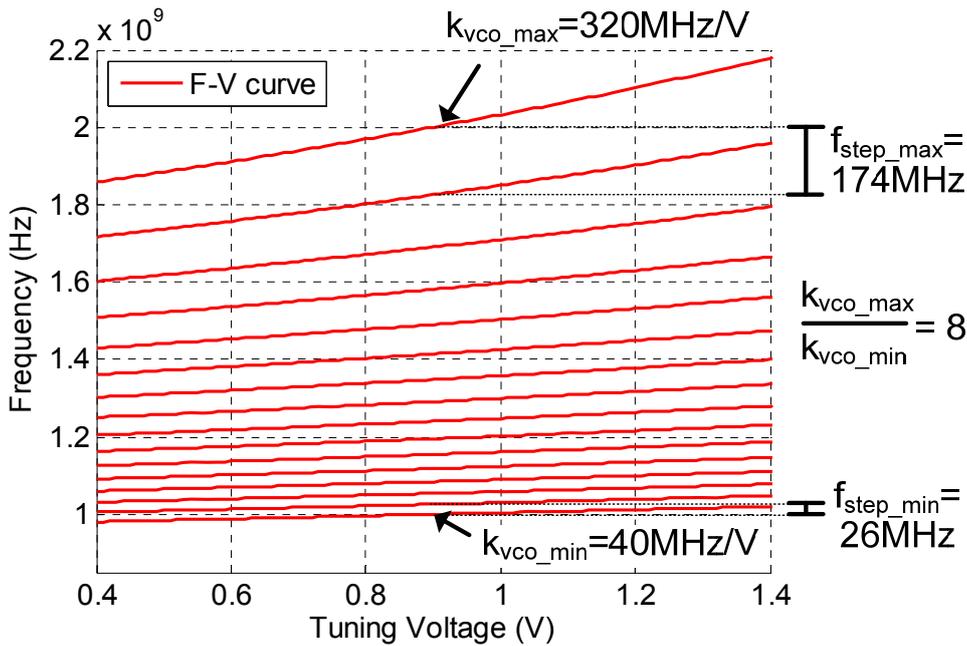
4.2.2 调谐增益

由于相位噪声性能优于环振型压控振荡器，射频接收机中的频率综合器通常采用 LC 压控振荡器。对于应用于 DVB-T 中的频率综合器，假定电荷泵输出电压的调谐范围是 1.6V，那么 814MHz 的目标频率范围需要的调谐增益将超过 500MHz/V，如此高的调谐增益会严重降低压控振荡器的相位噪声性能。为了保

持较低的调谐增益且覆盖宽带频率范围,通常采用一个开关电容阵列,如图 4-3(a)所示。模拟的压控电压 V_{ctrl} 调谐一个固定的可变电容 C_v 以获得连续的频率调谐范围,4 比特的数字信号控制二进制权重的固定电容阵列以离散地改变输出频率子带。



(a) 开关电容阵列和一个可变电容单元



(b) 仿真的频率-电压曲线, 调谐增益和子带间隔的变化都很大

图 4-3 传统的开关电容阵列结构

虽然传统的开关电容阵列能够扩展压控振荡器的调谐范围,并能维持较低的调谐增益,但它有两个主要缺点。首先,每当需要一个更低或更高的相邻的调谐子带时,相等的固定电容就会接入或断开与振荡点的连接。压控振荡器的调谐增益和压控电压之间的关系可以由振荡频率对压控电压求导得到

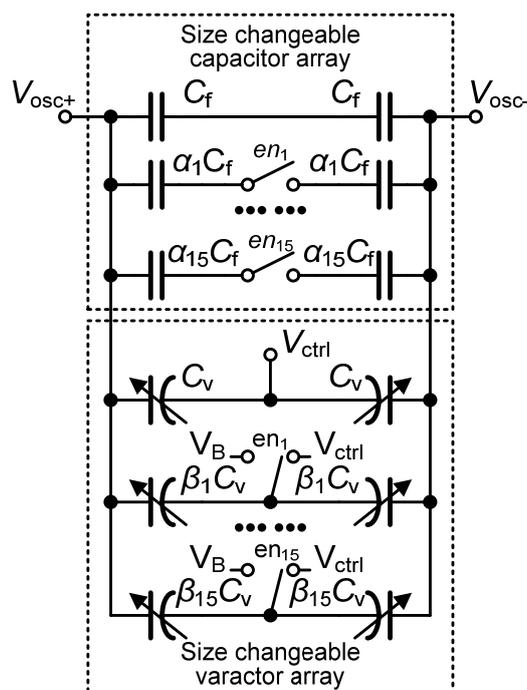
$$K_{VCO} = \frac{\partial f_{VCO}}{\partial V} = \frac{\partial f_{VCO}}{\partial C} \cdot \frac{\partial C}{\partial V} = -\frac{1}{4\pi\sqrt{LC^3}} \cdot \frac{\partial C}{\partial V} \quad (4.7)$$

由于可变电容的频率-电压曲线是电容的固有特性，如果只采用一个可变电容，那么无论高频还是低频时的 $\partial C/\partial V$ 均相等。从式(4.7)可以看出，调谐增益正比于 $C^{-3/2}$ ，当通过把电容减小为原有的四分之一使输出频率加倍时，调谐增益将变为原来的8倍[38]。输出频率从1GHz到2GHz的宽带压控振荡器的仿真调谐曲线如图4-3(b)所示，其中差分电感为4nH。最高和最低的调谐增益分别为320MHz/V和40MHz/V，这么高的调谐增益变化将极大地改变环路带宽，相位噪声会恶化，环路也会不稳定。其次，最高和最低的子带间隔 f_{step} 分别为174MHz和26MHz，如此高达6.7的子带间隔比值将会增加自动频率校正环路的设计复杂度。

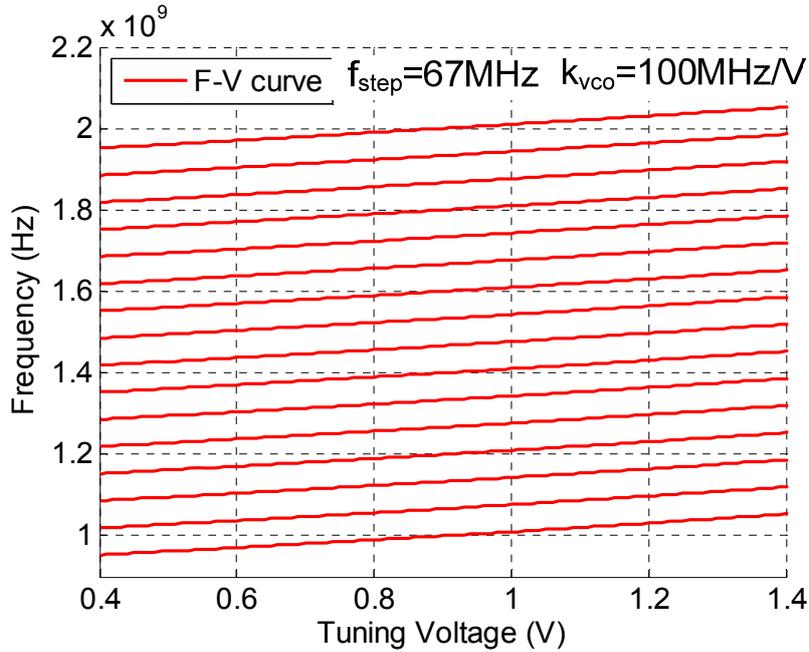
4.3 环路带宽恒定技术

4.3.1 恒定调谐增益

调谐增益变化是设计压控振荡器的一个严重的问题。之前已出现许多技术来降低调谐增益的波动[56][57]。在文献[56]中，一个带有可变电感配置的额外的串联LC谐振腔(LC-tank)用来抵消调谐增益的变化。但是这个方法需要额外的电感，会占用较大的芯片面积。文献[57]采用开关电容阵列与多偏置方案组合来补偿调谐增益的变化。但是这个方法需要额外复杂的偏置网络，同时还要小心来自于偏置上的噪声。除此以外，这两种技术都不能解决子带间隔 f_{step} 变化的问题。



(a) 大小可变的开关固定电容阵列和开关可变电容阵列



(b) 仿真的频率-电压曲线

图 4-4 提出的开关电容阵列结构

为能同时减小调谐增益和子带间隔的变化，提出一种电容阵列结构，如图 4-4(a)所示。这个结构的核心思想是同时改变开关固定电容和可变电容的大小。这里没有采用一个固定的模拟可变电容和一个二进制权重的固定电容阵列，而是采用了许多不同大小的固定电容阵列和可变电容阵列。当需要较低频率的子带时， LC 谐振腔中不仅接入较多的开关固定电容单元，而且较多的可变电容单元也被接入与模拟压控电压连接。其余的固定电容被断开，而其余的可变电容单元被接到一个固定电压 V_B 上以保持最小的电容值。另一方面，当需要较高频率的子带时， LC 谐振腔中接入较少的固定电容单元和较少的可变电容单元。这样做可以保证在整个频率调谐范围内，在增加一些设计复杂度、芯片面积和不占用额外的功耗的情况下，能同时获得恒定且较低的调谐增益 K_{VCO} 和恒定子带间隔 f_{step} 。需要注意的是，与传统结构采用二进制编码不同的是，这里采用了温度计编码。

在频率综合器中，4 比特的数控固定电容阵列(Digital Controlled Capacitor Array, 简称 DCCA)将整个频率调谐范围划分为 16 个子带，以保持相对较低的模拟调谐增益；与此同时，4 比特的数控可变电容阵列(Digital Controlled Varactor Array, 简称 DCVA)的作用是均衡调谐增益。假定 $\alpha_i(i=1, 2, \dots, 15)$ 是 DCCA 单元中的固定电容比值， $\beta_i(i=1, 2, \dots, 15)$ 是 DCVA 单元中的可变电容比值，那么当输出频率为第 n 个子带的中心频率时，跨接在谐振腔中的总电容 $C_{tot,n}$ (半电容)可以由下式表达

$$C_{\text{tot},n} = \begin{cases} C_p + C_f + (\beta_1 + \dots + \beta_{15}) \cdot C_{V,\min} + C_{V,(0.9)}, & n = 1 \\ C_p + (1 + \alpha_1 + \dots + \alpha_{n-1}) \cdot C_f + (\beta_n + \dots + \beta_{15}) \cdot C_{V,\min} \\ + (1 + \beta_1 + \dots + \beta_{n-1}) \cdot C_{V,(0.9)}, & n = 2, 3, \dots, 15 \\ C_p + (1 + \alpha_1 + \dots + \alpha_{15}) \cdot C_f + (1 + \beta_1 + \dots + \beta_{15}) \cdot C_{V,(0.9)} & n = 16 \end{cases} \quad (4.8)$$

其中 C_p 是寄生电容, C_f 是基本开关电容单元值, $C_{V,\min}$ 是可变电容 C_V 的最小值, $C_{V,(0.9)}$ 是 C_V 的压控电压在中点时的电容值(电源电压为 1.8V)。需要注意的是 $n=1$ 是最高的频率子带。第 n 个子带在压控电压中点的振荡频率 $f_{\text{VCO},n}$ 可以表示为

$$f_{\text{VCO},n} = \frac{1}{2\pi\sqrt{LC_{\text{tot},n}}}, \quad n = 1, 2, \dots, 16 \quad (4.9)$$

其中 L 是差分谐振腔电感的半电感值。进一步可以得知, 第 n 个子带的在压控电压中点的调谐增益值可以由频率对电压求导计算得到

$$K_{\text{VCO},n} = \frac{\partial f_{\text{VCO},n}}{\partial V_{\text{ctrl}}} = \begin{cases} -\frac{1}{4\pi\sqrt{LC_{\text{tot},n}^3}} \cdot \frac{\partial C_V}{\partial V_{\text{ctrl}}}\bigg|_{V_{\text{ctrl}}=0.9}, & n = 1 \\ -\frac{1 + \beta_1 + \dots + \beta_{n-1}}{4\pi\sqrt{LC_{\text{tot},n}^3}} \cdot \frac{\partial C_V}{\partial V_{\text{ctrl}}}\bigg|_{V_{\text{ctrl}}=0.9}, & n = 2, 3, \dots, 16 \end{cases} \quad (4.10)$$

其中 $\partial C_V / \partial V_{\text{ctrl}}(V_{\text{ctrl}}=0.9\text{V})$ 是可变电容在压控电压中点的电容-电压曲线的斜率。因为 $\partial C_V / \partial V_{\text{ctrl}}$ 为负, 所以 $K_{\text{VCO},n}$ 是一个正数。

对于给定的恒定调谐增益 K_{VCO} 、子带间隔 f_{step} 和频率调谐范围, 计算系数 α_i 和 β_i 的步骤如下: 第一步, 给定最高子带中心频率 f_H 、最低子带中心频率 f_L 、子带数目 n 和电感值 L , 然后根据频率范围和子带数得到每个子带的中心频率, 将 $f_{\text{VCO},n}$ 代入式(4.9)得到 $C_{\text{tot},n}$; 第二步, 将 $K_{\text{VCO},n}$ 和 $C_{\text{tot},n}$ 代入式(4.10)得到系数 β_i ; 第三步, 估计交叉耦合 MOS 管的本征电容和版图寄生电容以决定 C_p 的值, 另外, 仿真一个可变电容单元得到 $C_{V,\min}$ 和 $C_{V,(0.9)}$; 第四步, 将 $C_{\text{tot},n}$ 、 C_p 、 C_f 、 $C_{V,\min}$ 和 $C_{V,(0.9)}$ 以及系数 β_i 代入式(4.8), 得到系数 α_i 。

所以通过合理地选择系数 α_i 和 β_i , 可以得到任意且恒定的 K_{VCO} 和 f_{step} 。但需要注意的是, 如果用 MOS 管来实现固定电容和可变电容, 那么工艺的特征尺寸即 MOS 管的最小沟道长度将会限制固定电容和可变电容的最小值, 因此也限制能够实现的 K_{VCO} 和 f_{step} 的范围。关于系数 α_i 和 β_i 值的一个例子如表 4-1 所示, 其中 C_p 为 1.4pF、 C_f 为 73fF、 $C_{V,(0.9)}$ 为 40fF、 $C_{V,\min}$ 为 10fF。

在实际设计中, 这些系数应当被取整为工艺允许的最接近的值。应当注意因

为这些系数只是比值，它们对工艺、电压和温度(Process, Voltage and Temperature, 简称 PVT)都不敏感。根据所提出结构仿真的调谐曲线如图 4-4(b) 所示。在整个 1GHz 到 2GHz 的频率调谐范围内，子带间隔 f_{step} 均为 67MHz，每一个子带的调谐增益 K_{VCO} 也都是 100MHz/V。

表 4-1 系数 α_i 和 β_i 的值

i	α_i	β_i	i	α_i	β_i	i	α_i	β_i
1	1.47	0.11	6	2.56	0.23	11	5.03	0.56
2	1.63	0.12	7	2.90	0.27	12	5.88	0.69
3	1.82	0.14	8	3.29	0.32	13	6.93	0.87
4	2.03	0.16	9	3.77	0.38	14	8.24	1.10
5	2.27	0.19	10	4.34	0.46	15	9.91	1.41

4.3.2 电荷泵电流与自动频率校正

频率综合器通过改变分频比 N 来切换输出频率。从式(4.4)和(4.6)中可以看到， N 的变化会影响环路带宽的大小。为了补偿 N 的变化，可以改变电荷泵电流 I_{CP} 的大小，与 N 相匹配。在电路设计中，先设计一个单位参考电流单元，再并联许多电流大小相等的电流镜用来校正电荷泵的总输出电流。通过调整 I_{CP} 的大小，比值 I_{CP}/N 可以基本保持不变。

压控振荡器的频率-电压调谐曲线和调谐增益曲线如图 4-5 所示。

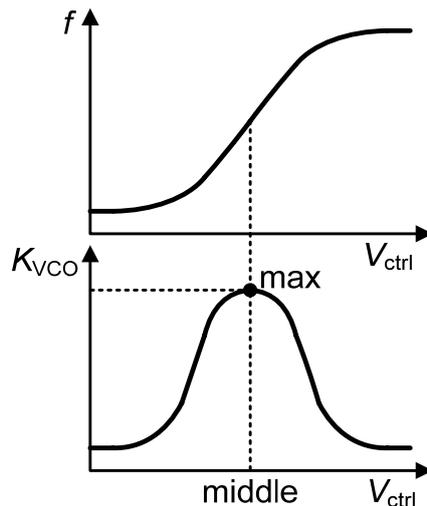


图 4-5 典型的 LC 压控振荡器频率-电压调谐曲线和调谐增益曲线

由于可变电容的电容-电压曲线的非线性，振荡频率在压控电压两端的变化很小，在压控电压中间变化最大且有一段相对线性的区域。需要注意的是，这段

线性区域取决于可变电容的线性度,可变电容线性度越大,这段线性区域也越大。同样,调谐增益曲线呈尖峰状,仅在压控电压的中点处取得最大,且在中点附近有一段稍微平坦的区域。因此对于多带压控振荡器,调谐增益仅能在每个子带的调谐曲线的中点处取得相等。而自动频率校正的目的之一就是选择能覆盖所需频率的子带,并且这个子带的中心频率相比其它子带更能接近所需输出频率。只要相邻两个子带的交叠率足够大,所有的输出频率点都能够落在调谐曲线的中点附近,如此一来,能进一步降低单根调谐曲线上调谐增益的变化[58]。

4.4 芯片验证

4.4.1 系统框图

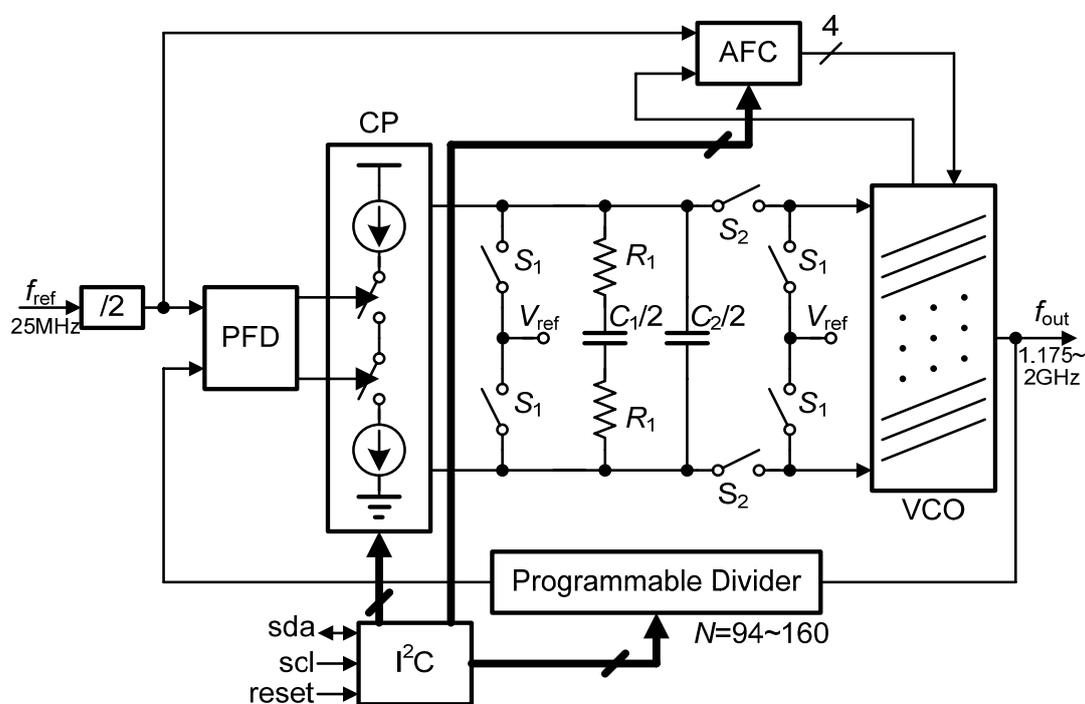


图 4-6 宽带 1.175~2GHz 整数分频频率综合器的框图

为验证提出的环路带宽恒定技术,在 $0.18\text{-}\mu\text{m}$ CMOS 工艺上设计并验证了一款宽带整数分频频率综合器芯片,结构框图如图 4-6 所示。片外输入参考时钟为 25MHz,经过片内除 2 分频器,实际鉴频鉴相工作频率为 12.5MHz。分频比为 94~160,输出频率为 1.175~2GHz。为抑制来自压控线、电源电压和衬底的噪声,使用了差分调谐结构,包括差分电荷泵和差分压控振荡器[59]。所有内部的数字寄存器都由 I²C 控制器配置。环路滤波器采用差分结构,相对于单端滤波器,电容 C_1 的面积减小一半,电阻电容参数为: C_1 是 971pF, C_2 是 97.1pF, R_1 是 5.66k Ω 。分频器采用七个 $2/3$ 单元级联的可编程结构[60],可实现的分频

比为 32~255。AFC 环路采用二进制搜索算法，每个单位比较时间为 $4\mu\text{s}$ 。

4.4.2 宽带差分调谐压控振荡器

压控振荡器的电路图如图 4-7 所示。为降低电源噪声影响，由一个 1.5V 输出的片上低压降稳压器(Low-dropout Regulator, 简称 LDO regulator)供电。选取两对互补交叉耦合 MOS 管提供负阻，谐振腔采用一个差分电感获取更高的 Q 值。去除尾电流源以改善相位噪声的 $1/f^3$ 区域，同时能最大化振荡幅度使其接近满摆幅。尾部的 LC 谐振腔用来提高源极节点二次谐波阻抗，能滤除二次振荡频率的热噪声，同时能增强一个周期内的平均 Q 值以提高相位噪声性能[48]。

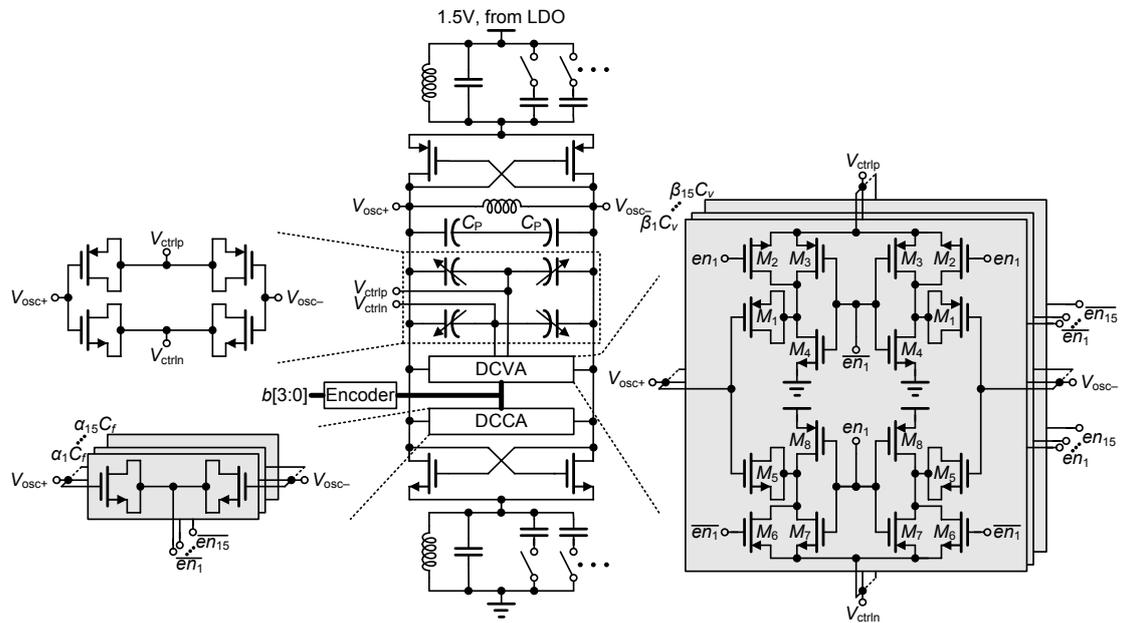


图 4-7 带有恒定增益和相等子带间隔的宽带 LC 压控振荡器

反型 MOS 管可以用来实现可变电容[61][62]。为覆盖超过 814MHz 的频率调谐范围，使用 4 比特数字控制位将整个频率范围划分成 16 个子带，用一个编码器将二进制码转换成温度计编码以控制数字位。最高频率子带使用一个基本的可变电容单元，DCCA 使用反型 MOS 管实现子带选择。当控制信号 $en_i (i=1, \dots, 15)$ 为高时，NMOS 管工作在强反型区域，呈现出最大电容值。为满足宽带谐振特性，尾部源极二次振荡节点也加入开关电容阵列，使其在整个频率范围内也能振荡在二次谐振频率处。

DCVA 的实现方式如图 4-7 右边所示。当 en_i 为高时， M_4 和 M_8 关断， M_2 、 M_3 和 M_6 、 M_7 导通，将压控电压 V_{ctrlp} 和 V_{ctrln} 传到 M_1 和 M_5 的源漏处， M_1 和 M_5 作为可变电容受压控电压的调谐。另一方面，当 en_1 为低时， M_1 的源漏接地， M_5 的源漏接电源电压， M_1 和 M_5 被固定在最小电容值上。

谐振腔的 Q 值主要由电感的 Q 值决定。这个谐振腔的差分电感采用 Agilent

公司的全波电磁仿真器 Momentum 建模, 仿真结果表明, 电感的 Q 值在 $1\sim 2\text{GHz}$ 间为 $6\sim 7$ 。所有的固定电容和可变电容都由反型 MOS 管实现, 它们的 Q 值在整个频率范围内都在 $20\sim 30$ 之间, 以获得比电感大得多的 Q 值。

4.4.3 带共模反馈的差分电荷泵

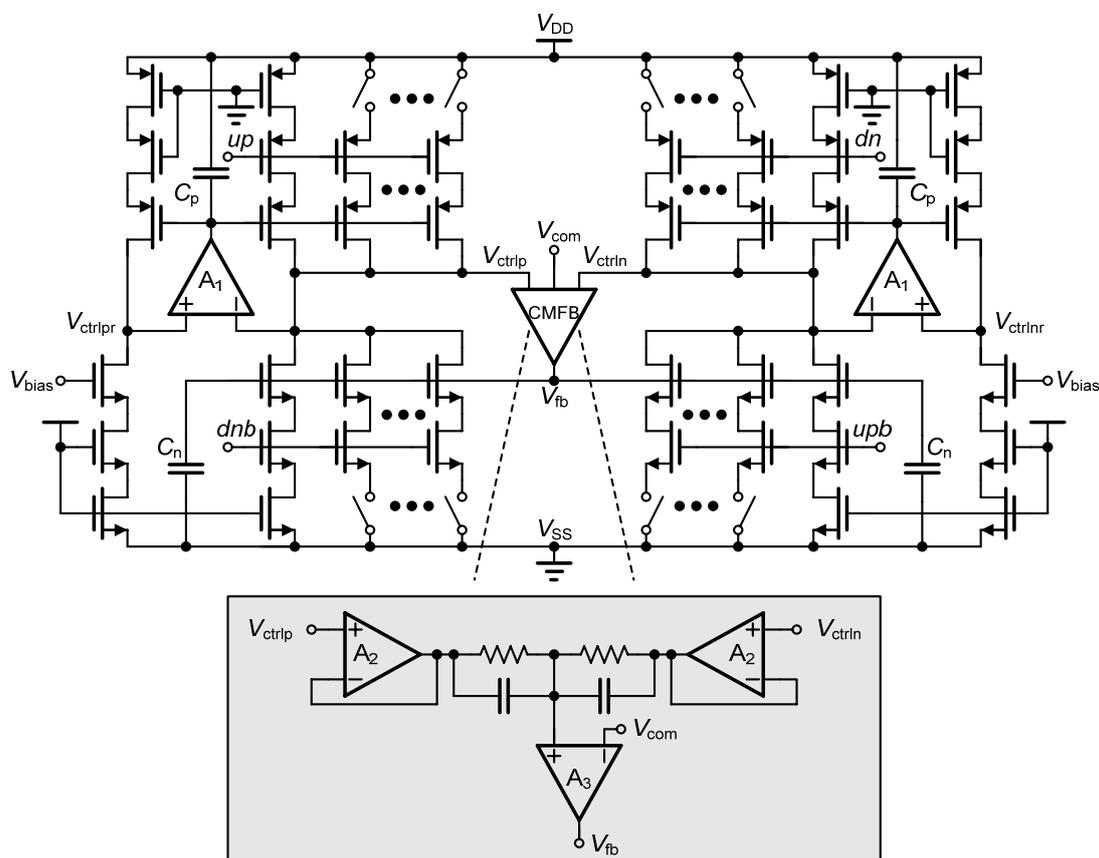


图 4-8 差分电荷泵的电路图

相对于单端电荷泵, 差分电荷泵对共模噪声有更好的抑制程度, 输出电压范围是单端的 2 倍, 但缺点是功耗噪声也是单端的 2 倍。传统的差分电荷泵尽管使用了共模反馈, 但由于沟道长度调制效应的影响, 差分输出电流的失配相对于单端电荷泵反而会增大[63]。在本设计中, 采用了单端电流匹配的差分电荷泵, 如图 4-8 所示[64]。它使用了复制偏置电路, 保证单条支路上下电流源的良好匹配[65]。在局部反馈运放 A_1 的作用下, 轨到轨输出电流的上下支路均匹配良好。电容 C_p 和 C_n 是大的旁路电容, 作用相当于低阻电压源, 在 up 和 $down$ 脉冲到来时, 保证电流源的快速响应。在充电期间, 电流会流入节点 V_{ctrpr} , 从节点 V_{ctrin} 流出, 使得差分压控电压上升。同理, 放电电流使得差分压控电压下降。

在原有的电荷泵基础上, 加入了可编程电流阵列, 补偿分频比从 80 到 160 的变化。可编程的电荷泵电流输出可以从 $62.5\mu\text{A}$ 到 $125\mu\text{A}$, 有 5 比特数字信号控制, 步进电流为 $1.95\mu\text{A}$ 。共模反馈(CMFB)环路用来确保差分电压 V_{ctrpr} 和 V_{ctrin}

的共模稳定性。另外，插入两个单位增益运放 A_2 ，用来隔离压控电压和共模电压采样点电压，保证压控电压不受共模环路工作的干扰。

4.4.4 测试结果

芯片的版图照片如图 4-9 所示，面积为 2.2mm^2 ，不包括 PAD、ESD 保护电路和 I2C 控制器，电源电压为 1.8V。

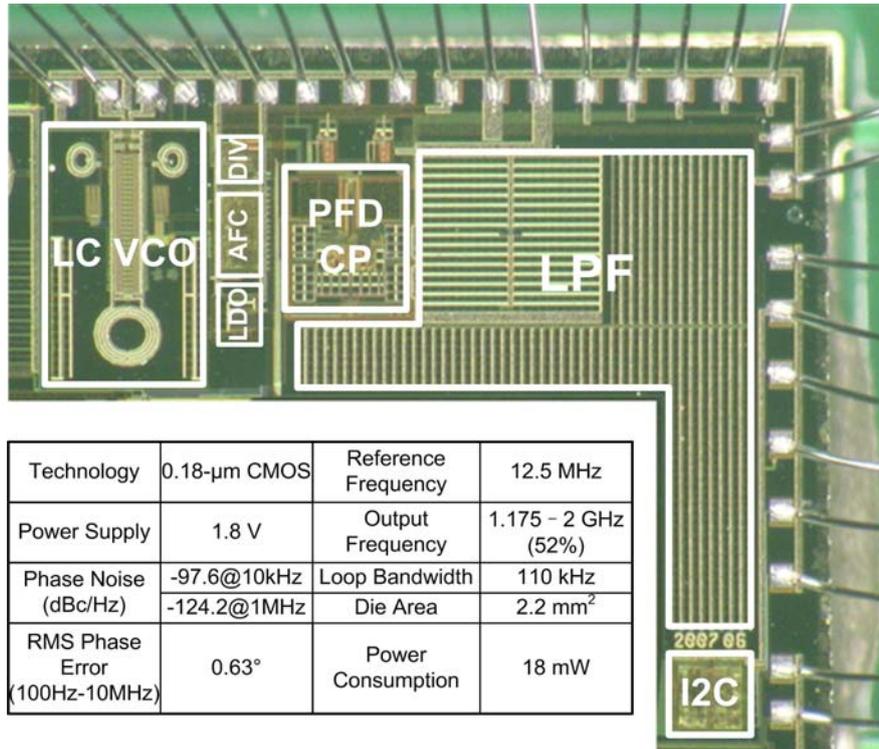


图 4-9 芯片照片和性能总结

测试的频率-电压调谐曲线如图 4-10 所示，包含分频比从 93~163 的 71 个输出频率点。调谐增益为 $70\text{MHz/V}\sim 90\text{MHz/V}$ ，在整个 825MHz 的频率范围内，调谐增益变化小于 12.5%。关于这个调谐增益变化，一种可能的解释是振荡幅度在整个频率范围内并不是恒定的。因此，一个周期内计算得到的平均电容就会有所变化，影响了系数 α_i 和 β_i 的有效性。测试的子带间隔为 50MHz~60MHz，变化小于 4.5%。由于采用了自动频率校正，所有频率点的压控电压均落在 -0.4V 和 +0.4V 内，进一步降低调谐增益的变化。

图 4-11 给出 1.6GHz 输出频率下，仿真和测试的相位噪声比较。频偏 10kHz 处的相位噪声是 -97.6dBc/Hz，频偏 1MHz 处的相位噪声是 -124.2dBc/Hz，从 100Hz 到 10MHz 积分的相位误差均方根值为 0.63°_{RMS} 。仿真和测试曲线吻合较好。从仿真结果来看，频偏 1kHz 以内，参考时钟的噪声占主导；电荷泵噪声在带内频偏占主导；在频偏 30kHz~500kHz 之间，环路滤波器噪声占主导；而频

偏 500kHz 以外，压控振荡器噪声占主导。

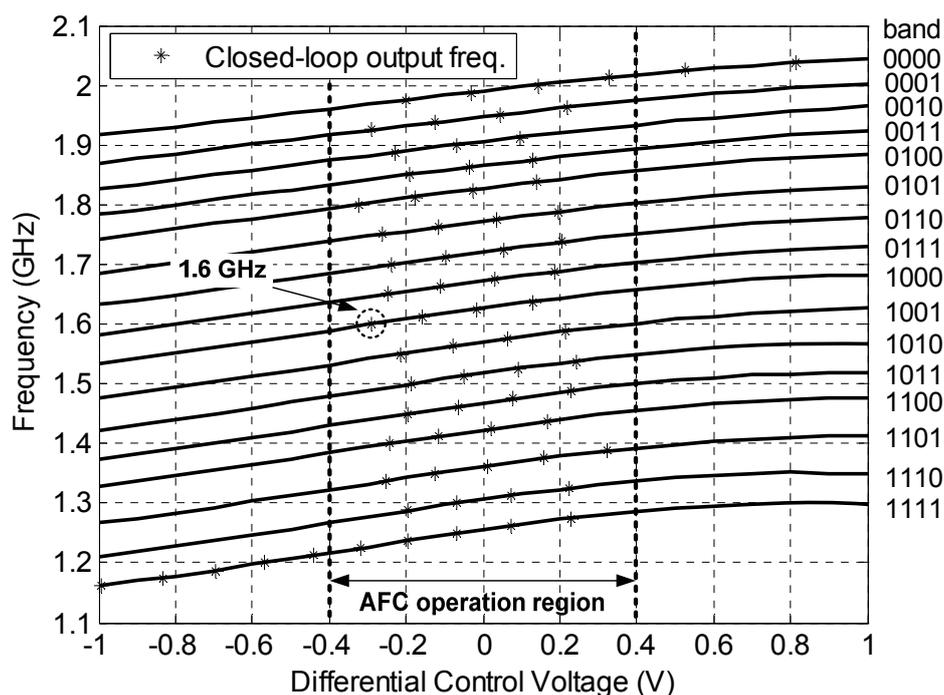


图 4-10 测试的 16 个子带的调谐曲线

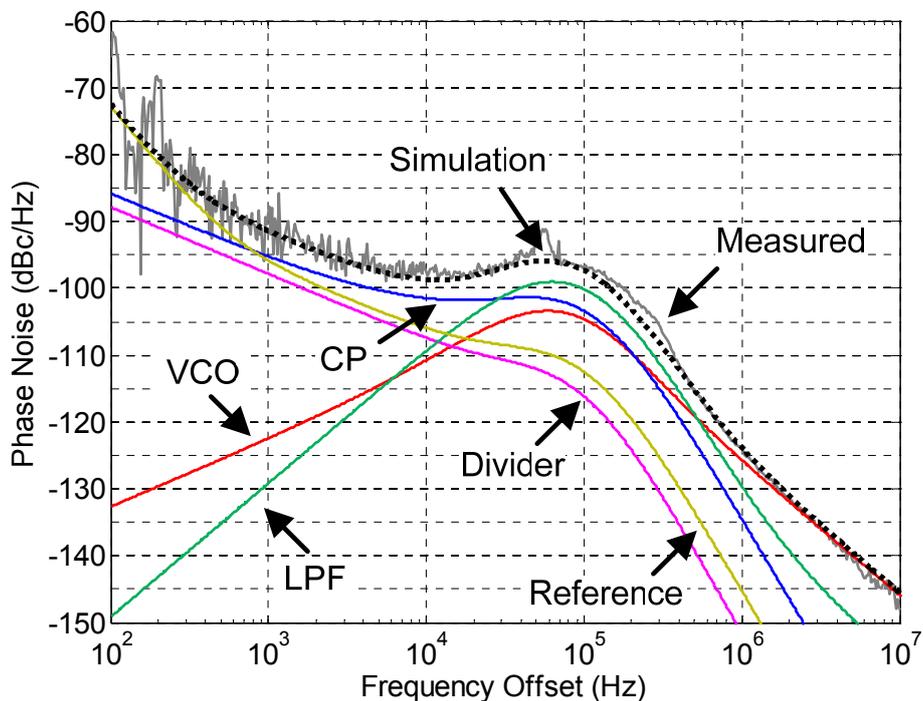


图 4-11 1.6GHz 振荡频率下仿真与测试相位噪声的比较

图 4-12 给出了整个输出频率范围内，测试的频偏 10kHz 和 1MHz 处的相位噪声以及 3dB 带宽。两个点频的相位噪声在整个频率范围都很平坦，变化小于 1dB。闭环 3dB 带宽的平均值为 110kHz，变化小于 9%。

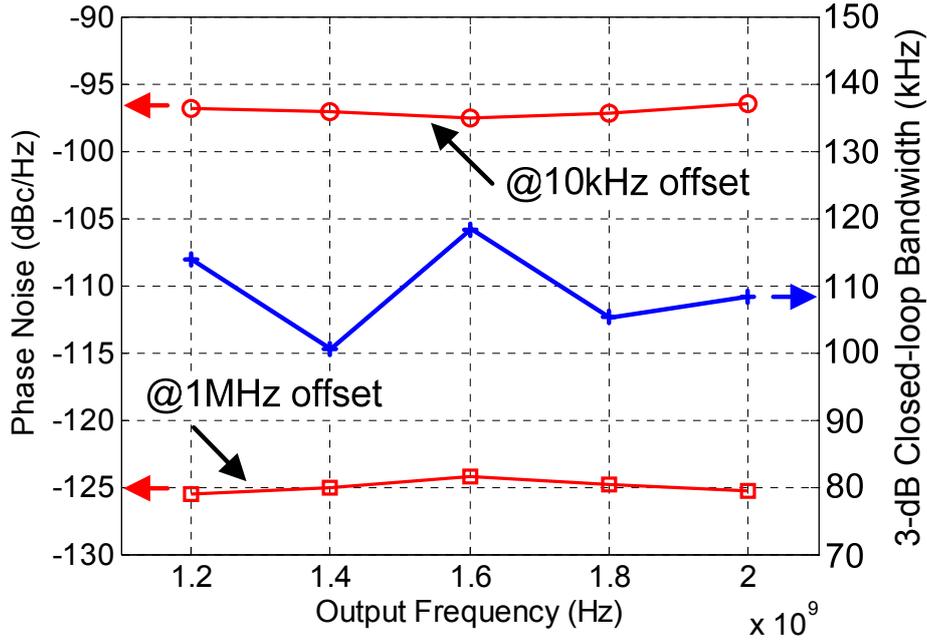


图 4-12 测试的相位噪声和 3dB 环路带宽

表 4-2 宽带频率综合器性能比较与总结

Reference	文献[66]	文献[67]	文献[68]	文献[69]	本设计
Application	DVB-S	ISDB-T	DVB-H	DVB-T	DVB-T
Inegration	Fully-Integrated	Fully-Integrated	Fully-Integrated	Off-Chip LPF	Fully-Integrated
Loop Bandwidth ^a	1 MHz	100 kHz	60 kHz	100 kHz ^b	110 kHz
Output Frequency (Normalized Tuning Range) ^c	2.24–4.48 GHz (66.7)	1.5–3.78 GHz (43.2%)	1.2–1.8 GHz (20%)	1.1–2.2 GHz (22.2%)	1.175–2 GHz (52%)
VCO Core	Ring	Two LCs	Two LCs	Three LCs	Single LC
Tuning Type	Single-Ended	Single-Ended	Single-Ended	Single-Ended	Differential
Phase Noise (dBc/Hz)	-98@100 kHz -100@1 MHz	-88@10 kHz -118@1 MHz	-94@10 kHz -127@1 MHz	-90@10 kHz	-97.6@10 kHz -124.2@1 MHz
RMS Phase Error	0.8°	N.A.	0.5°	1.5°	0.63°
Power Consumption	132 mW	20 mW	N.A.	N.A.	18 mW
Die Area (Exclude PADs)	0.3 mm ²	1.9 mm ²	2.45 mm ²	1.2 mm ²	2.2 mm ² (Exclude I2C)
Technology (CMOS)	0.13- μ m, 3.3V	0.11- μ m, 1.2V	0.18- μ m, 1.8V	0.18- μ m, .8V	0.18- μ m, 1.8V

^a 3dB 环路带宽

^b 未指明哪种环路带宽

^c 总调谐范围除以 VCO 数目

表 4-2 给出了这款宽带频率综合器芯片的性能总结和与其它已发表文献的性能比较。本芯片仅使用了一个 LC 压控振荡器, 并且相对调谐范围达到了 52%。

即使只采用一个振荡器，本芯片也获得最好的相位噪声性能，并且消耗功耗和占用面积也是最小的。除此以外，本芯片采用差分调谐方式抑制了共模噪声。还有一个特点是本芯片采用了本章所述的环路带宽恒定技术，在整个频率范围内，3dB 环路带宽变化很小，压控振荡器的调谐增益和子带间隔也变化很小。

4.5 本章小结

- 1) 指出自然频率 ω_n 和开环截止频率 ω_c 不适合分析 3 阶以上锁相环的环路带宽，提出用近似环路带宽的概念表示闭环的环路带宽，推导了 3 阶和 4 阶锁相环的近似环路带宽表达式；
- 2) 提出了使环路带宽恒定的技术，包括稳定调谐增益、可编程电荷泵电流和自动频率校正，详细分析了调谐增益恒定技术中的系数 α_i 和 β_i 的推导过程，并给出了设计步骤；
- 3) 为验证提出的环路带宽恒定技术，在 0.18- μm 工艺上实现了一款 1.175GHz–2GHz 的整数分频频率综合器芯片。测试结果表明，3dB 环路带宽、调谐增益和子带间隔的变化都很小，相位噪声和积分相位误差的性能都很好，并且在整个频率调谐范围内基本保持不变。

第5章 自动频率校正的研究与设计

摘要：本章内容涉及 1) 各种自动频率校正(AFC)技术的总结；2) AFC 技术的工作原理；3) 直接对压控振荡器时钟计数的方法；4) 讨论并分析频率计数误差和频率误差范围；5) AFC 的设计步骤和评价指标 FOM；6) 芯片验证。

5.1 引言

在射频通信领域，相对于环形压控振荡器，LC 压控振荡器能获得更低的相位噪声。而 LC-VCO 的调谐增益(Tuning Gain)影响其自身相位噪声的大小，调谐增益越小，相位噪声越低[70]。窄带通信协议对锁相环输出频率范围要求较窄，因此 LC-VCO 的调谐增益也较小。而宽带应用如数字电视调谐器(Digital TV Tuner)和软件无线电(Software Defined Radio, 简称 SDR)等多模多带应用，对频率范围的要求很宽。如果仍采用一根调谐曲线，将会产生很大的调谐增益，势必会恶化相位噪声性能。通常的做法是在 LC-VCO 中采用数字控制的开关电容阵列(Digital Controlled Capacitor Array, 简称 DCCA)，将一根调谐曲线划分成多根调谐曲线(多个子带)，降低调谐增益[71]。在覆盖宽带输出频率范围的同时，有效地提高相位噪声性能。另外，采用开关电容阵列的 LC-VCO 还可以拓展其调谐范围，克服工艺、电压和温度(Process, Voltage and Temperature, 简称 PV)变化带来的频率偏差影响。

但是采用多带 LC-VCO 的锁相环会带来另外一个问题，就是在输出所需频率之前必须先选择输出子带。输出子带选定之后才能通过细调谐(Fine Tuning)环路精确地输出所需频率，因此需要额外的机制来设置其子带的数字控制码。选择输出子带的过程即构成粗调谐(Coarse Tuning)控制部分。典型的分数分频频率综合器系统框图如图 5-1 所示，包括鉴频鉴相器(Phase-Frequency Detector, 简称 PFD)、电荷泵(Charge Pump)、环路滤波器(Loop Filter)、压控振荡器(Voltage-Controlled Oscillator, 简称 VCO)、分频器(Divider)和 $\Delta\Sigma$ 调制器(Delta-Sigma Modulator, 简称 DSM)，这些模块构成锁相环的细调谐环路。带有粗调谐控制的锁相环工作过程如下：当锁相环路上电或者复位时，开关 S_1 闭合 S_2 断开，压控电压连接到固定参考电压 V_{ref} 上，粗调谐环路开始工作，选择出目标频率所在的压控振荡器子带；AFC 工作结束后，输出子带已经选定，开关 S_1 断开 S_2 闭合，鉴频鉴相器、电荷泵等电路模块连接到环路中，细调谐环路开始工作，继续模拟环路过程，完成对所需频率的精确锁定。

选择输出子带的过程称为自动频率校正(Automatic Frequency Calibration, 简称 AFC)技术。自动频率校正通常指的是锁相环路中的粗调谐部分，它既可以

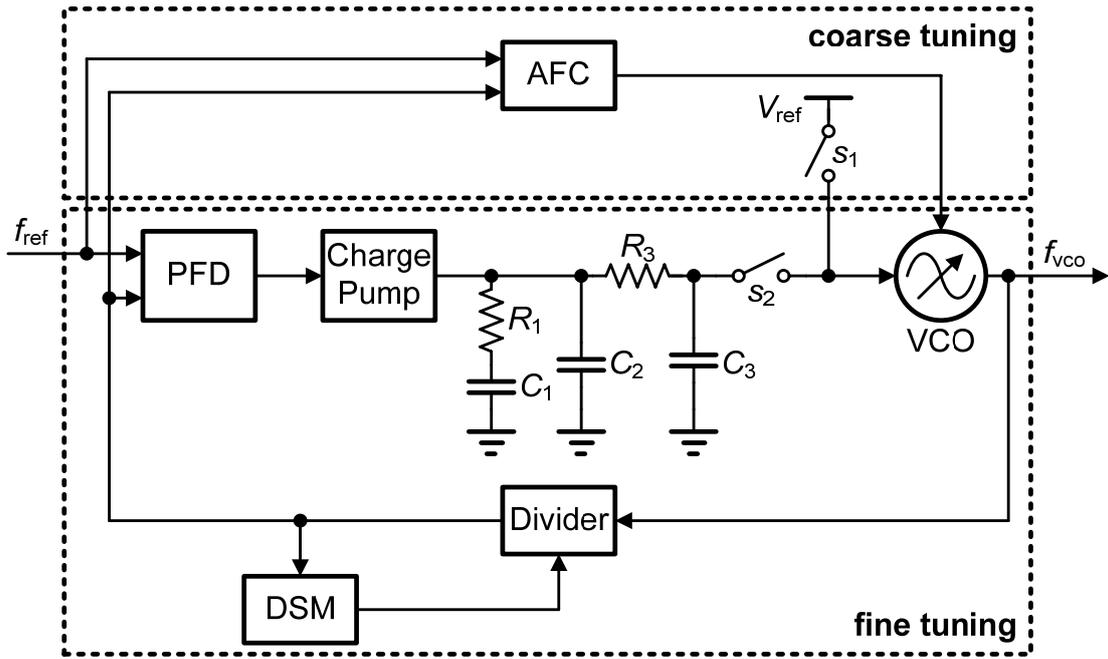


图 5-1 带有粗调谐控制的典型分数分频频率综合器系统框图

控制环形压控振荡器[72]–[78]，也可以控制 LC 压控振荡器。有些文献也使用了“粗调谐”的概念[79][80]，如在 LC -VCO 中采用两种不同尺寸的可变电容器，粗调谐控制端所在环路采用高带宽、高增益结构以获得较快的锁定时间，但这仅仅是使用另一个环路加速锁相环锁定。我们所述的自动频率校正主要是对多带 LC -VCO 进行控制，利用自动频率校正算法自动地选择出输出频率所在的子带。本章所指的自动频率校正指的就是针对采用数控开关电容阵列的多带 LC -VCO 的自动频率校正算法。

自动频率校正也称作自适应频率校正(Adaptive Frequency Calibration)或自动频率控制(Automatic Frequency Control)，这些统称为 AFC。AFC 可以利用模拟和数字两种方法实现。相对于模拟 AFC 方法受工艺失配和温度变化影响较大等缺点[81]–[84]，数字 AFC 方法更容易实现，并且能在低电压深亚微米甚至纳米 CMOS 工艺下方便地进行工艺转移[85]–[98]。本章主要讨论的是数字 AFC 调谐方法。

但是，目前所有的数字 AFC 技术都存在分数分频频率综合器带来的残留分数误差(Residual Fractional Error)的缺点。传统的 AFC 技术原理如图 5-2 所示。在一个单位计数时间内，分别对参考时钟 f_{ref} 和反馈时钟 f_{div} 计数并比较，然后根据比较结果移动压控振荡器的子带。经过多次比较之后，覆盖所需频率的子带就能够被正确地选择出来。在整数分频模式下，分频器的分频比始终不变，反馈时钟 f_{div} 等于压控振荡器时钟 f_{vco} 除以整数分频比 N 的比值。然而在分数分频模式下，分频比为 $N.F$ (N 为整数， $.F$ 是介于 0 和 1 之间的分数)。由 $\Delta\Sigma$ 调制器控制的分频比是不断变化的整数，而其长时间的平均值才等于 $N.F$ ，因此反馈时钟 f_{div}

是一个不断变化的值。需要注意：在一个固定的时间内很难对一个变化的时钟进行计数。所以，在分数分频模式下，AFC 工作时 $\Delta\Sigma$ 调制器是不工作的。因此忽略分频比中的分数部分 $.F$ ，导致频率选择结果会出现残留分数误差 $.F \times f_{\text{ref}}$ ，最大会出现 $1 \times f_{\text{ref}}$ 的误差，最终有可能导致失锁的情况。为解决上述问题，本章提出基于分频比的 AFC 技术，它能有效地降低残留分数误差的值[99]。

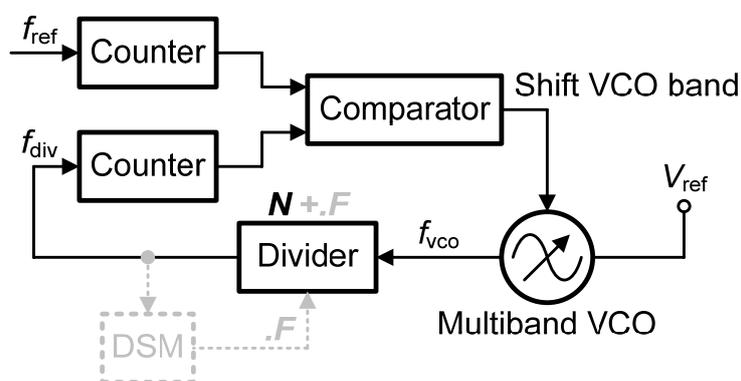


图 5-2 传统的自动频率校正技术

锁定时间是 AFC 的另一个重要指标。锁相环的锁定时间包括 AFC 建立时间 T_{AFC} 和模拟细调谐建立时间两个部分。若满足某些快速锁定的应用， T_{AFC} 必须尽可能地短。文献[85]最早给出一种自动频率校正算法，但是没有明确说明状态机的搜索如何实现；文献[86]–[91]采用线性搜索算法控制状态机，这种算法在最坏情况下每一个子带都会经历，因此 AFC 时间为指数级；文献[92]和[93]提出二进制搜索(Binary Search)算法，把 AFC 的建立时间缩短到线性级；文献[94]和[95]在二进制搜索的基础上进行改进，提出带有预测编码的二进制算法，进一步缩短建立时间；文献[96]提出一种“目标- N ”的算法，将目标值和选择值之间的差值加在选择值上，再通过细调谐进行校正，避免了比较次数与子带数目的相关性，也能有效地缩短 AFC 时间；文献[97]根据比较数的冗余原理，缩短部分单位计数时间，把 T_{AFC} 缩短到 2~3 个完整的单位计数时间。以上所述的数字 AFC 技术都是对 VCO 分频后的时钟进行计数，而本章采用对 VCO 时钟直接计数，大大缩短 AFC 的建立时间[98]。

此外，初始边沿不对齐的计数会产生频率计数误差，这个问题在当前文献中很少有报道。所以 AFC 的误差分析在本章中会详细讨论。

本章关于自动频率校正技术做了以下工作：首先分析提出的基于分频比的 AFC 算法的工作原理，其次对频率计数误差进行详细的分析，接下来给出一般的 AFC 设计步骤和衡量 AFC 性能的品质因数(Figure of Merit, 简称 FOM)，最后在一款宽带分数分频频率综合器上验证所提出的 AFC 技术。

5.2 提出的自动频率校正技术

5.2.1 工作原理

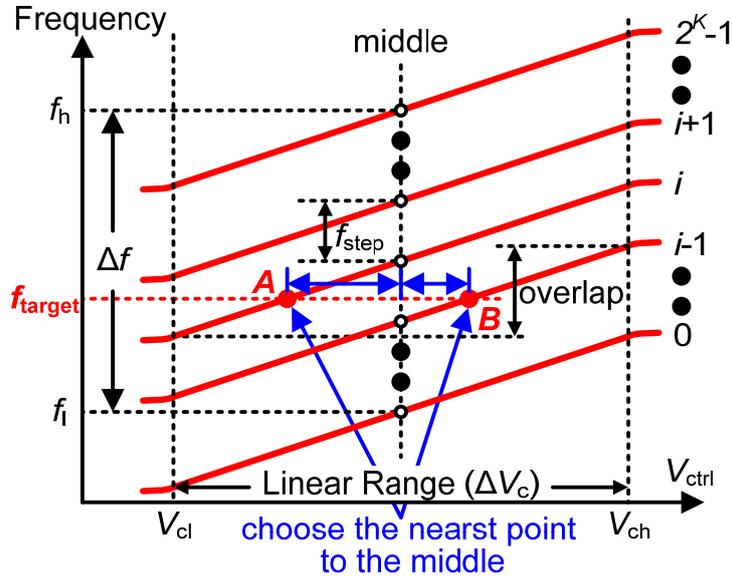


图 5-3 多带 LC 压控振荡器的频率-电压调谐曲线

图 5-3 所示为一个 K 比特的多带 LC 压控振荡器的频率-电压调谐曲线。相邻两个子带中心频率的差定义为子带间隔 f_{step} ，由下式得到

$$f_{\text{step}} = \frac{\Delta f}{2^K - 1} \quad (5.1)$$

其中 Δf 是压控振荡器的输出频率范围，也就是最高频率子带中心频率 f_h 和最低频率子带中心频率 f_l 之差。需要注意的是相邻两个子带应该具有一定的频率交叠以避免“盲区” [100]，下面用交叠率(Overlapping Ratio, 简称 OLR)表示两相邻子带的频率交叠程度

$$\text{OLR} = 1 - \frac{f_{\text{step}}}{K_{\text{vco}} \cdot \Delta V_c} \quad (5.2)$$

其中 K_{vco} 是压控振荡器单根子带的调谐增益， ΔV_c 是压控电压的线性控制范围。通常需要较大的交叠率来抑制工艺和温度的变化，确保所选中心频率可以落在子带中心频率附近。因为 K_{vco} 需要足够低以降低相位噪声，离散的子带间距 f_{step} 也需要足够小以确保大的交叠率，所以为覆盖宽频率输出范围，需要更多的子带数目来降低 f_{step} 。这样，所需频率可以同时落在多个子带上，有必要对这些子带进行比较并选择出最优的子带。

由于可变电容的电容-电压曲线的非线性，每根子带的调谐增益在整个压控电压范围内并不保持一致。其在压控电压中间有一个峰值，然后依次向压控电压

的两端衰减。对于每根调谐曲线，中间附近的区域是比较线性的。在第 4 章中已经指出，为恒定环路带宽和保证环路稳定，调谐增益在每根调谐子带的中间需要保持一致。因此，自动频率校正还需要比较每个子带的中心频率并选择出其中最接近所需频率的那根子带。在图 5-3 中， f_{target} 是目标频率，同时被第 i 个子带的 A 点和第 $i-1$ 个子带的 B 点覆盖。而 B 点的压控电压比 A 点的压控电压更接近中心，因此应该最终选择包含 B 点的第 $i-1$ 个子带，而不是包含 A 点的第 i 个子带。通常来说，只要任意相邻两个子带的交叠率能超过 50%，所有输出频率点就能落在调谐曲线的中间附近。

本章提出的 AFC 框图如图 5-4 所示。与传统的对参考时钟 f_{ref} 和分频器反馈时钟 f_{div} 计数不一样，参考时钟 f_{ref} 先经过 p 次分频，得到一个单位计数时间 T_{cnt} ，时间长度等于 $p \times T_{\text{ref}}$ 。在这里， p 是一个整数， T_{ref} 是参考时钟 f_{ref} 的周期。然后在时间 T_{cnt} 内，直接对 VCO 的输出时钟 f_{vco} 的上升沿或者下降沿计数，把计数得到的值记为 N_{cnt} 。另一方面，目标频率由分频比决定(输入参考频率已知)，直接由分频比 $N.F$ 的一部分 $N.F_{\text{dec}}$ 译码，得到的值记为 N_{dec} ，并等于 $p \times N.F_{\text{dec}}$ ，如图 5-5 所示。接下来计算 N_{cnt} 和 N_{dec} 的差值，并记为 δ ，再根据这个差值向上或向下移动压控振荡器的子带。

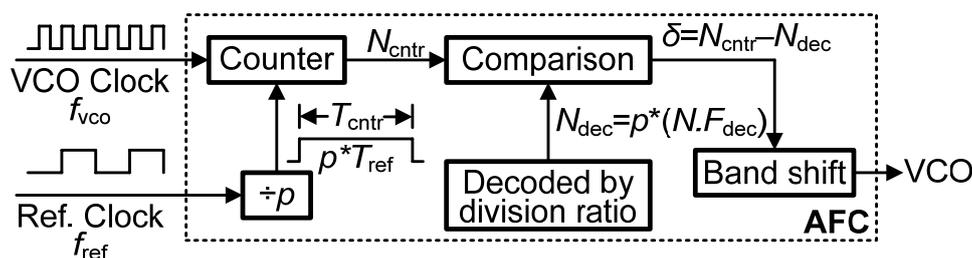


图 5-4 提出的自动频率校正技术框图

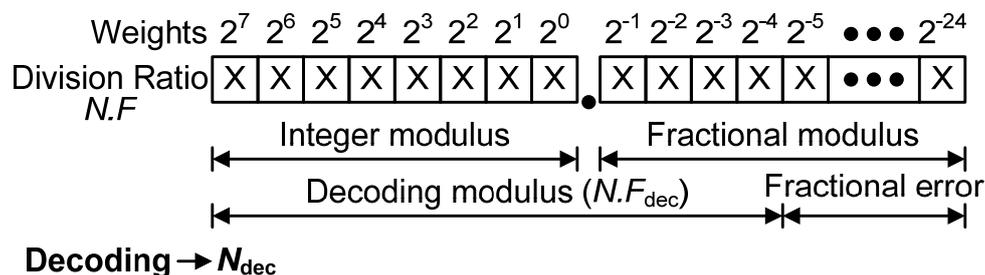


图 5-5 从分频比 $N.F$ 中译出 N_{dec}

这个原理的核心思想是当锁相环频率锁定时，输出频率 f_{vco} 等于参考频率 f_{ref} 乘以分频比 $N.F$ ，那么在 $p \times T_{\text{ref}}$ 的时间周期内，目标频率的计数值应该接近 $p \times N.F$ 。需要注意的是译码得到的值 N_{dec} 应当是一个整数，因此 p 乘以 F 的值也应该是一个大于 1 的整数。而 F 由二进制表示，所以 p 的取值为 2 的整数次幂。

理论上说, 如果保证 F 的最低有效位(Least Significant Bit, 简称 LSB)的精度被译码出来, 那么将不存在残留分数误差。但是 p 要大于 2^{24} (分数长度为 24 比特), 并将导致极其长的单位计数时间 T_{ctr} 。因此这里采取折衷, 只译码 F 的 4 位最高有效位(Most Significant Bit, 简称 MSB), p 最小可取整数 16。剩下的未译码的分数部分就构成了残留分数误差, 使得最大残留分数误差为 $2^{-4} \times f_{\text{ref}}$, 与传统结构相比降低为原来的十六分之一。

AFC 的工作流程图如图 5-6 所示, 采用二进制搜索算法降低比较次数。第一次比较时, 在单位计数时间 T_{ctr} 中直接对 VCO 输出时钟 f_{vco} 计数, 计数值 N_{ctr} 和分频比的译码值 N_{dec} 进行比较, 根据 δ_1 的正负极性移动压控振荡器的子带, 并保存差值 $|\delta_1|$ 。第二次计数值和译码值的差 $|\delta_2|$ 与 $|\delta_1|$ 比较, 取两者中的较小值存入 $|\delta|_{\text{min}}$ 。之后的每次计数、比较, 把当前得到的差值 $|\delta|$ 与之前的差值 $|\delta|_{\text{min}}$ 进行比较, 取两者中的较小值存入 $|\delta|_{\text{min}}$ 。因此, 当前的差值 $|\delta|$ 总是与之前所有比较中的最小值进行比较。事实上, $|\delta|$ 是判断当前子带中心频率与目标频率差值的一个量。 $|\delta|$ 越小, 当前子带中心频率便越接近目标频率。与此同时, 每次比较之后, 如果当前 $|\delta|$ 值小于等于 1, 就终止比较过程, 结束 AFC 工作。这是因为异步计数会带来频率计数误差, $|\delta|$ 值小于等于 1 已经超出计数精度。最坏情况下, 根据传统的二进制搜索算法, 总的 AFC 建立时间 T_{AFC} 等于 $(K-1) \times T_{\text{ctr}}$ 。但这会导致之前所述的中心频率并非最接近目标频率的子带被选中, 即图 5-3 中第 i 个子带被选中。

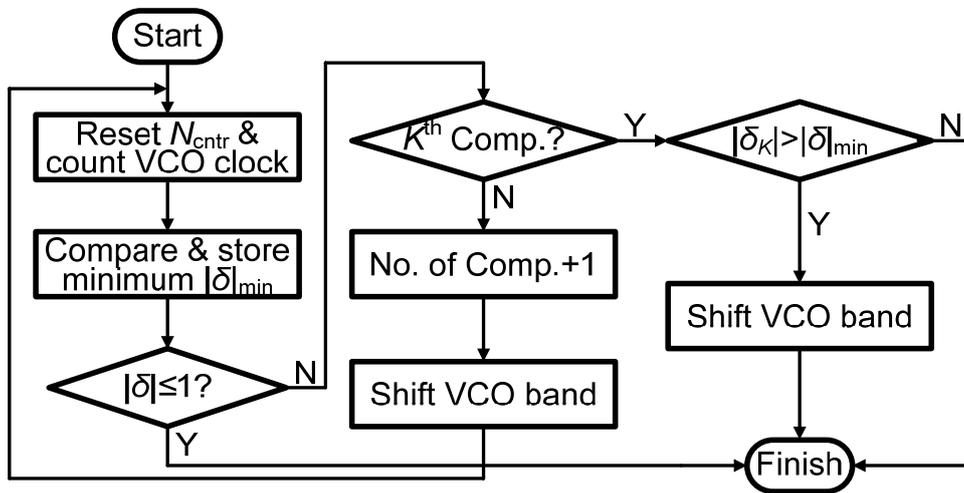


图 5-6 自动频率校正的算法流程图

为解决这个问题, 需改进传统的二进制搜索算法。在第 $K-1$ 次比较之后, 再增加一次即第 K 次计数、比较过程, 将差值 $|\delta_K|$ 与 $|\delta|_{\text{min}}$ 比较。如果 $|\delta_K|$ 大于 $|\delta|_{\text{min}}$, 继续移动压控振荡器的子带, 反之则保持当前子带不变。如此可以保证中心频率最接近目标频率的子带被选中, 这也是要设置 $|\delta|_{\text{min}}$ 的原因。如果不设置 $|\delta|_{\text{min}}$, 只能保证覆盖中心频率的子带被选中。但是 $|\delta|_{\text{min}}$ 可以表征计数频率与目标频率

的差值，因此通过 $|\delta|_{\min}$ 的设置可以将中心频率与目标频率差值最小的子带被选中，从而达到选择最优子带的目的。

为了更好地解释最优子带如何被选中，图 5-7 给出一个 4 比特二进制搜索算法的状态机例子。圆圈里的数字表示第几个子带，4 比特包含 16 个子带，为 0~15，0 代表最低频率子带，15 代表最高频率子带。假定目标频率在子带 4 和子带 5 的中心频率之间，但是更接近子带 4 的中心频率。首先对中间子带即子带 8 的中心频率计数，第一次比较后，将第二次待计数子带移动到子带 4，并把 $|\delta_1|$ 保存到 $|\delta|_{\min}$ ；第二次比较后，将第三次待计数子带移动到子带 6，并把 $|\delta|_{\min}$ 改为 $|\delta_2|$ ；第三次比较后，将第四次待计数子带移动到子带 5，而 $|\delta|_{\min}$ 仍旧为 $|\delta_2|$ ；第四次比较后，因为 $|\delta_4|$ 大于 $|\delta|_{\min}$ ，继续将子带 5 移动到子带 4。如果没有设置 $|\delta|_{\min}$ ，最终可能将非最优的子带 5 选出来。

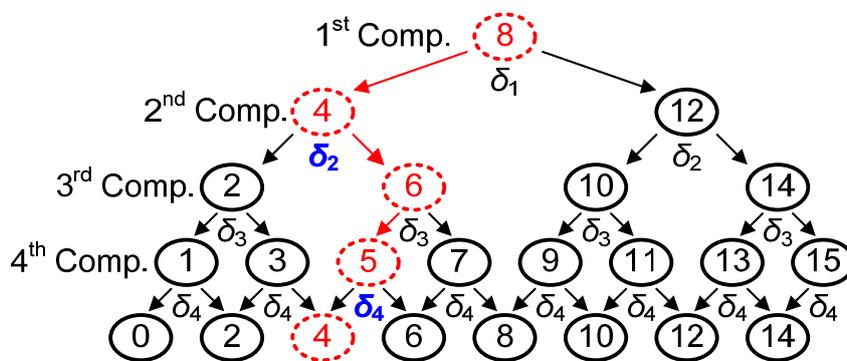


图 5-7 改进的 4 比特二进制搜索算法状态机

5.2.2 直接对 VCO 时钟计数

对于频率综合器快速锁定的应用，AFC 的建立时间是一个非常重要的指标。传统的结构分别对参考时钟 f_{ref} 和分频器时钟 f_{div} 计数并进行比较，这需要很长的时间才能将它们的快慢区分出来。直接对 VCO 时钟计数可以获得最快的建立时间，但由于 VCO 时钟频率通常高达数吉赫兹(GHz)，使得直接对 VCO 时钟计数比较困难。一般而言，计数器包括同步和异步两种计数器，若采用同步计数器，由于每个触发器都工作在最高时钟，功耗大大增加；若采用异步计数器，由于异步电路会带来时钟偏移(Time Skew)，对于高速时钟并不合适，得到的计数值在某一时刻不一定是实际计数值，导致计数错误。

因此，本章的解决办法是在采用异步计数器的基础上加入计数、保持功能，能同时拥有高速和低功耗的特点。带有计数、保持功能的高速异步计数器电路如图 5-8 所示，它由一个分配器 MUX 和若干 D 触发器组成，D 触发器的输入 D 端和输出 \bar{Q} 端连接构成除 2 分频器。

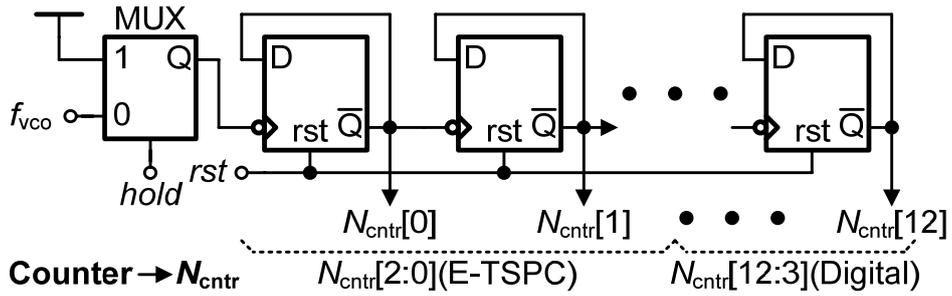


图 5-8 对 VCO 时钟直接计数的高速异步计数器

图 5-9 给出这个异步计数器的时序控制图，其中 *read* 是对计数器进行读取的信号，*sft* 是移动压控振荡器子带的信号。

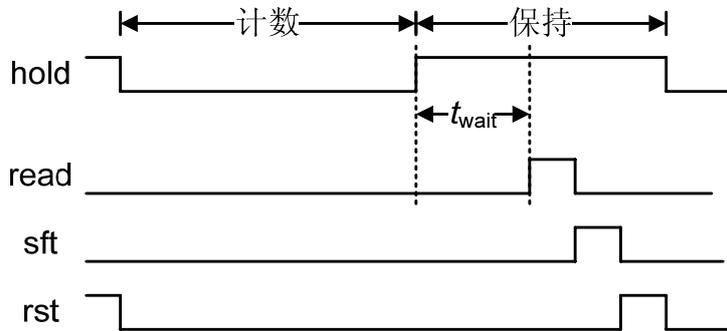


图 5-9 高速异步计数器控制时序图

首先，压控振荡器输出时钟 f_{vco} 经过分配器 MUX，*hold* 信号为“0”时选择 f_{vco} ，为“1”时选择高电平输出。这样，*hold* 信号为低电平“0”的时间长度就构成了一个时间窗口，在这个时间窗口内对 f_{vco} 计数。当 *hold* 信号为高时，MUX 不再输出时钟，进入保持状态。因为每一个除 2 分频器都存在延时，只有当每一个除 2 分频器的输出状态保持不变时才能读数，因此需要等待一段时间 t_{wait} ，直到最后一级异步计数器状态不再改变为止。假定每级除 2 分频器的延时为 t_d ，一共 13 级，所以等待时间 t_{wait} 至少要大于 13 个 t_d 之和。等待 t_{wait} 时间之后，读取此时的计数值 $N_{ctr}[12:0]$ ，将读到的数 $N_{ctr}[12:0]$ 与 N_{dec} 比较并相应地移动压控振荡器的子带。最后，发送一个复位信号 *rst*，将所有除 2 分频器状态清零，等待下一次对 f_{vco} 计数。其中，等待时间、读取、移动子带和复位都在保持状态下进行。之后，保持状态结束，再次进入计数状态。需要注意的是，这里采取的是对时钟下降沿计数，而且除 2 分频器复位后输出初始值为高电平。

分配器的电路图如图 5-10 所示，*holdb* 是 *hold* 的反相信号。当 *holdb* 为高时，输入信号 *in* 传到输出 *out*；当 *holdb* 为低时，输入信号被屏蔽，输出为高。为节省功耗和提高工作频率，前三级除 2 分频器采用扩展的真正单相位时钟 (Extended True-Single-Phase-Clock，简称 E-TSPC) 逻辑电路实现，其余的分

频器采用数字电路实现。

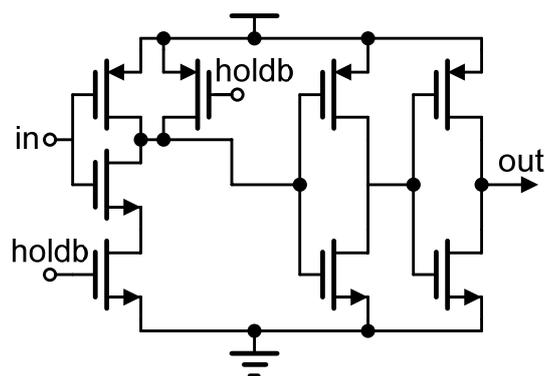


图 5-10 分配器的电路图

E-TSPC 结构的电路图如图 5-11 所示, clk 是输入时钟信号, $rstb$ 是 rst 的反相信号。它的核心结构包括三级 6 个 MOS 管, 每级由一个 PMOS 管和一个 NMOS 管组成, 三级的输出分别命名为 S_1 、 S_2 和 S_3 。额外增加一个 $rstb$ 用于复位的 MOS 管, 以及输出接两级反相器, 增强后级的驱动能力。同 TSPC 电路结构相比, E-TSPC 结构少了三个 MOS 管, 负载电容减小。其优点是具有更高的工作频率, 缺点是除了开关功耗之外, 还增加了短路功耗。对于固定的 MOS 管尺寸, 开关功耗由工作频率决定, 而短路功耗仅由 MOS 管尺寸决定[101]。因此, 可以通过优化 MOS 管尺寸, 降低短路电流。事实上, AFC 工作结束后可以令它关闭, 这样不再消耗任何功耗。

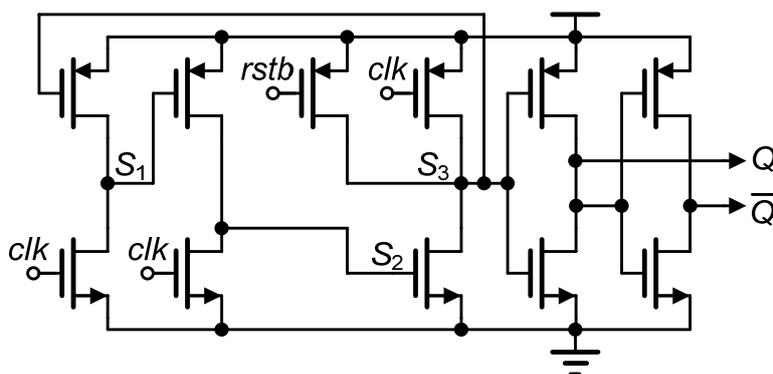


图 5-11 E-TSPC 结构的除 2 分频器

图 5-12 给出 E-TSPC 除 2 分频器的工作时序图, 阴影部分代表消耗短路电流的状态。每个周期内, 每一级都有半个时钟周期在消耗短路电流, 并且是轮流发生。另外, 在设计每一级 MOS 管尺寸时, 需要注意 PMOS 宽长比和 NMOS 宽长比的比值, 以满足每级消耗短路电流时输出逻辑电平的需要。

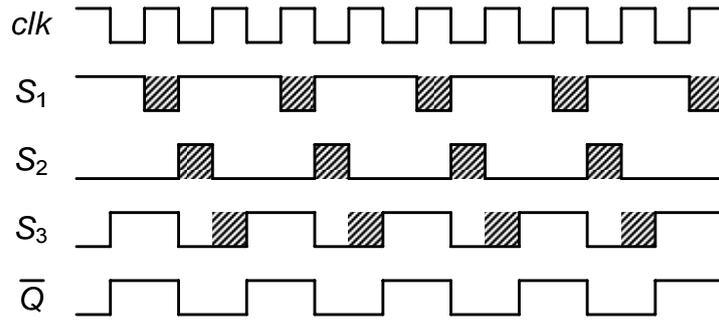


图 5-12 E-TSPC 结构除 2 分频器的工作时序图

5.3 误差分析

在每个 T_{cntr} 的时间内对 f_{vco} 计数，由于参考时钟和压控振荡器输出时钟的非相关性，源于两个异步时钟初始边沿不对齐的原因，频率计数误差总是存在。异步时钟计数的时序图如图 5-13 所示。

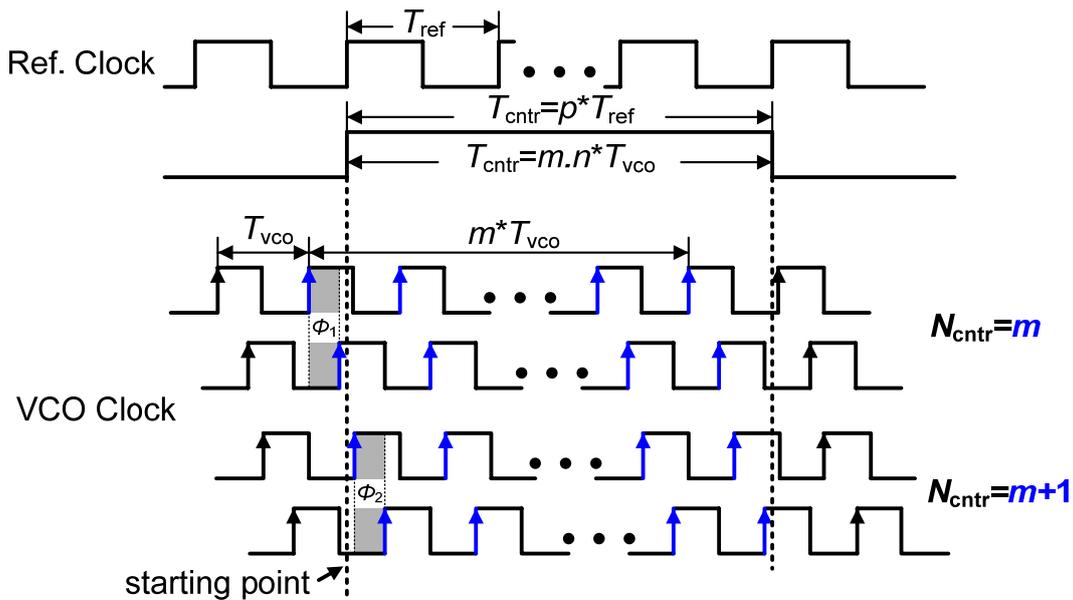


图 5-13 异步时钟计数的频率计数误差时序图

假定 T_{cntr} 等于 $m.n \times T_{\text{vco}}$ ，其中 m 是整数， n 是介于 0 和 1 之间的分数。在单位计数时间 T_{cntr} 内，对 f_{vco} 的上升沿次数计数。如果 f_{vco} 的初始边沿超前参考时钟半个 T_{vco} 之内，即在相位 Φ_1 期间，总共计得 m 个上升沿；如果 f_{vco} 的初始边沿滞后参考时钟半个 T_{vco} 之内，即在相位 Φ_2 期间，总共计得 $m+1$ 个上升沿。可以看出，对于 $m.n$ 倍 T_{vco} 的时间内，由于异步边沿计数的特性，仅仅能计得 m 或 $m+1$ 个边沿次数，因此也就设置了如下的两个频率边界

$$\frac{m}{T_{\text{cntr}}} \leq \frac{m.n}{T_{\text{cntr}}} < \frac{m+1}{T_{\text{cntr}}} \quad (5.3)$$

频率计数误差(Frequency Counting Error, 简称 FCE)表示计得频率与实际频率之差, 最大频率计数误差 ε 可以表示为

$$\varepsilon = \frac{1}{T_{\text{cntr}}} = \frac{f_{\text{ref}}}{\rho} \quad (5.4)$$

式(5.4)意味着单位计数时间 T_{cntr} 越长, 频率计数误差 ε 越小。注意到 ε 与 VCO 的时钟 f_{vco} 并无关系。对于恒定的 T_{cntr} 和变化的 f_{vco} , 可能的计数值如图 5-14 所示。待计数时钟 f_{vco} 作为一维坐标, 相邻两个坐标之间是频率计数误差 ε , 坐标 m/T_{cntr} 是参考点, 频率计数值 N_{cntr} 为 m 。在距离参考点小于一个 ε 的频率范围内, 计数值 N_{cntr} 为 m 或 $m+1$, 与参考点的频率计数差值 δ 可能为 0 或 1; 在距离参考点大于一个 ε 、小于 2 个 ε 的频率范围内, 计数值 N_{cntr} 为 $m+1$ 或 $m+2$, 频率计数差值 δ 可能为 1 或 2; 依此类推, 在距离参考点大于 4 个 ε 、小于 5 个 ε 的频率范围内, 计数值 N_{cntr} 为 $m+4$ 或 $m+5$, 频率计数差值 δ 可能为 4 或 5。

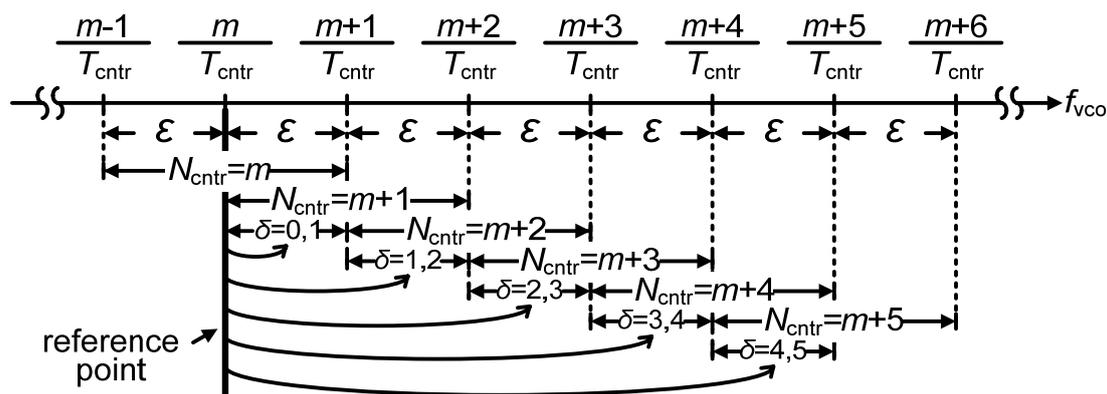


图 5-14 频率计数误差引起的可能计数值

考虑到可能的计数值, 图 5-15 给出压控振荡器的相邻两个子带之间的频率误差范围(Frequency Error Range, 简称 FER)。其中, f_{vco1} 是压控振荡器中某根子带(子带 1)的中心频率, f_{vco2} 是比子带 1 高一个子带(子带 2)的中心频率, 并且假定目标频率在 f_{vco1} 和 f_{vco2} 之间。另外, δ_1 表示目标频率与 f_{vco1} 的频率计数差值, δ_2 表示目标频率与 f_{vco2} 的频率计数差值。频率误差范围表示一个模糊的频率区域(图中阴影部分), 如果目标频率落在该频率区域中, 难以判定更接近 f_{vco1} 或更接近 f_{vco2} 。也就是说, 如果 δ_1 和 δ_2 出现可能相等的值, 那么频率计数误差 ε 的存在将导致这个频率区域超出频率计数的精度。举例说明, 当 f_{step} 等于 3ε 时, 在中间的阴影区域, 假定目标频率更接近 f_{vco1} , 但是如果 δ_1 为 2 而 δ_2 为 1, 就会错误地认为目标频率更接近 f_{vco2} ; 当 f_{step} 等于 4ε 时, 在 δ_1 的可能值

为 2、3 和 δ_2 的可能值为 1、2 的区域中，目标频率更接近 f_{vco2} ，但是如果计得的 δ_1 和 δ_2 都等于 2，那么 f_{vco1} 可能最终会被选中。除此以外，只要 δ_1 或 δ_2 小于等于 1，就会立即选择子带 1 或子带 2 作为最终的子带，并终止 AFC 工作。

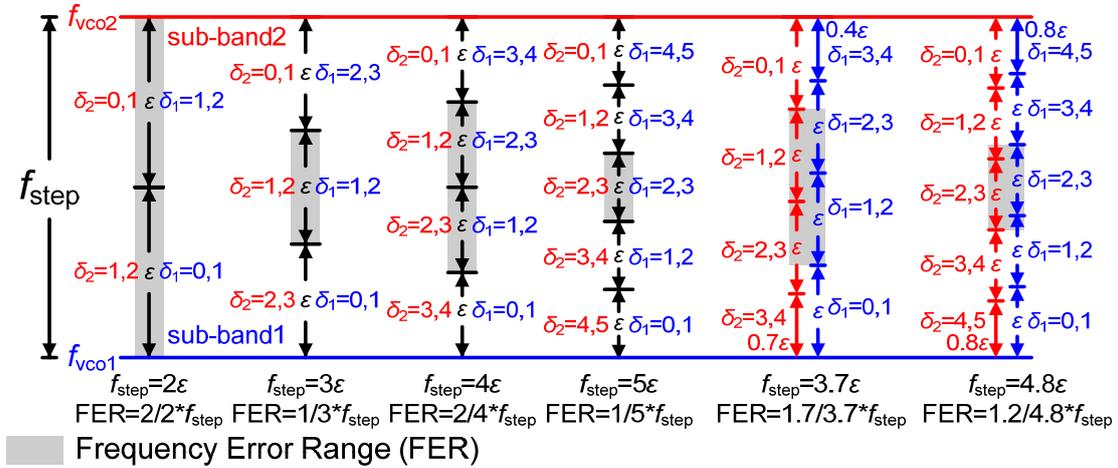


图 5-15 两个相邻子带的频率误差范围

另外，图 5-15 还给出 f_{step} 分别等于 2ϵ 、 3ϵ 、 4ϵ 、 5ϵ 、 3.7ϵ 和 4.8ϵ 时的频率误差范围，分别为 $2/2 \times f_{step}$ 、 $1/3 \times f_{step}$ 、 $2/4 \times f_{step}$ 、 $1/5 \times f_{step}$ 、 $1.7/3.7 \times f_{step}$ 和 $1.2/4.8 \times f_{step}$ 。根据这个变化规律，我们可以得到频率误差范围和 f_{step} 之间的关系如下

$$FER = \begin{cases} \frac{1+.k}{j.k} \times f_{step}, & j \text{ is an odd integer} \\ \frac{2-.k}{j.k} \times f_{step}, & j \text{ is an even integer} \end{cases} \quad (5.5)$$

其中， $j.k$ 等于 f_{step} 除以 ϵ ， j 是一个自然数， $.k$ 是一个介于 0 和 1 之间的分数。从式(5.5)中可以看出， j 为奇数或偶数时 FER 的表达式是不同的，因此 FER 并不随 $j.k$ 的增大而单调减小，而是振荡下降的过程。

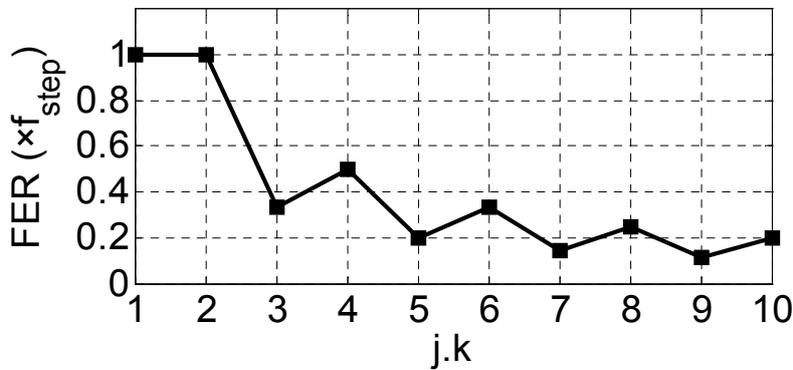


图 5-16 频率误差范围的变化趋势图

图 5-16 给出 $j.k$ 从 1 到 10 的频率误差范围的变化趋势图。有如下特点：当 $j.k$ 小于等于 2 时，整个 f_{step} 都属于频率误差范围；当 j 为大于 2 的奇数或偶数时，FER 随着 $j.k$ 的增大而单调下降；当 j 等于自然数时，FER 随着 $j.k$ 的增大而交替振荡下降。

5.4 设计步骤和 FOM

本章提出的 AFC 算法，包括单位计数时间 T_{ctr} 、频率计数误差 ε 、频率误差范围 FER、 N_{ctr} 和 N_{dec} 等参数，互相之间都有关系。若要设计该 AFC 算法，必须全面地考虑以上这些参数。因此，提出 AFC 的设计步骤如下：

- 1) 根据压控电压范围 ΔV_c 、VCO 的调谐增益 K_{vco} 和交叠率 OLR，通过式(5.2) 计算子带间距 f_{step} ；
- 2) 根据 VCO 的频率范围 Δf 、子带间距 f_{step} ，通过式(5.1)计算数字控制位 K ；
- 3) 通过式(5.5)设置频率误差范围 FER，并计算频率计数误差 ε ；
- 4) 通过式(5.4)计算单位计数时间 T_{ctr} 和 p ；
- 5) 根据 p 和分频比 $N.F$ ，得到 $N.F_{\text{dec}}$ ，并计算 N_{dec} ；
- 6) 对 VCO 时钟计数，得到 N_{ctr} ，并与 N_{dec} 比较，根据算法流程图和状态机改变 VCO 的子带，最终选择出最优子带。

需要注意的是，上述设计步骤假定子带间距 f_{step} 是不变的。但是，在传统的多带压控振荡器中，由于频率和电容关系的非线性，子带间距变化很大，因此第 4 章给出了设计恒定子带间距 f_{step} 的方法。如果子带间距不相等，就要用最小的子带间距来计算单位计数时间 N_{ctr} 。但如此一来，频率误差范围会不一致，因为一旦频率计数误差 ε 确定，不同的 f_{step} 就对应着不同的 FER。

为验证不同的数字 AFC 技术的性能，综合考虑频率误差范围 FER 和建立时间 T_{AFC} ，提出一个衡量 AFC 性能的品质因数(Figure-of-Merit, 简称 FOM)如下

$$\text{FOM} = \frac{K \cdot f_{\text{AFC}}}{T_{\text{AFC}} \cdot f_{\text{vco}} \cdot \text{FER}} \quad (5.6)$$

其中， f_{AFC} 是待计数时钟， T_{AFC} 是总的 AFC 建立时间。在所提出的 AFC 中， f_{AFC} 就是 VCO 输出时钟 f_{vco} 。建立时间越短，频率误差范围越小，FOM 越大。

5.5 验证

5.5.1 仿真结果

在本设计中，参考时钟为 25MHz， p 等于 16，单位计数时间 T_{ctr} 为 $0.64\mu\text{s}$ ，

再加上 4 个参考时钟周期用来等待异步计数器和 VCO 时钟稳定, 所以 AFC 每次计数、比较时间为 $0.8\mu\text{s}$ 。对于 8 比特的 VCO, 整个 AFC 建立时间 T_{AFC} 最长为 $6.4\mu\text{s}$ 。由式(5.4)得到频率计数误差 ε 为 1.5625MHz , 仿真得到子带间距约为 4.5MHz , 因此 $j.q$ 等于 2.88, 频率误差范围 FER 等于 $1.12/2.88 \times 4.5\text{MHz} = 1.75\text{MHz}$ 。将以上所有的值代入式(5.6), 计算得出 FOM 为 0.71。

AFC 和多带 VCO 的联合仿真如图 5-17 所示。参考时钟为 25MHz , 设定分频比为 72.96875 , 因此所需频率为 1824.21875MHz 。子带 210 的 VCO 中心频率为 1823.5294MHz , 子带 211 的 VCO 中心频率为 1827.45MHz , 因此子带 210 应该被选出。从图中可以看到, 首先设定中间子带 128, *hold* (*o_hld_clk_pscl*) 信号为零时开始计数; *hold* 信号为高时停止计数, 将计数值 N_{ctr} 和分频比译码值 N_{dec} 进行比较, 比较出当前子带的中心频率低于所需频率, 输出一个 *sft_up* 信号选择子带 192, 然后对计数器复位。经过 7 次计数、比较后, 子带 210 被选择。AFC 工作结束, 模拟环路开始工作。

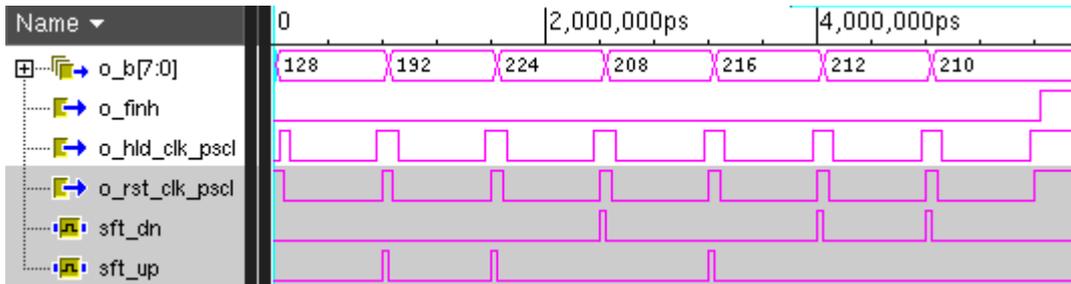


图 5-17 AFC 算法仿真时序图

5.5.2 测试结果

在 $0.18\text{-}\mu\text{m}$ CMOS 工艺上设计并验证一款带有 AFC 的宽带分数分频频率综合器, 片外输入参考时钟为 25MHz , 输出频率范围从 975MHz 到 1960MHz 。

图 5-18 给出测试的压控振荡器的 256 个子带的调谐增益和子带间距。在相对调谐范围超过 67% 的输出频率范围内, 调谐增益从 9.5MHz/V 变化到 11MHz/V , 相对变化范围小于 7.3%, 子带间距从 4.1MHz 变化到 4.9MHz , 相对变化范围小于 8.9%。所有的调谐增益和子带间距都是在每根子带的中心频率点测试所得。由于采用第 4 章所述的技术, 子带间距变化很小, 大大简化了 AFC 的设计。

图 5-19 给出测试的锁定过程。所提出的 AFC 总的锁相或锁定时间在 $20\mu\text{s}$ 以内。如预期一样, AFC 单位时间是 $0.8\mu\text{s}$, 经过 8 次计数、比较过程, 总的建立时间为 $6.4\mu\text{s}$ 。同时芯片上也实现了一个传统的 AFC 方案, 主要区别是它并不直接对 VCO 计数, 而是对 VCO 除 8 的时钟进行计数。传统方案的 AFC 总的建立时间为 $42.4\mu\text{s}$, 总的锁相环锁定时间超过 $50\mu\text{s}$ 。

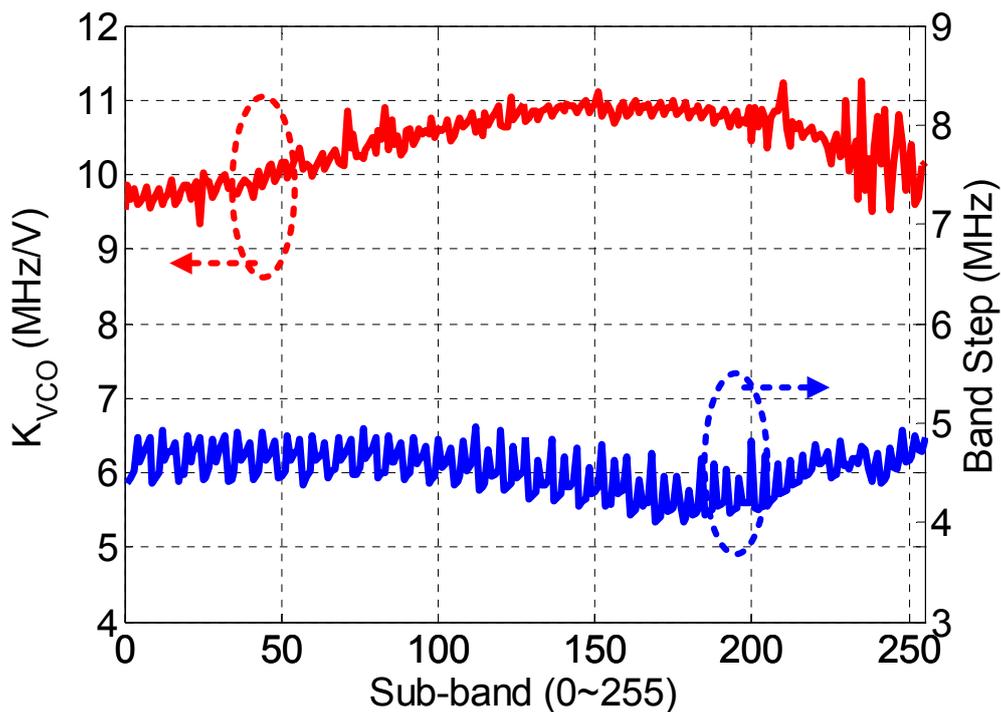


图 5-18 测试的 VCO 的 256 个子带的调谐增益和子带间距

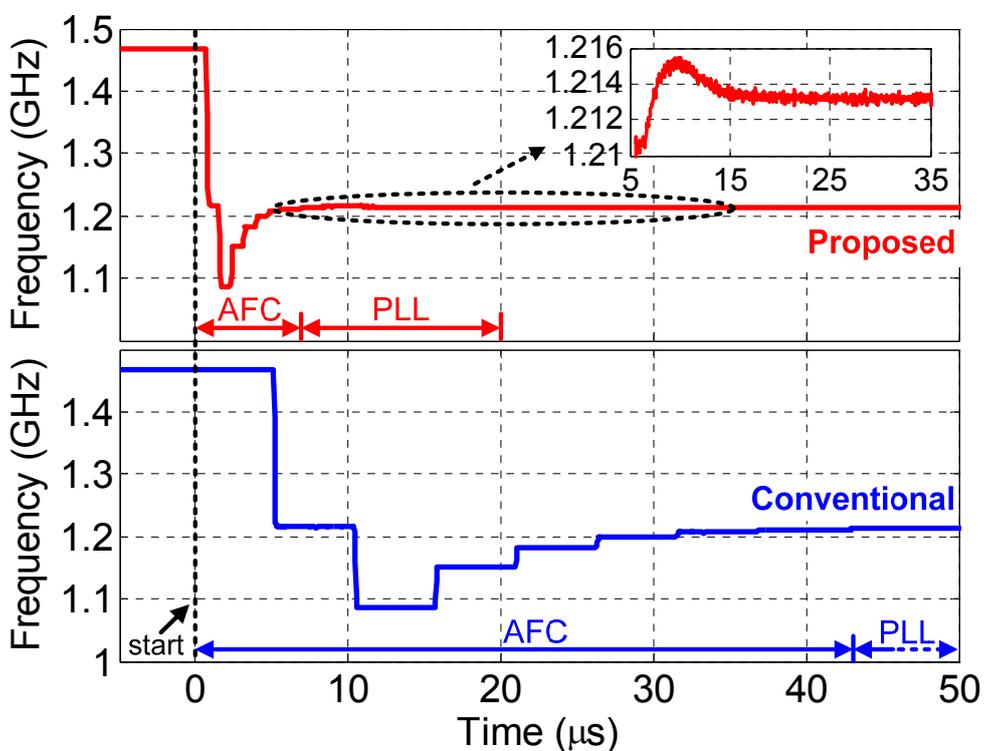


图 5-19 改进和传统 AFC 的测试的锁定时间比较

表 5-1 给出本章提出的 AFC 与其他已发表文献的 AFC 性能比较,可以看到,

虽然文献[98]的 AFC 建立时间是 $5.2\mu\text{s}$ ，但是数字控制位也少，因此所提出的 AFC 获得最高的 FOM。

表 5-1 AFC 性能比较

参考	文献[93]	文献[97]	文献[98]	本设计
参考频率	13 MHz	6MHz	25 MHz	25 MHz
数字控制位	8	6	4	8
AFC 建立时间	$12.6\mu\text{s}$	$50\mu\text{s}$	$5.2\mu\text{s}$	$6.4\mu\text{s}$
FOM	0.018	0.054	0.23	0.71

5.6 本章小结

- 1) 系统总结了已发表文献中的 AFC 技术，尤其是数字 AFC 技术，指出传统的 AFC 技术用在分数分频频率综合器中会带来残留分数误差；
- 2) 提出了基于分频比的自动频率校正技术，能极大地降低残留分数误差，采用直接对 VCO 输出时钟计数的方法，大大缩短 AFC 的建立时间；
- 3) 详细讨论和分析了异步时钟计数引起的频率计数误差，给出计数时间、频率计数误差和频率误差范围之间的关系；
- 4) 综合衡量各个参数之间的关系，详细给出 AFC 的设计步骤，并提出一个 FOM，结合建立时间和计数误差的指标，用以衡量不同的数字 AFC 性能；
- 5) 将提出的 AFC 技术用于一个宽带分数分频频率综合器芯片中，测试结果表明 AFC 建立时间小于 $6.4\mu\text{s}$ ，总的锁相环锁定时间小于 $20\mu\text{s}$ 。

第6章 分频器的研究与设计

摘要：本章内容涉及 1) 各种分频器结构的总结；2) 同步 4/5 和 8/9 双模预分频器结构；3) CML 和 TSPC 型触发器电路；4) 可编程脉冲吞计数器；5) 4/4.5 预分频器和双沿同步触发器。

6.1 引言

分频器(Divider)是锁相环型频率综合器的主要功能模块之一。它的作用是将高频的 VCO 时钟 f_{vco} 分频到低频 f_{div} ，在 PFD 的输入端与参考时钟 f_{ref} 比较。通过锁相环路的负反馈原理，使 f_{div} 和 f_{ref} 的频率相等、相位对齐，从而锁定输出频率 f_{vco} 。对于图 6-1 所示的整数分频频率综合器，令分频比为 N ，则关系 $f_{vco}=N \times f_{ref}$ 成立。改变分频比 N 的大小，即可改变输出频率值。对于图 6-2 所示的 $\Delta\Sigma$ 分数分频频率综合器，在整数分频器的基础上，加入一个 $\Delta\Sigma$ 调制器，输出整数序列 $y[n]$ 至分频比 N 上，得到的分数分频比为 N 加上 $y[n]$ 的平均值。

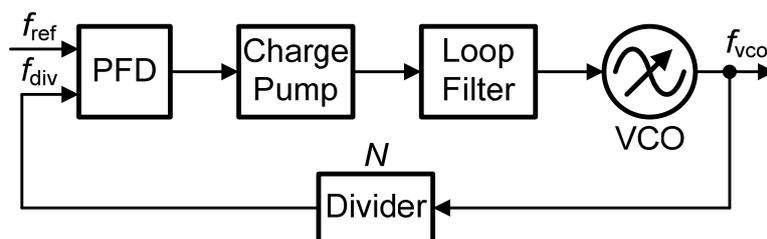


图 6-1 整数分频锁相环型频率综合器基本框图

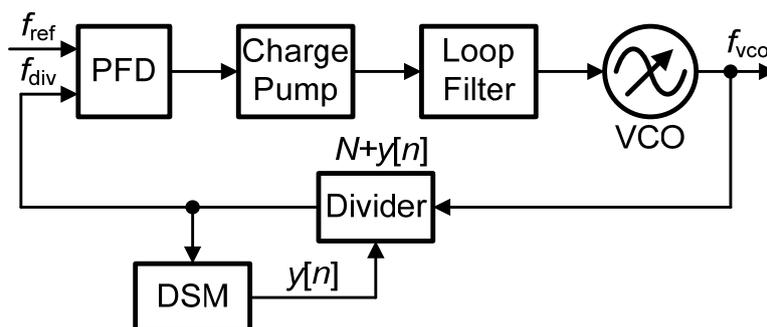


图 6-2 $\Delta\Sigma$ 分数分频锁相环型频率综合器基本框图

分频器的电路结构有很多种，目前使用最广泛的整数分频器主要为如下两种：一种是基于双模预分频器(Dual-Modulus Prescaler)结构[102]，另一种是基于可编程预分频器(Programmable Prescaler)结构[60]。基于双模预分频器的分

频器结构如图 6-3 所示，除双模预分频器 $M/M+1$ 以外，还包含两个计数器，程序计数器 P 和吞计数器 S 。它的工作原理是：分频器复位后，预分频器工作在 $M+1$ 分频模式，程序计数器和吞计数器同时开始计数，当吞计数器计满 S 个脉冲后，输出控制信号 mod ，将预分频器的状态改为 M 分频模式，然后程序计数器继续计数($P \geq S$)，直到计满 P 个脉冲后输出一个完整的周期。因此基于双模预分频器结构的计数器分频比为

$$N = (M + 1) \times S + M \times (P - S) = M \times P + S \quad (6.1)$$

这种电路的优点是结构简单，两个计数器可以通过数字电路设计方法编写代码而实现。缺点是双模预分频器工作在最高时钟 f_{vco} 下，功耗较大，而且要用高速触发器电路实现，另外分频比范围收到最小分频比 $P(P-1)$ 的限制。

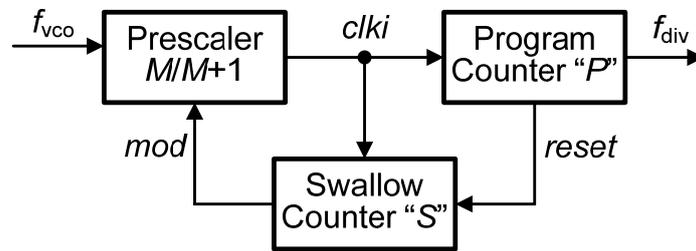


图 6-3 基于双模预分频器和脉冲吞计数器的分频器结构

基于可编程预分频器的分频器结构如图 6-4 所示，它由级联的 $2/3$ 分频器单元和一些控制逻辑组成。每一级的输入时钟是前一级的分频时钟，每一级的输出控制信号反馈至前一级，首尾相连构成一个反馈系统。外部控制信号 P_k 为高时， $2/3$ 单元工作在 3 分频模式；反之，工作在 2 分频模式，总分频比范围从 2^k 至 $2^{n+1}-1$ 连续可调。该分频器结构的优点是每级 $2/3$ 单元的功耗和尺寸可以随着工作频率的逐级降低而减小，而且 k 和 n 不相关，能实现很宽的分频比范围。缺点是输出占空比非常小，每级 $2/3$ 单元的尺寸要单独优化，设计复杂度增加。

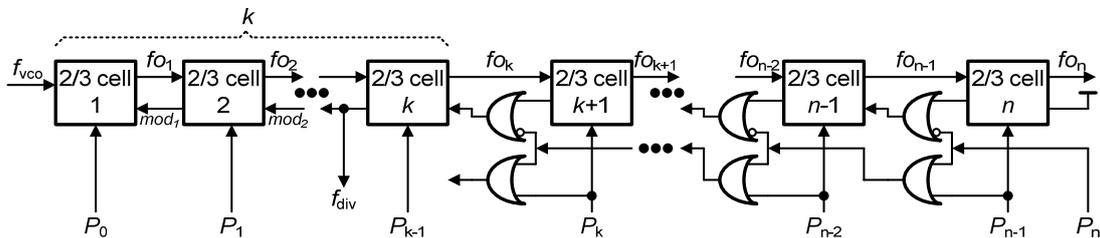


图 6-4 基于可编程预分频器的分频器结构

相对基于可编程预分频器的结构，基于双模预分频器的结构简单，输出占空比可接近 50%，而最小分频比可通过选择 P 的值满足应用的需要，故是本章研究的主要对象。其中双模预分频器是设计的难点，首先它直接与压控振荡器的输出端相连，要求具有对输入摆幅的不敏感性和较宽的工作频率范围；其次，需在

很高的输入频率下实现正确的分频功能, 电路模块中各个单元之间时序配合要求精确; 再者, 双模预分频器对工艺和温度变化极其敏感, 需在各个工艺角下仔细仿真确保正确; 最后, 双模预分频器的速度和功耗相互矛盾, 如何同时满足高速和低功耗也是必须考虑的问题。

常用的双模预分频器包括 $2/3$ 、 $3/4$ 和 $4/5$ 等结构, 均为采用高速触发器的同步电路实现。若要实现更高的分频比, 比如 $8/9$ 、 $16/17$ 、 $32/33$ 、 $64/65$ 、 $128/129$ 等预分频器, 如下两种方案可以考虑: 一种是采用同步预分频器再加异步除法电路实现[103][104], 另一种是采用相位开关电路实现[5],[105]–[106]。

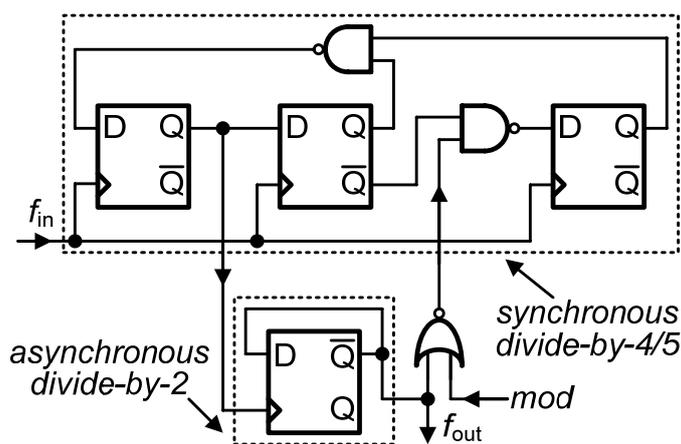


图 6-5 采用同步 $4/5$ 预分频器构成的 $8/9$ 预分频器

采用同步 $4/5$ 预分频器构成的 $8/9$ 预分频器如图 6-5 所示。它的优点是结构简单, 异步除 2 计数器工作在较低的时钟频率, 节省功耗。缺点主要有如下两个: 一是 $4/5$ 预分频器并没有显著地降低时钟频率, 使得组合逻辑或非门的电路设计变得十分困难; 二是如果直接驱动异步除 2 计数器, $4/5$ 预分频器的输出可能摆幅不够, 通常需要加一级缓冲器, 造成功耗增加。

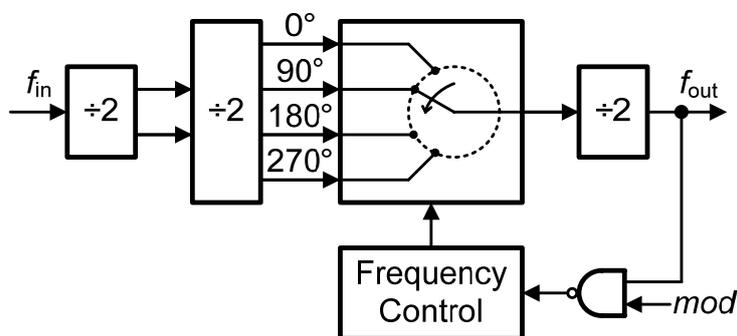


图 6-6 相位开关型 $8/9$ 预分频器

相位开关型 $8/9$ 预分频器如图 6-6 所示。它的优点是只有第一级除 2 单元工作在最高频率, 因此在提供工作频率的同时减少了功耗。但也有很明显的缺点,

主要有如下两个：一是频率控制的开关切换时间难以精确匹配，会产生毛刺(glitch)；二是四路信号的相位精度难以保证，相位失配会产生杂散(spur)。

本章在同步 4/5 预分频器电路的基础上，通过简单扩展，轻松实现同步 8/9 预分频器电路。经过对 D 触发器电路的尺寸优化，也可以达到高速低功耗的目的。

另外，采用 $\Delta\Sigma$ 调制器控制的分频器会带来其它问题。如果参考时钟为 25MHz，输出频率为 1GHz~2GHz，那么分频比必须覆盖 40~80。双模预分频器结构分频器的分频比为 $M \times P + S$ ，如果 $M=4$ ， P 和 S 可以有多种组合得到 40~80 的范围，例如： $P=10$ 、 $S=0\sim 9$ 时可覆盖 40~49， $P=12$ 、 $S=2\sim 11$ 时可以覆盖 50~59， $P=14$ 、 $S=4\sim 13$ 时可覆盖 60~69， $P=16$ 、 $S=6\sim 15$ 时可以覆盖 70~79， $P=18$ 、 $S=8\sim 17$ 时可覆盖 80~89。如前所述， $\Delta\Sigma$ 调制器输出的是一串整数序列 $y[n]$ 。对于 MASH 1-1-1 型调制器， $y[n]$ 在 $-3\sim 4$ 之间的 8 个整数范围内变化， $y[n]$ 可以加在吞计数器 S 上以改变分频比的值。然而，当 $N+y[n]$ 的改变引起 S 的值发生溢出时就会导致错误。比如 N 从 69 变化到 72，69 对应的 $P=14$ 、 $S=13$ ，72 对应的 $P=16$ 、 $S=8$ 。若 $y[n]=0$ 对应 69， $y[n]=3$ 加在 S 上使其变为 16， S 的值超过了 P ，导致计数器工作逻辑错误。另外，这种对 P 和 S 编程的方式，会导致一个数对应不同的 P 和 S 值。比如 69 既对应 $P=14$ 、 $S=13$ ，也对应 $P=16$ 、 $S=15$ ，这样容易引起错误。因此，本章提出一种对 P 和 S 编程的方法，能够避免上述两个问题[107]。

$\Delta\Sigma$ 调制器虽然能产生分数分频比，但也会产生高通量化噪声，如果环路带宽较大，并且没有足够的带外抑制，高通量化噪声就会严重恶化带外的相位噪声。因此，本章提出一种 4/4.5 预分频器来代替传统的 $M/M+1$ 预分频器，能够降低由 $\Delta\Sigma$ 调制器量化噪声引入的带外相位噪声[99]。

本章主要研究的是双模预分频器和脉冲吞计数器构成的分频器结构，并做了如下工作：首先讨论 4/5 和 8/9 预分频器的工作原理，其次讨论相关电路的设计，包括 CML 锁存器、TSPC 触发器等，接着给出对两个计数器 P 和 S 编程的方法，然后提出一种 4/4.5 预分频器电路结构，用于降低由 $\Delta\Sigma$ 调制器的量化噪声引入的带外相位噪声，最后指出需采用双沿同步触发器以配合 4/4.5 预分频器的双沿触发特性。

6.2 $M/M+1$ 双模预分频器

本节首先给出同步 4/5 预分频器的工作原理，并扩展为 8/9 预分频器结构，接着分析不同的电路实现结构，最后介绍一种差分转单端电路和常用的同步触发器降噪技术。

6.2.1 同步 4/5 预分频器

常用的同步 4/5 预分频器电路如图 6-7 所示,由三个 D 触发器和两个与非门组成。改变控制信号 mod 切换分频模式,当 $mod=0$ 时,工作在四分频模式;当 $mod=1$ 时,工作在五分频模式。

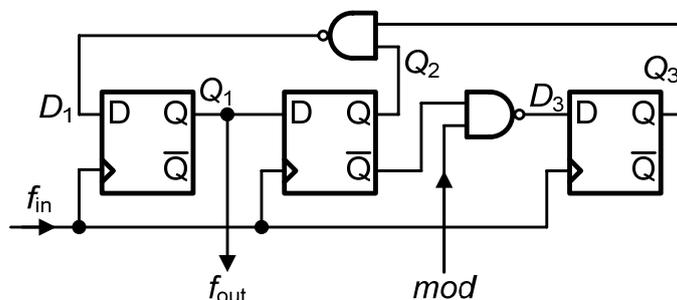


图 6-7 常用的同步 4/5 预分频器电路

控制信号 mod 为 0 时的四分频工作时序图如图 6-8 所示(假设触发器初始值均为 0)。此时, D_3 恒为 1, Q_3 恒为 1, D_1 等于 Q_2 反, 第三个触发器被屏蔽。

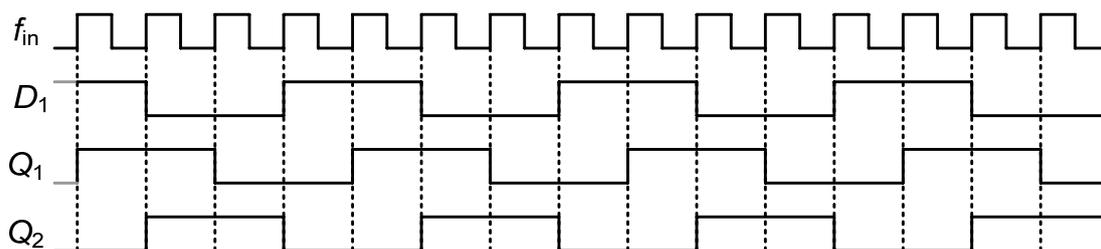


图 6-8 同步 4/5 预分频器的四分频工作时序图

控制信号 mod 为 1 时的五分频工作时序图如图 6-9 所示(假设触发器初始值均为 0)。五分频的主要原因是 Q_2 的 1 状态与比 Q_2 延时一个周期信号 Q_3 的 0 状态(红色阴影)作用,使得 D_1 增加了一个高电平周期(蓝色阴影)所致。

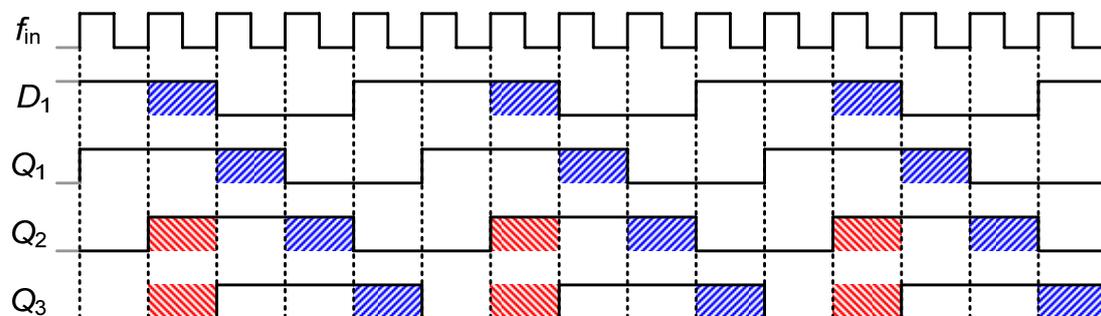


图 6-9 同步 4/5 预分频器的五分频工作时序图

在电路设计时,将与非门嵌入到 D 触发器中,可以提高工作频率,降低功

耗。另外， Q_1 端除了接 D_2 ，还要作为输出驱动脉冲吞计数器等数字电路。因此需要较大的摆幅，通常是先接一级缓冲器以提高带负载能力。

6.2.2 同步 8/9 预分频器

在同步 4/5 预分频器电路基础上，在第一个和第二个触发器之间插入两个级联的触发器，就构成同步 8/9 预分频器，如图 6-10 所示。

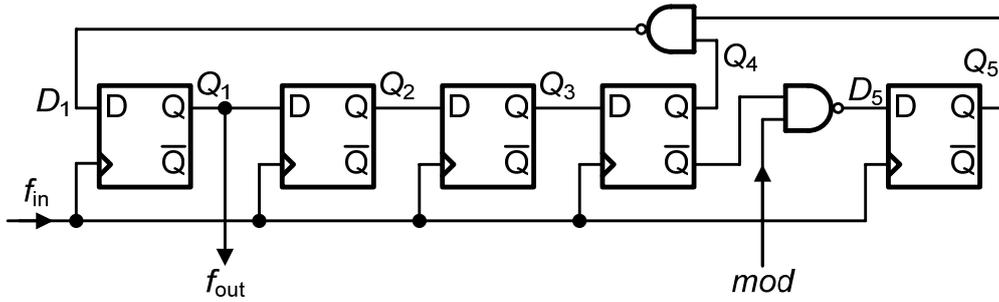


图 6-10 同步 8/9 预分频器电路

当 mod 信号为 0 时，第五个触发器被屏蔽，前四级触发器首尾相连，构成八分频模式。当 mod 信号为 1 时，与同步 4/5 预分频器一样， Q_4 的 1 状态和比 Q_4 延时一个周期信号 Q_5 的 0 状态(红色阴影)作用，会使得 D_1 增加一个高电平周期(蓝色阴影)，从而产生九分频模式。工作时序图如图 6-11 所示。

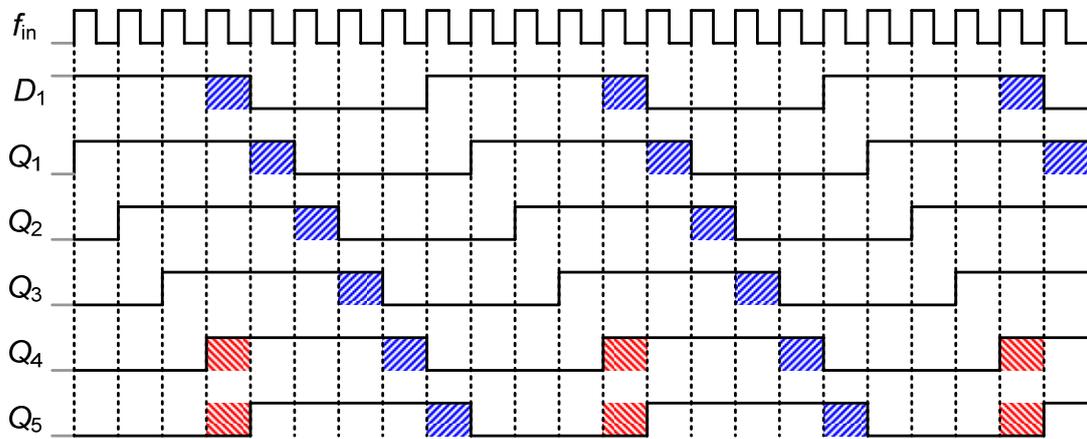


图 6-11 同步 8/9 预分频器的九分频工作时序图

事实上，在 4/5 预分频器的结构中，改变第一个和第二个触发器之间插入的触发器数目，可以得到任意双模 $2N/2N+1$ (N 是大于等于 3 的整数)的预分频器。但代价是需要比异步分频器结构要多得多的触发器，功耗过大。而同步 8/9 预分频器只比图 6-5 的结构多一个触发器，通过晶体管尺寸的优化，也能以较低的功耗实现。对于分频比大于 8/9 的双模预分频器，不适用于这种方法。比如 16/17 预分频器，采用同步电路实现，需要 9 个触发器；而若部分采用异步电路实现，

只需要 5 个触发器即可。

6.2.3 电路设计

6.2.3.1 CML 触发器

预分频器是锁相环中除压控振荡器之外工作频率最高的模块，具有高速、低功耗的特点。主从触发器的主要模块是锁存器，常用高速触发器都采用 CML(Current Mode Logic)结构的 D 触发器。其中锁存器的电路图如图 6-12 所示，它的工作原理是：在时钟正半周，晶体管 M_1 导通， M_2 和 M_3 将输入信号 d_p 、 d_n 传至输出 q_n 、 q_p ，起到采样信号的作用；在时钟负半周， M_6 导通， M_4 和 M_5 这对交叉耦合正反馈管保持住输出信号 q_n 、 q_p ，起到锁存信号的作用。

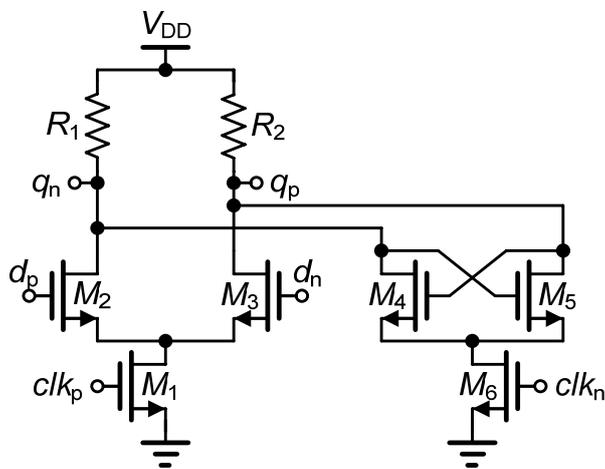


图 6-12 无尾电流源的 CML 锁存器电路图

不同结构 CML 锁存器的主要区别在于负载和电流偏置上，图 6-12 给出的是采用无尾电流源偏置的电阻负载结构。有尾电流源偏置结构的优点是消耗电流在一个时钟周期内基本恒定，时钟输入管 M_1 、 M_6 的直流电平设计简单。无尾电流源的结构能获得更高的工作频率，因为时钟输入管不再受偏置电流的限制，边沿切换速度快相位噪声性能更好。但缺点是时钟输入管的直流偏置配置比较困难，并且不同 PVT 条件下，输出信号摆幅变化很大。如果采用直接耦合，它的直流电平由 VCO 输出决定，所以通常 VCO 和预分频器要级联设计，仔细优化输入时钟管的尺寸。如下两个办法能解决直流偏置的问题：一种是采用外部偏置通过电阻连接到时钟输入管的栅极，VCO 信号通过电容交流耦合到栅极；另一种是 VCO 的输出接一级缓冲器，而通常这也是必须的，因为需考虑增加带负载能力和避免负载变化对 VCO 频率的影响(Load Pull，负载牵引)。

负载的选择直接影响工作频率高低和输出信号电平大小。电阻负载的 CML 锁存器具有速度快、输出接近满摆幅等优点，但不同工艺角的电阻值变化很大，

严重影响工作频率范围。二极管连接的 PMOS 管较为简单，但输出电压的高电平要损失一个阈值电压；工作在线性区的 PMOS 管也可以作为负载，但是这两种负载都没有电阻负载充放电速度快。文献[108]给出一种动态偏置 MOS 管的方法，但偏置电路设计较为复杂。本章仍采用电阻负载的 CML 锁存器，并确保在所有工艺角下仿真时都能满足工作频率的需要。

当输入时钟的摆幅为零而直流电平存在时，CML 锁存器组成的分频器有自激特性，存在自激振荡频率 f_{so} 。通过仿真灵敏度曲线可发现输入摆幅和工作频率的关系[109]。在设计时，最好使需要的最高工作频率小于 $2f_{so}$ 。

对于 CML 型锁存器，晶体管尺寸越大，负载电阻越小，功耗就越大。通过降低晶体管尺寸，并适当增加电阻值，能提高工作频率且降低功耗。工作频率取决于充放电电流的大小，即取决于负载电阻和输出节点的电容大小。锁存管 M_4 、 M_5 在输出节点贡献了 $4C_{gd}$ 的电容值，因此锁存管的尺寸比采样管要略小，仿真表明采样管和锁存管的尺寸最佳比例为 6:5[110]。通常认为晶体管尺寸越大，工作频率越高。但是在一定条件下，输出摆幅与负载电阻大小成正比。如果晶体管尺寸不变，那么锁存器延时正比于输出摆幅即负载电阻的值。这即意味着：降低晶体管尺寸可以显著降低功耗，却不会降低工作频率[111]。输出节点电容除晶体管寄生电容之外，还包括负载电容、版图连线等寄生电容。预分频器的工作频率对电容非常敏感，因此在版图设计中，连线要越短越好。

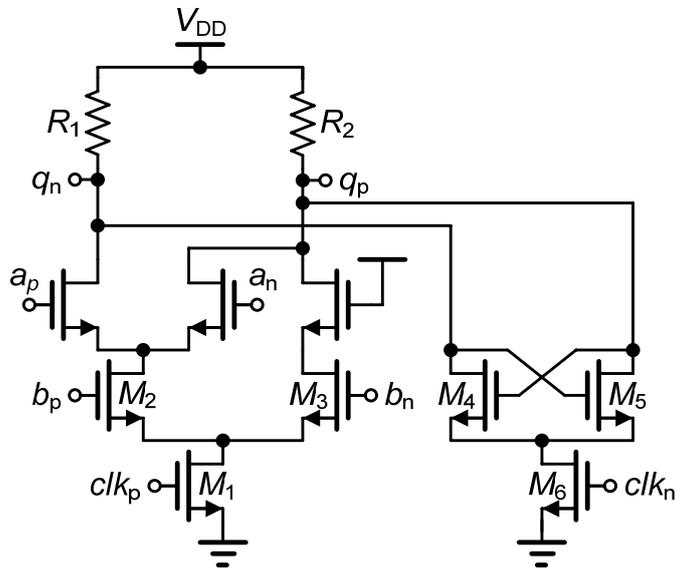


图 6-13 集成与非门的无尾电流源 CML 锁存器电路图

预分频器中还有一些与非门等组合逻辑，可将其嵌入到锁存器中。在采样管的基础上叠加一对 MOS 管构成另外一对与非门的输入电路图如图 6-13 所示。关系为 $q_p = a_p \times b_p$ 、 $q_n = a_n + b_n$ ，晶体管数目减少，可进一步提高工作频率。

6.2.3.2 TSPC 触发器

另外一种常用的触发器叫做真正单相位时钟(True Single Phase Clock, 简称 TSPC)逻辑电路, 如图 6-14 所示[112][113]。它具有高速、低功耗等优点; 但只采用单相位时钟, 对于差分输出的 VCO 负载不平衡, 并且还需要较大的输入摆幅。

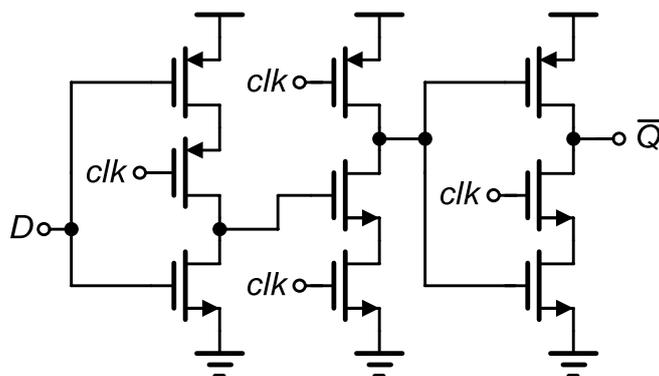


图 6-14 TSPC 触发器电路图

6.2.3.3 差分转单端电路

采用 CML 结构的预分频器需要输出满摆幅电平, 用以驱动后面的脉冲吞计数器数字电路。因此采用差分转单端(Differential to Single-Ended)电路将预分频器的差分输出转换为单端的满摆幅电平信号, 如图 6-15 所示。先使用一个差分运算跨导放大器(Operational Transconductance Amplifier, 简称 OTA)将差分信号转换为单端信号, 再连接两级反相器放大为满摆幅电平信号。

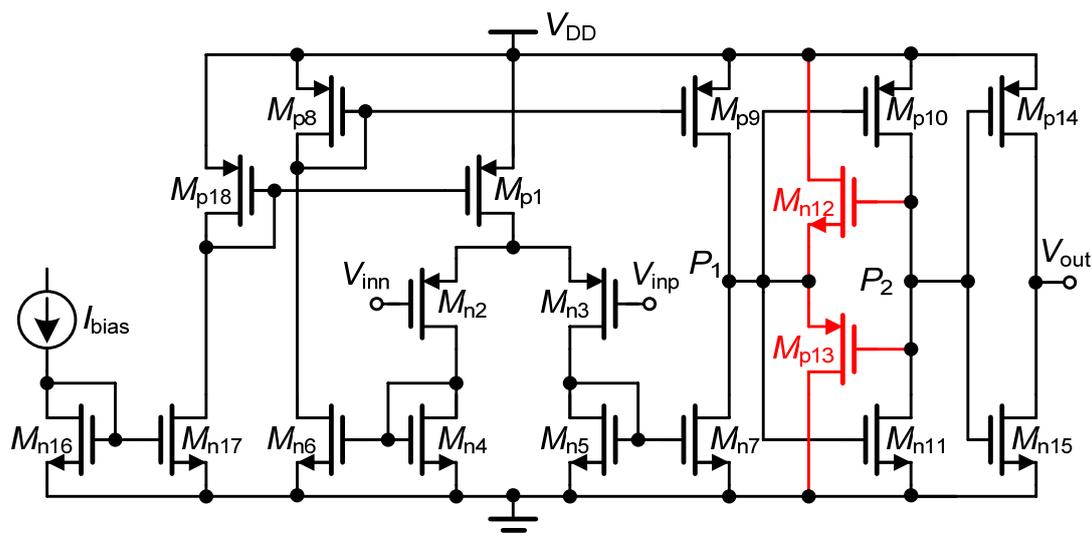


图 6-15 差分转单端电路

因 OTA 的工作原理比较简单, 本章不再详述, 这里主要解释晶体管 M_{n12} 和

M_{p13} 的作用。由于从输入端到 P_1 点有较高的直流增益，有限的直流失调(DC Offset)会使得 P_1 点的直流工作点过高或过低而较大地偏离反相器 M_{p10} 、 M_{n11} 的转换阈值， P_1 点的摆幅可能难以使后级反相器正常翻转。而 M_{n12} 和 M_{p13} 提供的非线性负反馈可以解决这个问题，工作原理如下：当 P_1 的直流工作点低于转换阈值一个阈值电压(M_{n12})时， M_{n12} 导通， M_{p13} 截止，电流从 M_{n12} 经过 P_1 流过 M_{n7} ， P_1 电平被抬高；当 P_1 的直流工作点高于转换阈值一个阈值电压(M_{p13})时， M_{p13} 导通， M_{n12} 截止，电流从 M_{p9} 分流经过 P_1 流过 M_{p13} ， P_1 电平被降低。 M_{n12} 和 M_{p13} 的存在保证 P_1 的直流工作点在偏离转换阈值一个 MOS 管阈值电压之内，能有效地提高抗 OTA 直流失调的能力。

6.2.3.4 同步触发器降噪

异步分频器的抖动可以逐级累加。为降低其输出噪声，文献[114]中指出如果分频器输出再通过一个被高频信号同步的触发器电路，可大幅度降低相位噪声。图 6-16 给出了示意图，其实就是分频器输出连接一个 D 触发器。

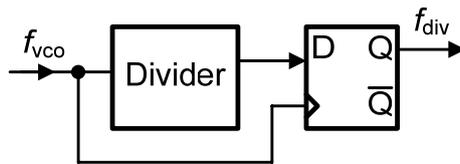


图 6-16 被高频时钟同步的分频器

输出信号的相位噪声性能与触发器的功耗成正比，功耗越大，相位噪声越低。这里采用 CML 锁存器结构的主从触发器实现该同步触发器。相位噪声仿真曲线如图 6-17 所示，输入信号频率为 25MHz，时钟信号频率为 1.5GHz，噪声基底可以达到-166dBc/Hz。

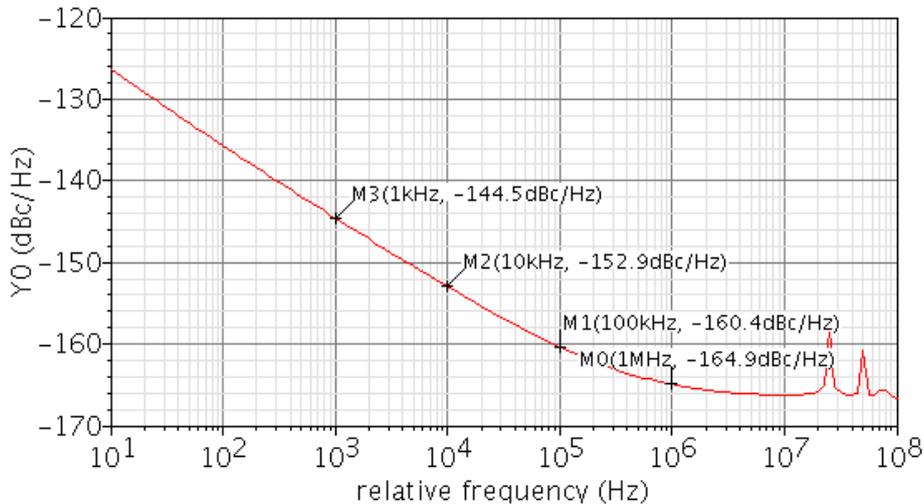


图 6-17 同步触发器的相位噪声仿真结果

6.3 可编程脉冲吞计数器

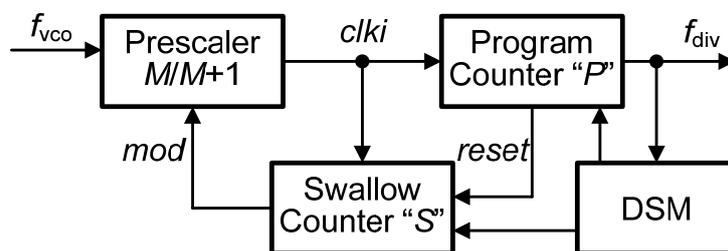


图 6-18 由 $\Delta\Sigma$ 调制器控制脉冲吞计数器的分频器

图 6-18 给出由 $\Delta\Sigma$ 调制器控制脉冲吞计数器的分频器框图。在 6.1 节已经提到,脉冲吞计数器中的两个计数器 P 和 S 的编码方式会影响带有 $\Delta\Sigma$ 调制器的分频器的正常工作。传统脉冲吞计数器的要求为 P 大于等于 N , S 的取值为 $0 \sim P-1$ 之间的整数。如果 P 固定,那分频比的范围在 $N \times P \sim N \times P + P - 1$ 之间,范围很窄。如果 P 也可被编程,就可以拓展分频比的范围,但会带来 $\Delta\Sigma$ 调制器的输出二进制码难以编码的问题。例如所需分频比为 37.5,对于 MASH 1-1-1 型 $\Delta\Sigma$ 调制器,用到的整数分频比为 34~41。当分频器从 37 到 41 变化时,对于 $N=5$ 的双模 5/6 预分频器,37 由 $5 \times 7 + 2 (P=7, S=2)$ 得到;41 由 $5 \times 8 + 1 (P=8, S=1)$ 得到。其中,37 的二进制码为 100101,41 的二进制码为 101001,两个二进制码的变化在第 2、3 位,从 01 变为 10。而计数设定值 P 和 S 都已发生变化,很难将二进制码的变化直接反映在计数设定值 P 和 S 的变化上。

为使得计数设定值 P 和 S 的变化能明确反映分频比二进制码的变化,首先需使用 M 为 2 的自然数次幂的双模 $M/M+1$ 预分频器;其次,要保证计数设定值 P 大于等于 N , S 的取值在 $0 \sim N-1$ 之间。这样,生成的分频比 N 的范围如下

$$N = \begin{cases} 2 \times 2 + 0 \geq 4, & M = 2, P \geq 2, S = 0 \sim 1 \\ 4 \times 4 + 0 \geq 16, & M = 4, P \geq 4, S = 0 \sim 3 \\ 8 \times 8 + 0 \geq 64, & M = 8, P \geq 8, S = 0 \sim 7 \\ 16 \times 16 + 0 \geq 256, & M = 16, P \geq 16, S = 0 \sim 15 \\ \dots\dots & \dots\dots \end{cases} \quad (6.2)$$

当 $N=2$ 时,产生的分频比范围是 4 到无穷大,极大拓展了在使用 $\Delta\Sigma$ 调制器时,采用脉冲吞计数器和双模 $M/M+1$ 预分频器实现的分频比范围。

图 6-19 给出了计数器设定值 P 和 S 的编码方式。可编程程序计数器的计数设定值 P 和可编程吞计数器的计数设定值 S 可结合,并被看作分频比 N 的二进制编码。其中计数设定值 P 作为分频比 N 的二进制高权重部分,位数大于等于 $\log_2 M + 1$,最低位为分频比 N 的第 $\log_2 M$ 位,最高位不限;计数设定值 S 作为分频比 N 的二进制低权重部分,位数等于 $\log_2 M$,最低位为分频比 N 的第 0 位,

最高位为分频比 N 的第 $\log_2 M - 1$ 位。这样， $\Delta\Sigma$ 调制器输出的分频比 N 的变化可直接体现在计数设定值 P 和 S 的变化上。

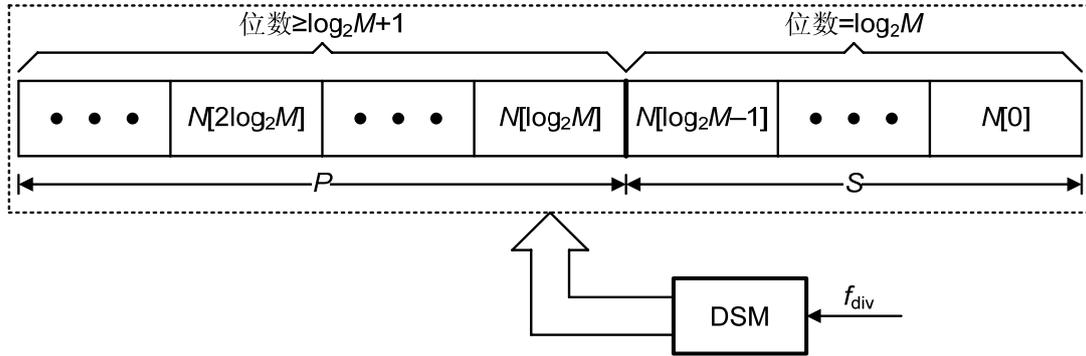


图 6-19 计数器 P 和 S 的编码方式

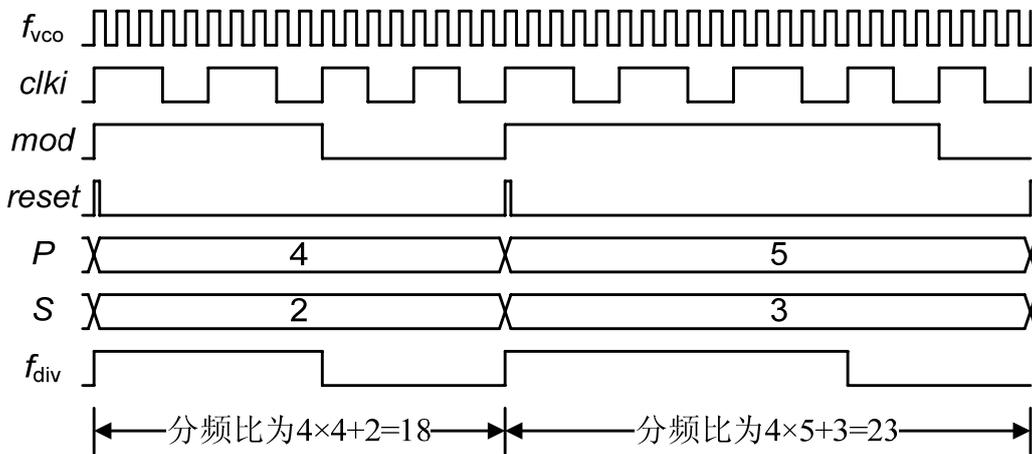


图 6-20 分频比从 18 变化到 23 的工作时序图

举例说明，分频比 N 从 18 跳变到 23 的工作时序图如图 6-20 所示。使用 4/5 双模预分频器，分频比 18 的二进制码为 10010，其中 $N[4:2]$ 是 $P=4$ ， $N[1:0]$ 是 $S=2$ 。首先 $reset$ 复位，可编程程序计数器 P_0 和可编程吞计数器 S_0 同时对输入信号 $clki$ 从 0 开始计数。由于 $S=2$ ，在 $clki$ 前两个周期控制信号 mod 为 1，4/5 预分频器工作在 5 分频模式。当可编程吞计数器计到设定值 S 时停止计数， mod 信号切换为 0，4/5 预分频器工作在 4 分频模式，而可编程程序计数器继续计数。当可编程程序计数器计到设定值 P 时停止计数并复位，同时发送 $reset$ 复位信号给可编程吞计数器进行复位，等待下一次计数开始。同理，分频比为 23 的二进制编码为 10111，其中 $N[4:2]$ 是 $P=5$ ， $N[1:0]$ 是 $S=3$ 。首先 $reset$ 复位，可编程程序计数器和可编程吞计数器同时对输入信号 $clki$ 从 0 开始计数。由于 $S=3$ ，在 $clki$ 前三个周期控制信号 mod 为 1，4/5 预分频器工作在 5 分频模式。当可编程吞计数器计到设定值 S 时停止计数， mod 信号切换为 0，4/5 预分频器

工作在 4 分频模式，而可编程程序计数器继续计数。可编程程序计数器计到设定值 P 时停止计数并复位，同时发送 reset 复位信号给可编程吞计数器进行复位，等待下一次计数开始。

6.4 4/4.5 预分频器

6.4.1 $M/M+0.5$ 预分频器的优势

$\Delta\Sigma$ 分数分频频率综合器已经被广泛应用，因为它不仅能提供更好的频率精度和更宽的环路带宽，并且具有较低的杂散特性和高通量化噪声特性。然而，宽环路带宽和低带外相位噪声相互矛盾，环路带宽越大，由 $\Delta\Sigma$ 调制器的量化噪声引入的带外相位噪声就越大。如何降低由 $\Delta\Sigma$ 调制器的高通量化噪声引入的带外相位噪声是近年来学术中研究的热点，许多文献已经发表一些技术解决该问题，包括：电流 DAC 补偿[115]–[117]，混合型 PFD/DAC 结构[118]，提高 $\Delta\Sigma$ 调制器的工作频率[119]，以及有限脉冲响应(Finite Impulse Response, 简称 FIR)滤波器噪声滤波技术[120]。

对于 L 阶的 MASH 型 $\Delta\Sigma$ 调制器，它的量化噪声传递函数为 $(1-z^{-1})^L$ ， $\Delta\Sigma$ 调制器的工作频率通常等于参考时钟频率 f_{ref} 。如果只关心载波附近频率偏移小于参考时钟频率的相位噪声，并且满足 $\pi f/f_{\text{ref}} \ll 1$ 的条件，由式(2.45)可以得到 $\Delta\Sigma$ 调制器的量化噪声在锁相环输出引起的相位噪声为

$$\theta_{\text{n,o(dsm)}}^2 = \frac{\pi^2 \Delta^2 f^{2(L-1)}}{3f_{\text{ref}}^{2L-1}} \quad (6.3)$$

一般采用提高环路滤波器阶数的办法抑制带外高通量化噪声，但这会降低相位裕度，影响环路稳定性。从式(6.3)可以看出相位噪声功率谱密度与量化阶梯的平方成正比，若量化阶梯 Δ 能降低一半，相位噪声就可减小 6 个 dB。

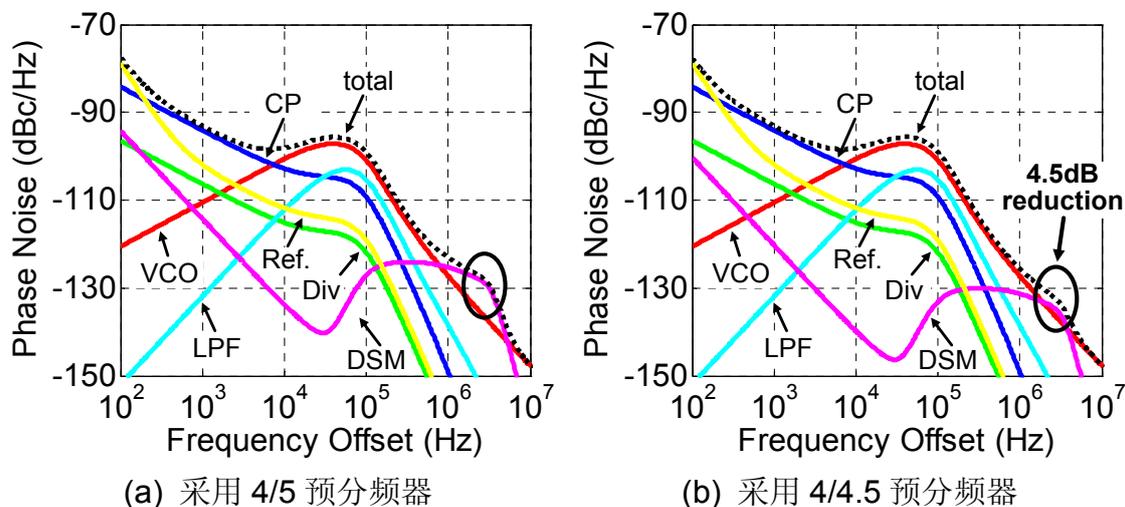


图 6-21 采用不同结构的预分频器仿真的相位噪声

如果考虑采用 $M/M+0.5$ 双模预分频器代替 $M/M+1$ 双模预分频器，产生的分频比将变为 $N=M \times P+0.5S$ 。这表明 $\Delta\Sigma$ 调制器输出的整数阶梯 1 在分频比中相当于仅是改变了 0.5，因此 $\Delta\Sigma$ 调制器的量化阶梯为 0.5。本章采用一个 4/4.5 预分频器把量化阶梯降低一半，从而减小相位噪声。锁相环相位噪声行为级仿真结果如图 6-21 所示，图(a)采用 4/5 分频器，而图(b)采用 4/4.5 预分频器。可以看出，使用 4/4.5 预分频器的 $\Delta\Sigma$ 调制器贡献的相位噪声比使用 4/5 预分频器要低 6 个 dB，总的相位噪声低 4.5 个 dB。也即是，对于同等的相位噪声贡献，采用 4/4.5 预分频器的锁相环比采用 4/5 预分频器能获得更大的环路带宽。

6.4.2 电路设计

4/4.5 预分频器的电路图如图 6-22 所示。这个结构从 1/1.5 分频器单元演变而来[121]，由预分频器逻辑(Prescaler Logic)和循环结束逻辑(End-of-Cycle Logic)两部分组成。

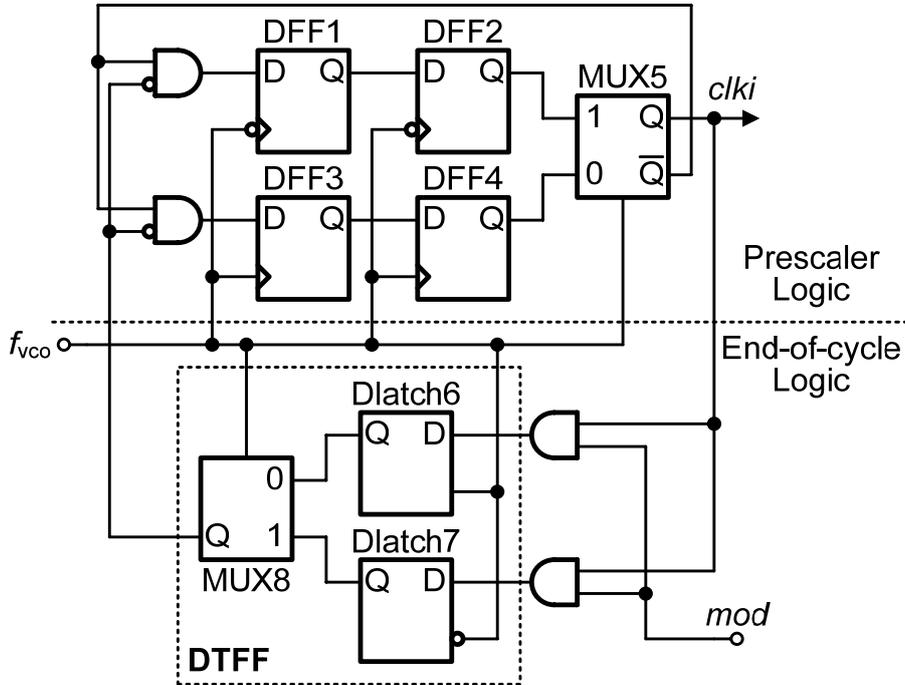


图 6-22 4/4.5 预分频器电路图

预分频器逻辑根据控制信号 mod 的状态对输入时钟信号 f_{vco} 进行 4 或 4.5 分频，包含 4 个 D 触发器、两个分配器 MUX 和两个锁存器，其余四个与门可以嵌入到 D 触发器和锁存器中以提高工作频率。这个电路结构的核心思想是同时在输入时钟的上升沿和下降沿两个边沿触发。分配器 MUX5 每半个周期轮流选择 Q_2 或者 Q_4 输出。锁存器 Dlatch6、Dlatch7 和分配器 MUX8 构成一个双边沿触发的 D 触发器(Double-Edge-Triggered Flip-Flop，简称 DTFF)，作用是将输入信号延迟半个周期输出。当 mod 信号为高时，预分频器工作在 4.5 分频模式，

工作时序图如图 6-23 所示。信号 Q_8 滞后 $clki$ 半个周期，由于循环结束逻辑产生的延时，预分频器逻辑会吞掉额外的半个周期，从而产生 4.5 分频。当控制信号 mod 为低时，循环结束逻辑被屏蔽， Q_8 输出始终为低， $clki$ 直接反馈到预分频器逻辑的输入，使其工作在 4 分频模式。

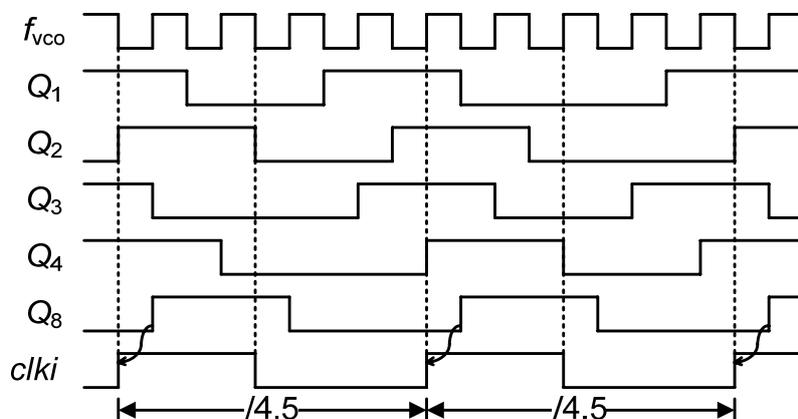


图 6-23 4/4.5 预分频器的 4.5 分频工作时序图

需要注意的是，该双沿触发的电路结构有一个缺点，就是容易产生 0.5 倍时钟频率的分数杂散[121]。在图 6-23 中，第一个 4.5 分频周期包含 4 个高电平和 5 个低电平的半时钟周期，第二个 4.5 分频周期包含 5 个高电平和 4 个低电平的半时钟周期，如果时钟的占空比不是 50%，就必然产生 0.5 倍的分数杂散。因此在设计时，要尽量提高 VCO 输出差分时钟的对称性，保证占空比接近 50%，满足系统对分数杂散的要求。通过测试发现，这个分数杂散在 -80dBc 以下，不会对系统有太大的影响。

表 6-1 预分频器 4 分频模式下真值表

$Q_1Q_2Q_3Q_4$	Q_5		$Q_1Q_2Q_3Q_4$		$Q_1Q_2Q_3Q_4$	Q_5		$Q_1Q_2Q_3Q_4$	
	$f_{vco\uparrow}$ (Q_4)	$f_{vco\downarrow}$ (Q_2)	$f_{vco\uparrow}$	$f_{vco\downarrow}$		$f_{vco\uparrow}$ (Q_4)	$f_{vco\downarrow}$ (Q_2)	$f_{vco\uparrow}$	$f_{vco\downarrow}$
0000	0	0	0010	1000	1000	0	0	1010	1100
0001	1	0	0000	1001	1001	1	0	1000	1101
0010	0	0	0011	1010	1010	0	0	1011	1110
0011	1	0	0001	1011	1011	1	0	1001	1111
0100	0	1	0110	0000	1100	0	1	1110	0100
0101	1	1	0100	0001	1101	1	1	1100	0101
0110	0	1	0111	0010	1110	0	1	1111	0110
0111	1	1	0101	0011	1111	1	1	1101	0111

表 6-2 给出 4/4.5 预分频器 4 分频模式下的动态卡诺图，输入为 Q_1 、 Q_2 、 Q_3 和 Q_4 共 4 比特。因为状态图在 f_{vco} 的上升沿和下降沿都会有更新，所以一共是 32 个状态。根据这个动态卡诺图，画出它的状态图如图 6-24 所示(圆圈里为“ $Q_1Q_2Q_3Q_4$ ”的值，“ \uparrow ”表示在时钟上升沿触发，“ \downarrow ”表示在时钟下降沿触发，输出箭头上的数字代表输出 Q_5)。这 32 个状态构成了四个独立的小循环，其中循环一和循环二为正常的工作区域，输出 Q_5 在八个半周期内分别输出 4 个 0 和 4 个 1，输出为 4 分频；循环三和循环四为非正常工作区域，输出 Q_5 在八个半周期内的输出杂乱无章，没有规律，导致分频错误。

表 6-2 预分频器 4 分频模式下真值表

$Q_1Q_2Q_3Q_4$	Q_5		$Q_1Q_2Q_3Q_4$		$Q_1Q_2Q_3Q_4$	Q_5		$Q_1Q_2Q_3Q_4$	
	$f_{vco}\uparrow$ (Q_4)	$f_{vco}\downarrow$ (Q_2)	$f_{vco}\uparrow$	$f_{vco}\downarrow$		$f_{vco}\uparrow$ (Q_4)	$f_{vco}\downarrow$ (Q_2)	$f_{vco}\uparrow$	$f_{vco}\downarrow$
0000	0	0	0010	1000	1000	0	0	1010	1100
0001	1	0	0000	1001	1001	1	0	1000	1101
0010	0	0	0011	1010	1010	0	0	1011	1110
0011	1	0	0001	1011	1011	1	0	1001	1111
0100	0	1	0110	0000	1100	0	1	1110	0100
0101	1	1	0100	0001	1101	1	1	1100	0101
0110	0	1	0111	0010	1110	0	1	1111	0110
0111	1	1	0101	0011	1111	1	1	1101	0111

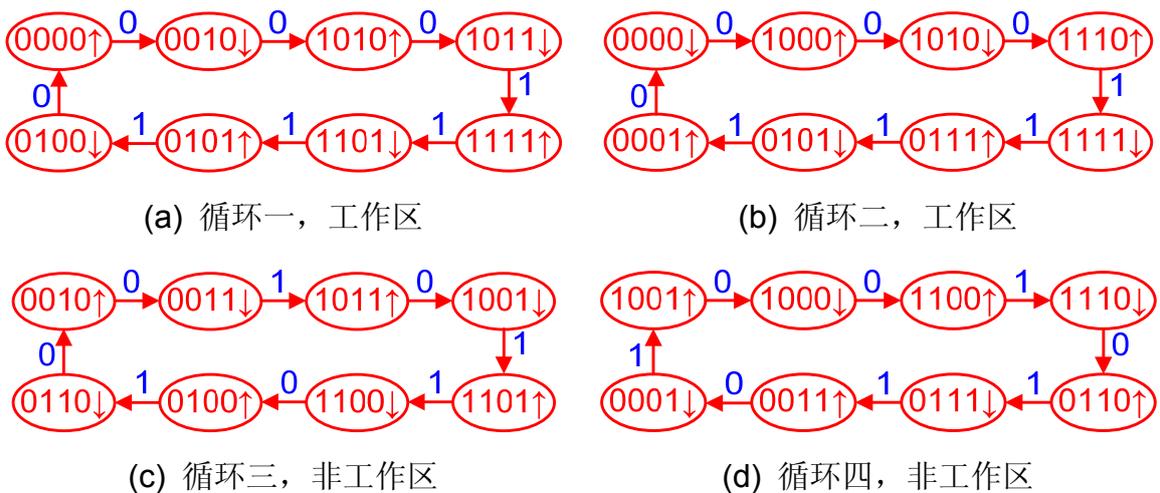


图 6-24 4/4.5 预分频器 4 分频模式状态图

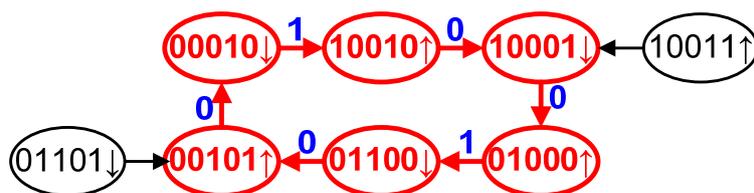
表 6-3 给出 4/4.5 预分频器 5 分频模式下的动态卡诺图，输入为 Q_1 、 Q_2 、

Q_3 、 Q_4 和 Q_8 共 5 比特，因为状态图在 f_{vco} 的上升沿和下降沿都会有更新，因此一共有 64 个状态。比起 4 分频模式，增加了 Q_8 ，圆圈里为“ $Q_1Q_2Q_3Q_4Q_8$ ”的值，输出箭头上的数字代表输出 Q_5 。

表 6-3 预分频器 4.5 分频模式下真值表

$Q_1Q_2Q_3$ Q_4Q_8	Q_5		$Q_1Q_2Q_3Q_4Q_8$		$Q_1Q_2Q_3$ Q_4Q_8	Q_5		$Q_1Q_2Q_3Q_4Q_8$	
	$f_{vco}\uparrow$ (Q_4)	$f_{vco}\downarrow$ (Q_2)	$f_{vco}\uparrow$	$f_{vco}\downarrow$		$f_{vco}\uparrow$ (Q_4)	$f_{vco}\downarrow$ (Q_2)	$f_{vco}\uparrow$	$f_{vco}\downarrow$
00000	0	0	00100	10000	10000	0	0	10100	11000
00001	0	0	00000	00000	10001	0	0	10000	01000
00010	1	0	00001	10010	10010	1	0	10001	11010
00011	1	0	00001	00010	10011	1	0	10001	01010
00100	0	0	00110	10100	10100	0	0	10110	11100
00101	0	0	00010	00100	10101	0	0	10010	01100
00110	1	0	00011	10110	10110	1	0	10011	11110
00111	1	0	00011	00110	10111	1	0	10011	01110
01000	0	1	01100	00001	11000	0	1	11100	01001
01001	0	1	01000	00001	11001	0	1	11000	01001
01010	1	1	01001	00011	11010	1	1	11001	01011
01011	1	1	01001	00011	11011	1	1	11001	01011
01100	0	1	01110	00101	11100	0	1	11110	01101
01101	0	1	01010	00101	11101	0	1	11010	01101
01110	1	1	01011	00111	11110	1	1	11011	01111
01111	1	1	01011	00111	11111	1	1	11011	01111

根据这个真值表，画出它的状态图如图 6-25 所示。这 64 个状态构成了两个循环状态机。其中循环二为正常的工作区域，输出 Q_5 在 18 个半周期内连续输出 5 个 0、4 个 1、5 个 0 和 4 个 1，每 9 个半周期构成一个循环，相当于 4.5 分频。循环二为不正常工作区域，每三个半周期构成一个循环，相当于 1.5 分频。



(a) 循环一，非工作区

输入频率为 1.5GHz 时，4.5 分频模式下前仿真瞬态输入输出波形。

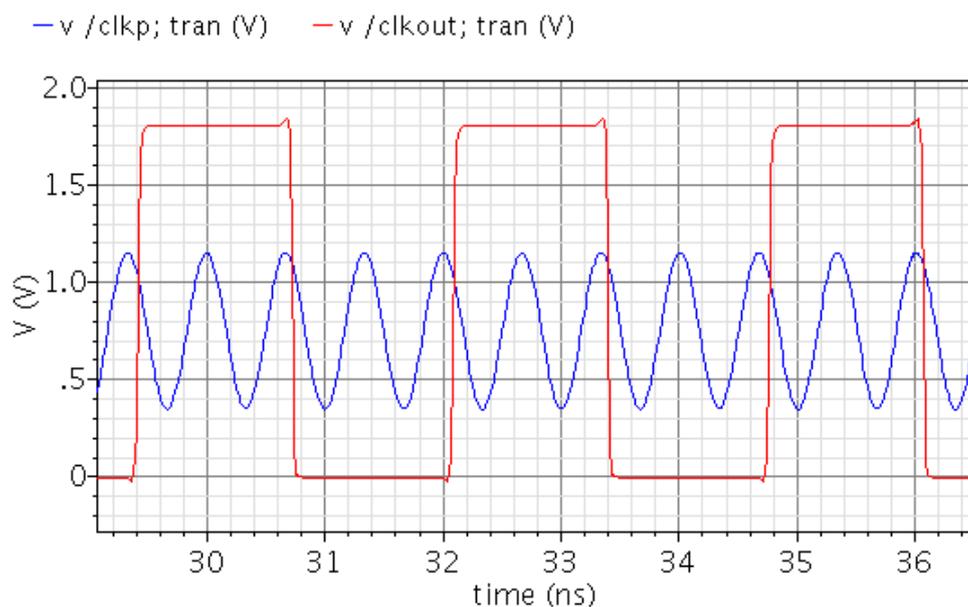


图 6-26 输入频率 1.5GHz 下的 4 分频仿真瞬态波形

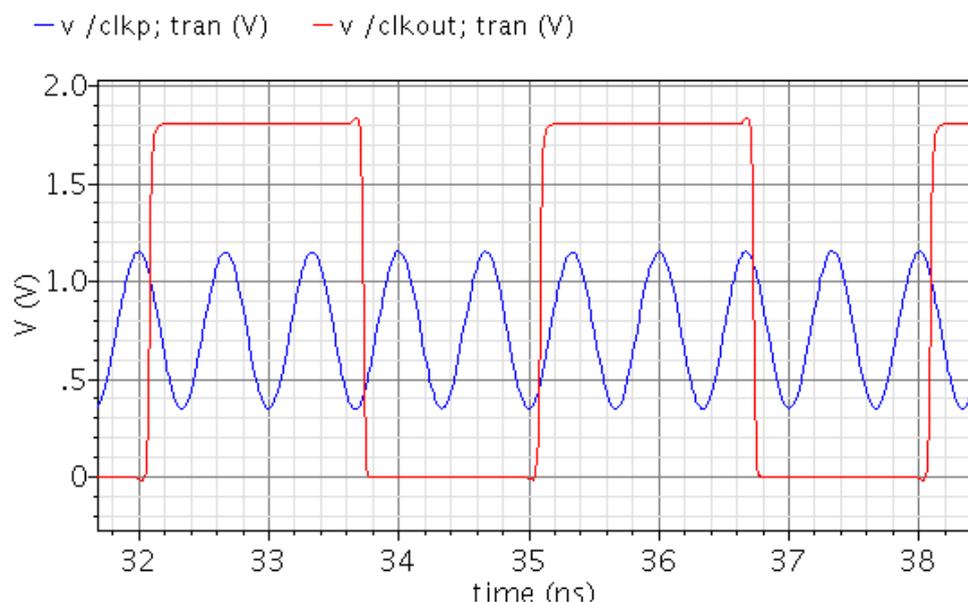


图 6-27 输入频率 1.5GHz 下的 4.5 分频仿真瞬态波形

表 6-4、表 6-5 分别总结了在 4 分频时、4.5 分频时，不同工艺角下前后仿真的输入频率范围和功耗大小。其中， f_{\max} 表示最大工作频率， f_{\min} 表示最小工作频率。首先可以发现后仿真的 f_{\max} 比前仿真下降很多， f_{\min} 也相应地下降；其次，4.5 分频 f_{\max} 要小于 4 分频的 f_{\max} ，这是因为 4.5 分频时，增加了一个循环结束逻辑。这里设计的 4/4.5 预分频器要应用于 1GHz~2GHz 的宽带频率综合器，在所有的工艺角下，后仿真结果都能满足输入工作频率的需要。

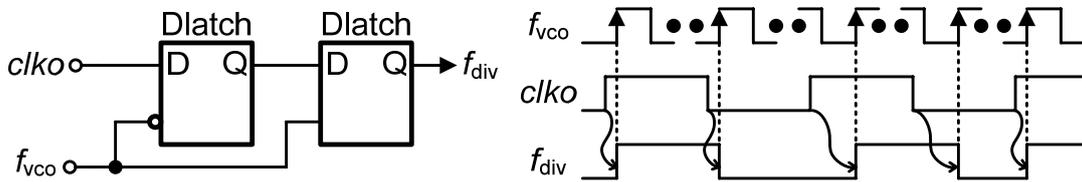
表 6-4 4 分频时三个工艺角下前、后仿真输入频率范围与功耗

工艺角	tt(25°C)			ff(-25°C)			ss(75°C)		
	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)
前仿真	5.7	0.7	2.78	6.8	1.83	3.30	4.9	0.6	2.29
后仿真	2.6	0.8	2.66	3.1	0.7	3.28	2.3	0.8	2.13

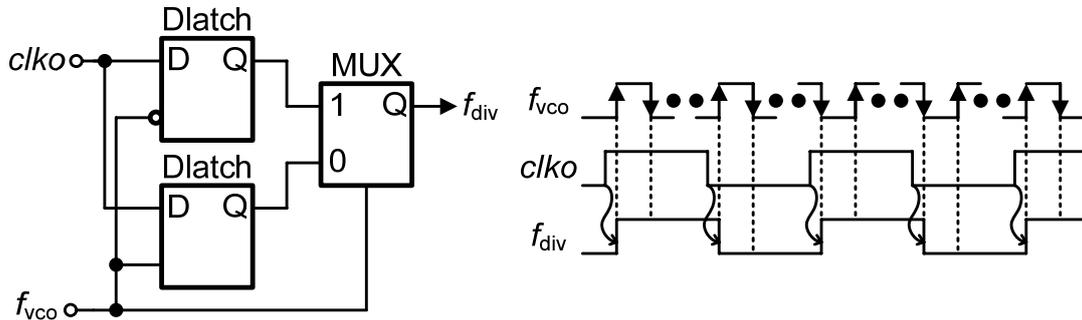
表 6-5 4.5 分频时三个工艺角下前、后仿真输入频率范围与功耗

工艺角	tt(25°C)			ff(-25°C)			ss(75°C)		
	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)	f_{\max} (GHz)	f_{\min} (GHz)	功耗 (mA)
前仿真	4.69	0.81	2.77	5.63	1.01	3.34	4	0.61	2.30
后仿真	2.35	0.45	2.67	2.62	0.56	3.29	1.93	0.26	2.14

6.5 双沿同步触发器



(a) 单边沿触发的触发器



(b) 双边沿触发的触发器

图 6-28 同步触发器电路

6.2.3.4 节提到，在分频器之后连接一个用高频时钟同步的触发器可以降低

积累性抖动，该触发器通常采用一个单边沿触发的 D 触发器实现。而在本设计中， $4/4.5$ 预分频器在上升和下降沿同时工作，为匹配它的双沿触发特性，同样需要双沿触发的同步触发器来同步分频器输出的时钟。事实上，这个双沿触发的同步电路就是采用一个 DTFF 实现的。单沿触发和双沿触发的同步电路如图 6-28 所示。在图(a)中，单沿触发器只在时钟上升沿翻转，输入时钟 $clko$ 被错误地同步，导致输出频率 f_{div} 发生变化。在图(b)中，上升沿和下降沿同时触发，信号 $clko$ 则被正确地同步。

6.6 本章小结

- 1) 总结了频率综合器中常用的分频器架构，包括双模预分频器和可编程预分频器结构，双模预分频器又包括同步、异步电路结构和相位开关型结构；
- 2) 分析了同步 $M/M+1$ 型双模预分频器结构，在 $4/5$ 预分频器基础上拓展为 $8/9$ 甚至一般的双模预分频器结构；
- 3) 讨论了触发器的实现电路，尤其是 CML 型锁存器的电路设计，还包括常用的差分转单端电路和同步触发器降噪技术；
- 4) 提出一种可编程脉冲吞计数器中 P 和 S 的编码方式，方便地实现从 4 至无穷大的分频比范围，而且可以很好地和 $\Delta\Sigma$ 调制器结合实现分数的分频比；
- 5) 提出一种 $4/4.5$ 预分频器电路，能够实现 0.5 的分频比，与 $\Delta\Sigma$ 调制器结合可以降低量化阶梯，从而减小其对环路输出的带外相位噪声影响；
- 6) 指出为配合 $4/4.5$ 预分频器双沿触发的特性，需要采用双沿触发的同步触发器，以确保电路工作正常。

第7章 环路仿真与芯片设计实例

摘要：本章内容涉及 1) 锁相环路仿真；2) 应用于 DVB-T 的 1.2GHz~2.1GHz 分数分频频率综合器芯片设计。

7.1 环路仿真

$\Delta\Sigma$ 分数分频锁相环是一个复杂的数模混合系统，包含电荷泵等模拟电路、脉冲吞计数器 and $\Delta\Sigma$ 调制器等数字电路以及压控振荡器、预分频器等射频电路。为获得足够高的仿真精度，时间步长要比 VCO 的周期小两个数量级；而若使环路锁定，总仿真时间要比环路滤波器的时间常数大一个数量级。目前缺乏一个快速的仿真工具对闭环系统进行仿真，特别是针对晶体管级电路。仿真一个 GHz 的锁相环并使其锁定可能需要几天甚至十几天时间，而且往往由于硬件资源消耗过大难以仿真。文献[12]利用 C 语言建模得到系统仿真结果，并开发出软件，被广为采用。但是这种方法使系统级设计和电路级设计分开，需从电路仿真中提出参数代入系统级仿真，不适用于自顶向下(Top-Down)的设计流程。文献[122]提出相位域模型和电压域模型对相位噪声和抖动进行有效预测，但并没有对闭环系统的时域工作状态进行验证。

通常在进行闭环仿真时，往往使用宏模型代替数字电路，其它模块采用晶体管级电路。但 VCO 等高频模块仍然需要足够高的仿真精度，因此这不是最有效的仿真方法。如果进一步能用宏模型对模拟、射频等模块进行替换，将会大大缩短仿真时间。基于此目的，本章提出的锁相环路行为级仿真模型如图 7-1 所示。

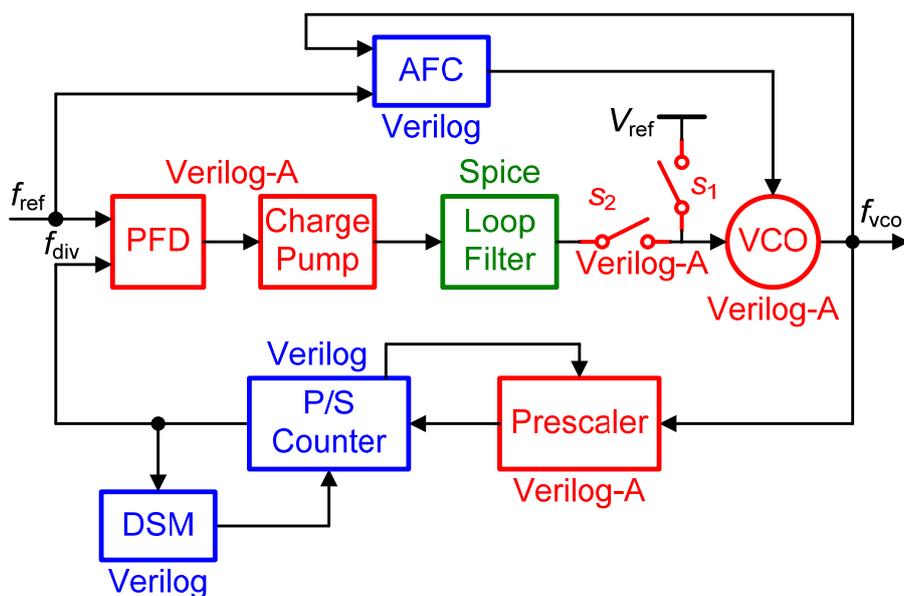


图 7-1 环路行为级仿真模型

在图 7-1 中，使用 Verilog-A 语言对鉴频鉴相器、电荷泵、压控振荡器、预分频器和开关等模拟、射频模块进行建模，使用 Verilog 语言对脉冲吞计数器、 $\Delta\Sigma$ 调制器和 AFC 等数字电路进行建模。环路滤波器结构简单，仍旧采用电路级网表。同时，使用 Mentor 公司的混合信号仿真软件 ADMS 对环路进行仿真。这个模型的优点是：各个模块的宏模型与其对应晶体管级电路的端口一一对应，可以非常方便地单独验证每个模块的晶体管级电路，使得设计者在电路设计初期能够快速地对单元模块进行调试。另外，在使用 Verilog-A 语言构建的模块中，能加入各种非理想因素使之接近真实电路。该模型对一个 2GHz 的时域闭环系统进行仿真，60 μ s 的瞬态仿真仅耗时 15 分钟。因此，这个模型对锁相环闭环系统的仿真是快速而准确的。至于对相位噪声的仿真，见 2.3.2 节相关方法。

7.2 应用于 DVB-T 的 1.2GHz~2.1GHz 分数分频频率综合器

DVB-T 协议中要求射频输入信号范围为 50MHz 至 860MHz，信道涵盖 VHF 和 UHF 频段；并定义了 3 种带宽，即 6MHz、7MHz 和 8MHz；对相位噪声的要求是频偏 10kHz 处小于 -87dBc/Hz[123]。如果采用二次变频的接收机架构，第一级的本振信号要求具有宽输出频率范围，并且能够实现分数分频。

7.2.1 系统级设计

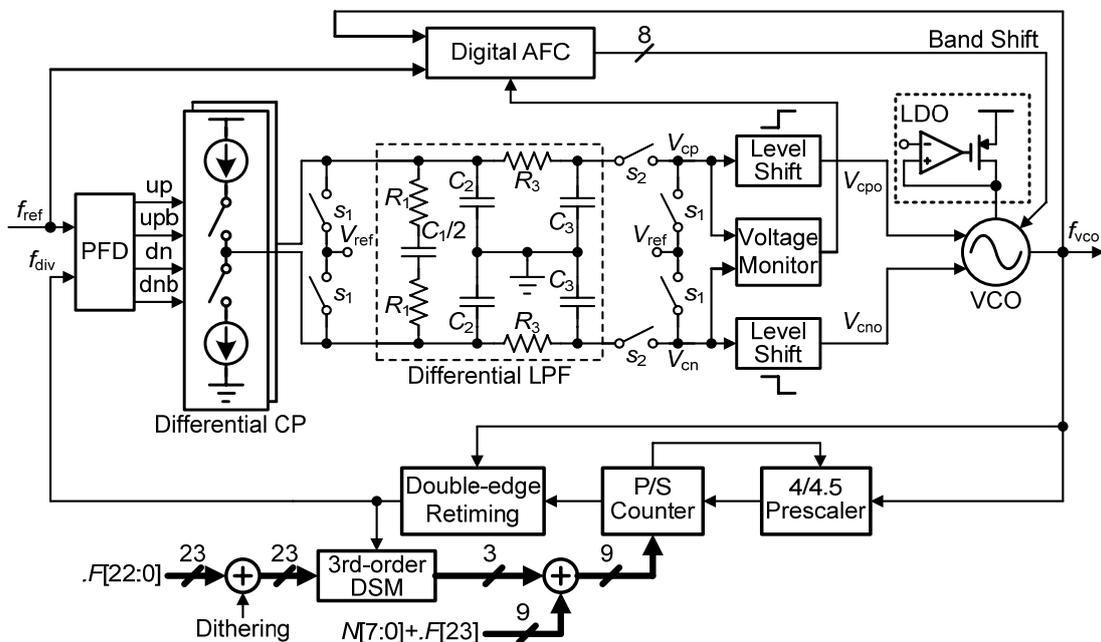


图 7-2 1.2GHz~2.1GHz 分数分频频率综合器系统框图

所设计的频率综合器系统框图如图 7-2 所示。输入参考时钟频率为 25MHz，输出频率范围从 1.2GHz 至 2.1GHz。压控振荡器采用全差分调谐方式，使用了

第 3 章所述的电平移位寄存器使频率调谐范围对称，使用了片上 LDO 提供低噪声电源电压。环路采用了第 4 章所述的环路带宽恒定技术。自动频率校正采用了第 5 章提出的技术选择压控振荡器子带。预分频器采用了第 6 章所述的 4/4.5 预分频器，降低 $\Delta\Sigma$ 调制器的量化阶梯，进而减小量化噪声引入的带外相位噪声。 $\Delta\Sigma$ 调制器结构采用了第二章介绍的单环结构，在分数输入之前加入 LSB 随机抖动以降低 $\Delta\Sigma$ 调制器输出空闲音。所有模块都集成在片上，包括环路滤波器，内部数字寄存器配置通过 I²C 总线控制。

7.2.2 电路单元设计

7.2.2.1 压控振荡器

从相位噪声性能考虑，选择 LC 压控振荡器结构，如图 7-3 所示。采用无尾电流源偏置结构，电源电压为 1.5V，自片上 LDO 产生。使用互补交叉耦合管提供负阻，使用单个差分电感，使用固定电容和可变电容大小皆可变的电容阵列获得恒定调谐增益和子带间距。使用 8 比特数字控制位将输出频率范围划分为 256 个子带，调谐增益为 10MHz/V，子带间距为 4.5MHz。在压控端接入电平移位器以使得输出频率调谐范围对称。所有的电容都由反型 MOS 管实现。

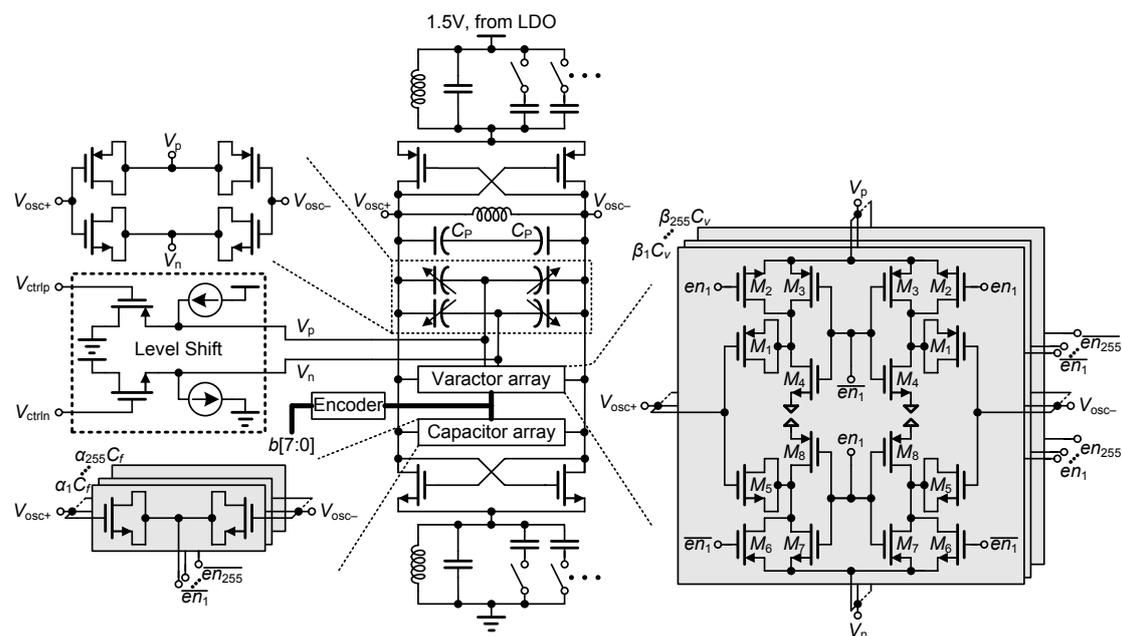


图 7-3 8 比特 256 子带的宽带 LC 压控振荡器

7.2.2.2 电荷泵

使用的全差分电荷泵电路图如图 7-4 所示[124]，包含两个差分对和两个复制电路。该结构具有良好的上下电流匹配特性和低的输出噪声。运放 A_1 和 A_2 确保 P 点和 N 点电压分别跟随 V_{OP} 和 V_{ON} ，因此在电流切换时，A、B、C、

D 四点电压保持不变。运放 A_3 、 A_4 和复制电路的作用是补偿沟道长度调制效应，能保证输出电压变化时充放电电流仍然能匹配良好。 R_1 、 C_1 和 R_2 、 C_2 构成低通滤波器，滤除运放 A_3 和 A_4 的高频噪声。仿真表明，充放电电流为 $50\mu\text{A}$ 时，DC 电流失配仅为 50nA 。

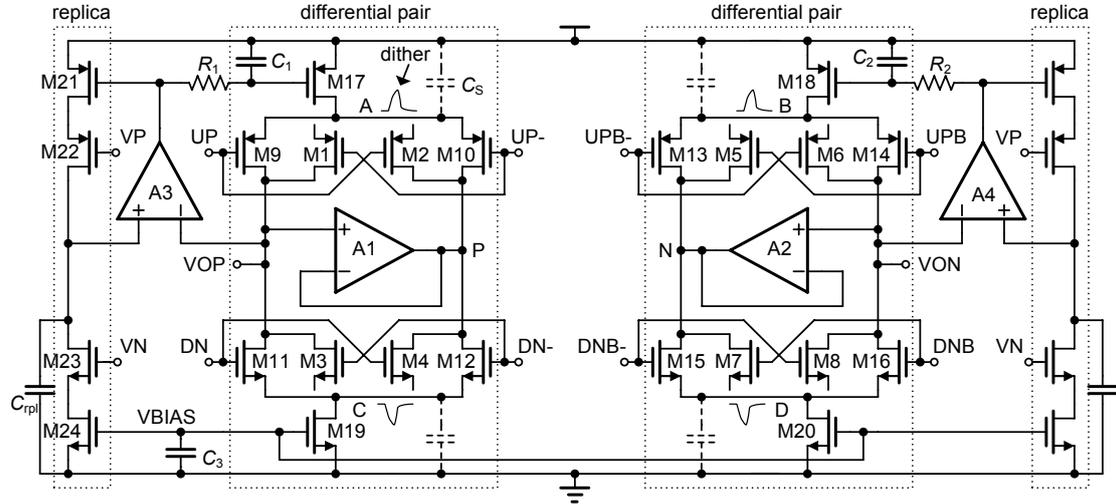


图 7-4 全差分电荷泵

7.2.2.3 分频器

采用 4/4.5 预分频器和可编程脉冲吞计数器，结合三阶 $\Delta\Sigma$ 调制器的分频器总体电路如图 7-5 所示。

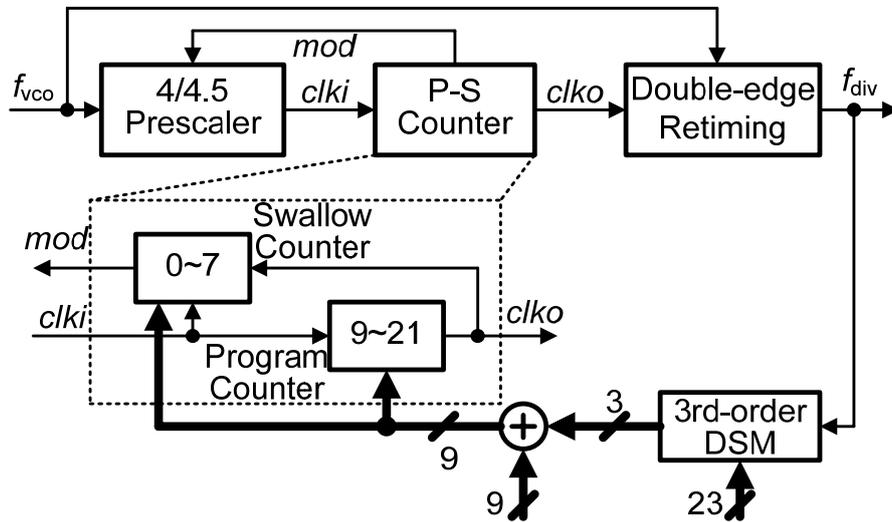


图 7-5 采用 4/4.5 预分频器的分频器

输入时钟来自于压控振荡器输出，频率范围从 1.2GHz 至 2.1GHz 。时钟 f_{vco} 首先经过 4/4.5 预分频器，然后输出到脉冲吞计数器。程序计数器 P 的编程范围是 9 至 21，吞计数器 S 的编程范围是 0 至 7，能实现的分频比是 36 至 87.5，

步长为 0.5。三阶 $\Delta\Sigma$ 调制器采用单环结构，输出整数范围 $y[n]$ 在 -1 至 2 之间；使用 23 比特字长，可以实现 36.5 至 82.5 之间频率精度为 2^{-24} 的任意分数分频比。可编程脉冲吞计数器的输出 clk_o 连接一个由 f_{VCO} 提供时钟的高速双沿同步触发器，以提高相位噪声性能。

7.2.2.4 环路滤波器

为抑制三阶 $\Delta\Sigma$ 调制器的带外量化噪声，采用三阶无源滤波器结构，如图 7-6 所示。滤波器采用差分结构，可将大电容 C_1 的面积降低一半。环路第 4 个极点取在 10 倍环路带宽处。电容使用工艺提供的 MIM(Metal-Insulator-Metal)结构实现，电阻使用高阻多晶硅(High Resistor Poly)实现。

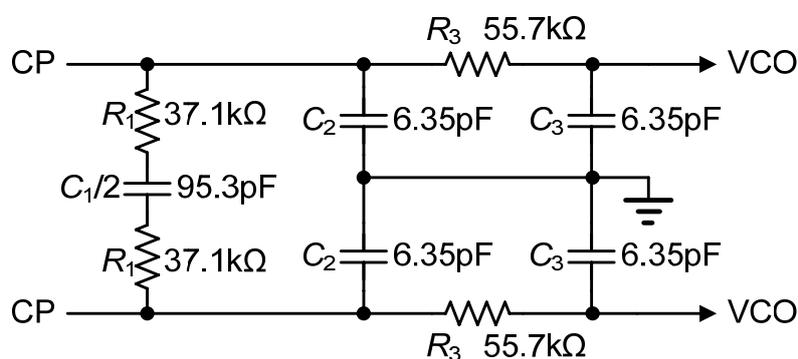


图 7-6 全差分三阶无源滤波器

使用图 7-6 中的滤波器参数，仿真得到的相位噪声曲线如图 7-7 所示。带内相位噪声接近 -100dBc/Hz，积分相位误差为 0.47° 。

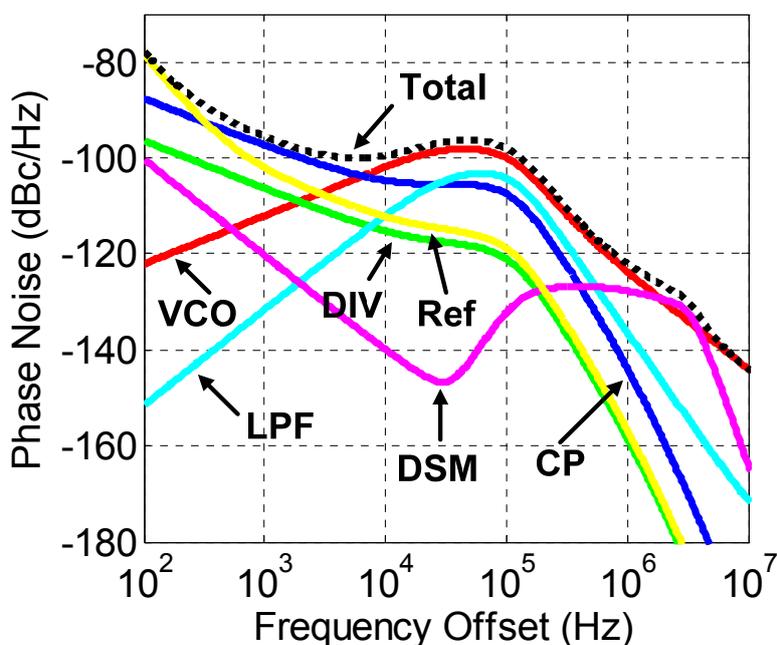


图 7-7 仿真的相位噪声

7.2.2.5 AFC

使用了第 5 章所述的基于分频比的 AFC 技术可以选择最优子带。但是，当温度变化超过 70°C 时，振荡频率会变化 30MHz ，可能超过单根子带所能覆盖的线性范围。因此，在图 7-2 中，加入一个电压监视器以监测压控电压。电压监视器的工作原理如图 7-8 所示。环路锁定之后等待一段时间，电压监视器就开始工作，一旦温度漂移或者其它情况导致环路失锁，电压监视器就发送一个信号给 AFC 使其复位，重新开始选带。如果环路失锁，压控电压会小于 V_{cl} 或者大于 V_{ch} ，比较器就会输出低电平给与非门，与非门再送出高电平给 AFC 使其复位。这种方法可以解决由温度漂移引起的环路失锁问题。

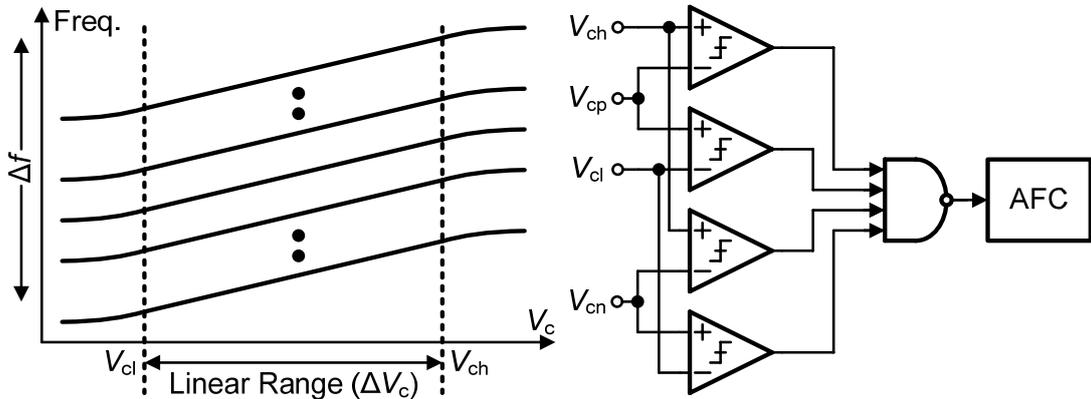


图 7-8 电压监视器监测压控电压

7.2.3 测试结果

该频率综合器芯片在 $0.18\text{-}\mu\text{m}$ CMOS 工艺上流片，芯片照片如图 7-9 所示。

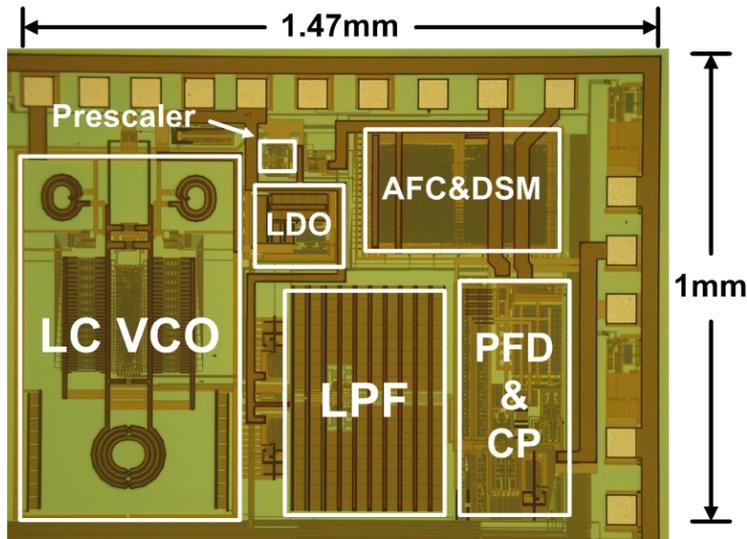


图 7-9 芯片照片

芯片面积为 $1.47\text{mm} \times 1\text{mm}$ ，包括 PAD 和 ESD 保护电路。电源电压为 1.8V ，

电流消耗 16mA。相位噪声和锁定时间采用 Agilent 公司的信号源分析仪 E5052A 测试，其余采用 Agilent 公司的频谱分析仪 E4440A 测试。

测试的频率调谐范围从 1.2GHz 至 2.1GHz，调谐曲线如图 7-10 所示。在 -1V 和 1V 之间的调谐范围都非常对称。

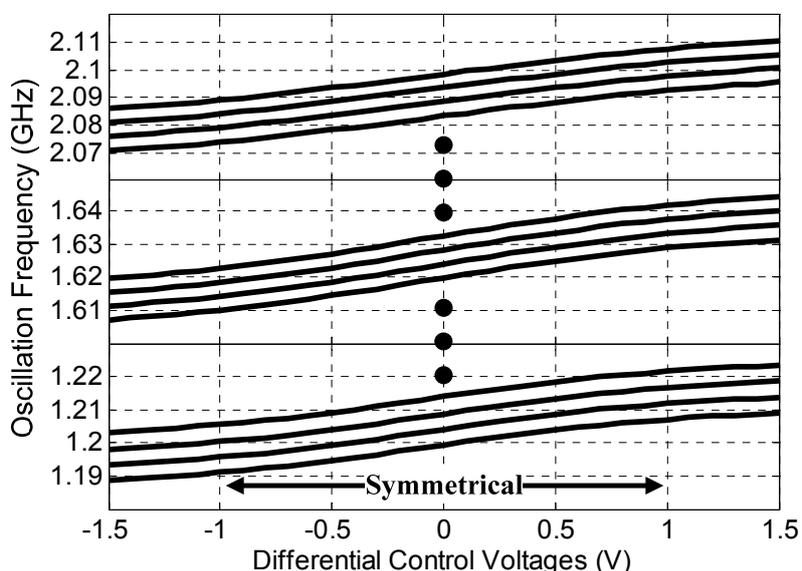


图 7-10 测试的调谐曲线

测试的整数相位噪声曲线如图 7-11 所示，振荡频率为 1.6GHz。带内相位噪声为 -99dBc/Hz，带外 1MHz 频偏处相位噪声为 -127dBc/Hz。积分相位误差为 0.38° ，RMS 抖动为 0.66ps。

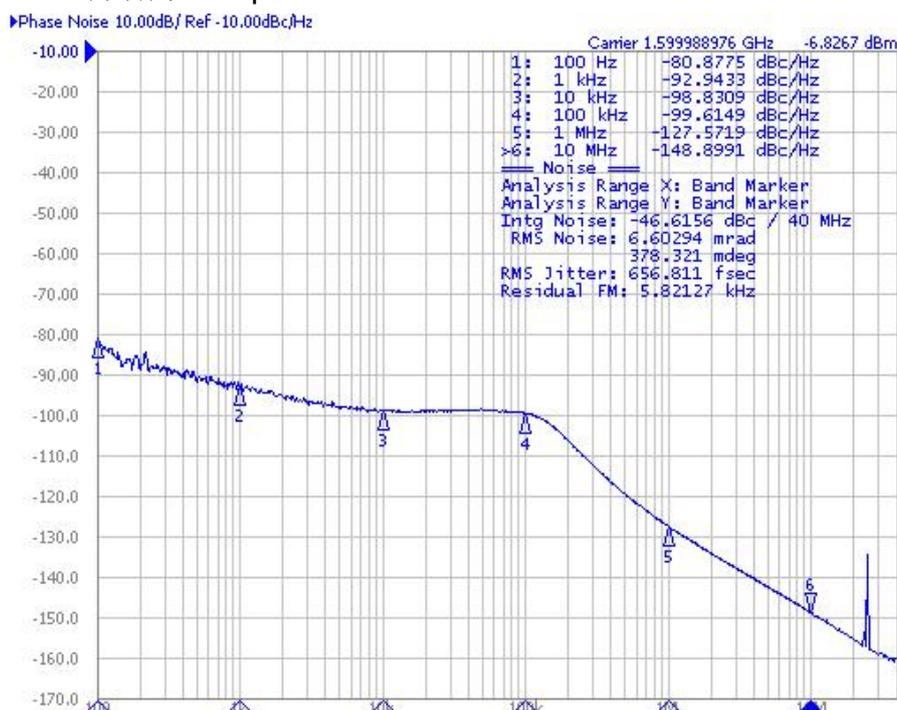


图 7-11 测试的整数分频相位噪声

测试的分数相位噪声曲线如图 7-12 所示，振荡频率为 1.6135GHz。带内相位噪声为-96dBc/Hz，带外 1MHz 频偏处相位噪声为-123dBc/Hz。积分相位误差为 0.58°，RMS 抖动为 1ps。

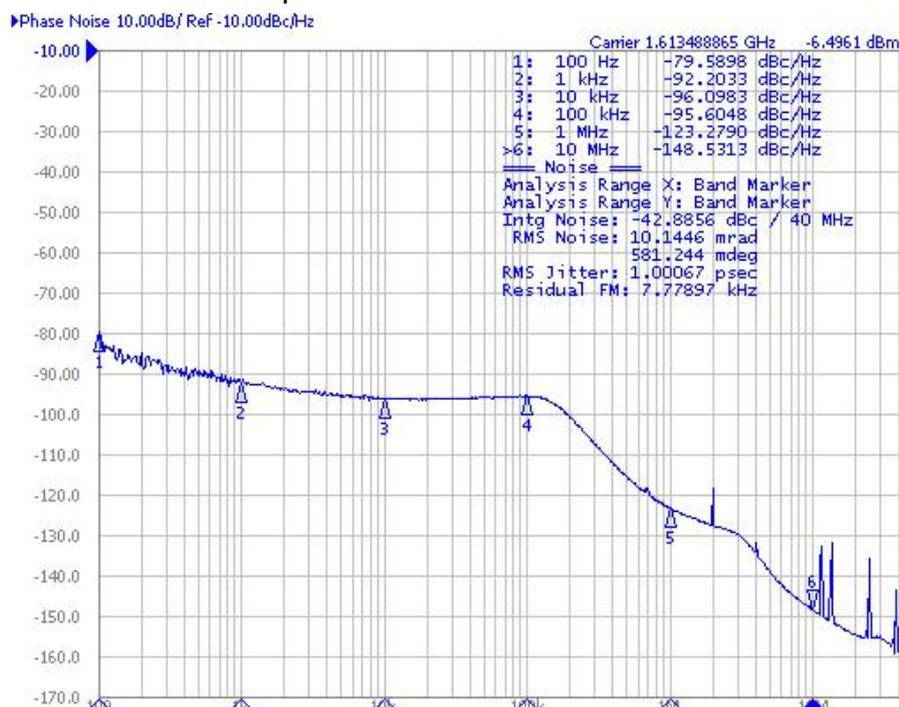


图 7-12 测试的分数分频相位噪声

压控振荡器电源电压分别接片上 LDO 和片外电源的相位噪声如图 7-13 所示。同使用片上 LDO 相比，使用片外电源的相位噪声在 60kHz 频偏处恶化了 5 个 dB，说明片上 LDO 有效抑制了片外电源的噪声干扰。

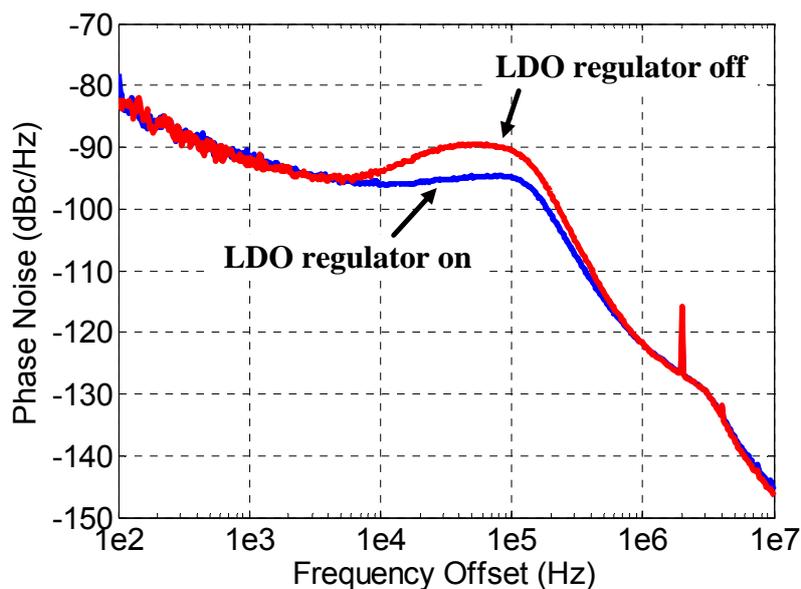


图 7-13 接 LDO 与接片外电源的测试相位噪声比较

图 7-14 为测试的不同振荡频率下的环路带宽与积分相位误差。在整个输出频率范围内，环路带宽从 125kHz 至 155kHz，相对变化量小于 10.7%。相位误差从 100Hz 至 40MHz 积分，分数分频的积分相位误差小于 $0.75^{\circ}_{\text{RMS}}$ ，整数分频的积分相位误差小于 0.5°_{RMS} 。

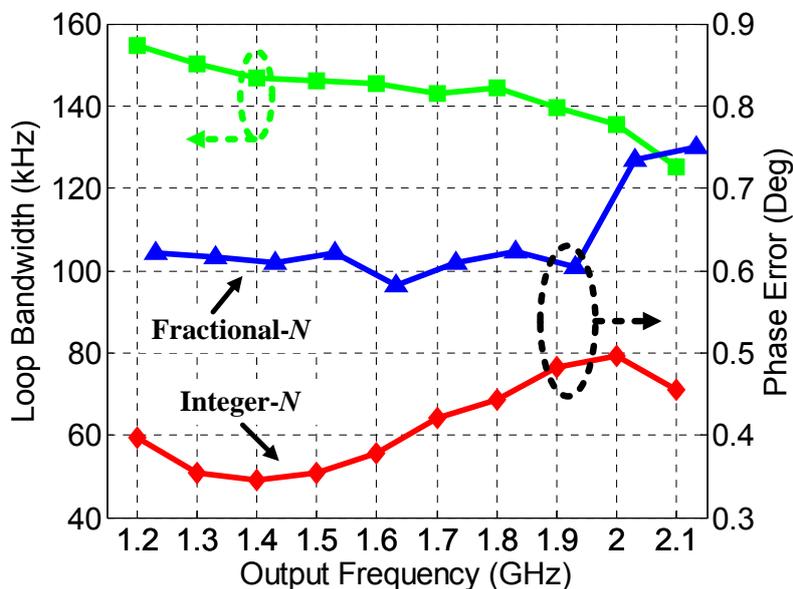


图 7-14 测试的环路带宽与积分相位误差

图 7-15 为测试的振荡器输出频谱图，可以看出在 25MHz 处的参考时钟杂散为 -78dBc 。在整个输出频率范围内，参考杂散都小于 -71dBc 。

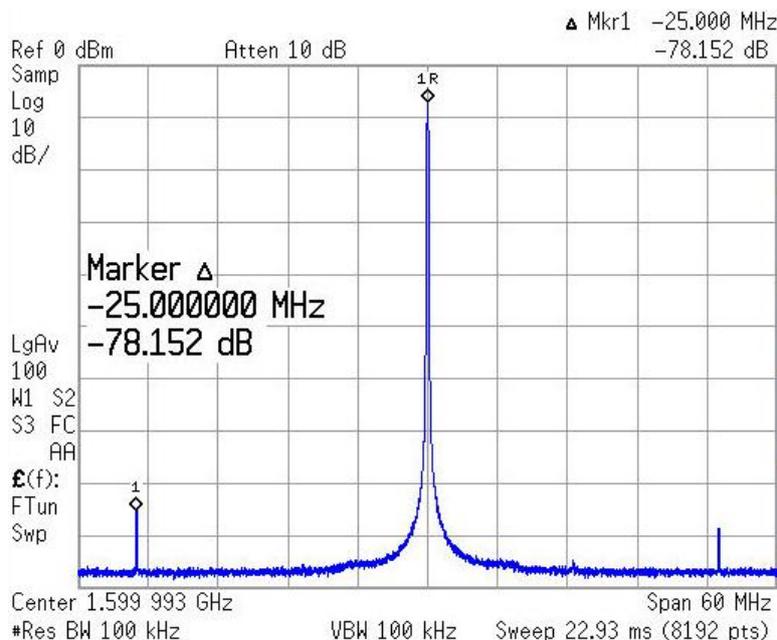


图 7-15 振荡器输出频谱

图 7-16 为锁定时间测试结果。AFC 单位建立时间是 $0.8\mu\text{s}$ ，经过 8 次计数，

共计 $6.4\mu\text{s}$ ，总的锁定时间小于 $20\mu\text{s}$ 。

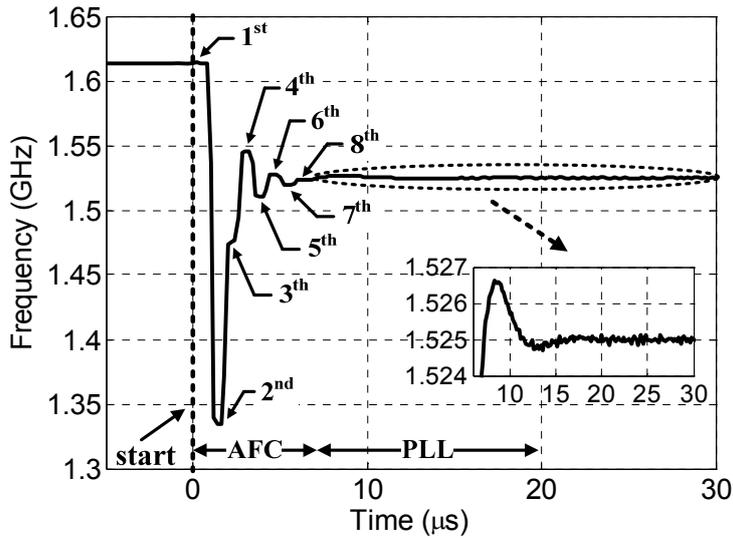


图 7-16 测试的锁定时间

表 7-1 列举了所设计的 $1.2\text{GHz}\sim 2.1\text{GHz}$ 的分数分频频率综合器芯片的各项性能参数和测试结果。

表 7-1 性能总结

Technology	0.18- μm CMOS	
Die Area	1.47 mm \times 1 mm	
Supply Voltage	1.8 V (VCO with 1.5 V)	
Power Consumption	25.2 mW	
Reference Frequency	25 MHz	
Output Frequency Range	1.2 GHz– 2.1 GHz (54.5%)	
Loop Bandwidth	125 kHz – 155 kHz	
Band Step	4.1 MHz – 4.9 MHz	
VCO Tuning Gain	9.5 MHz/V – 11 MHz/V	
Frequency Resolution	<1.5 Hz	
Phase Noise (dBc/Hz)	Integer-N	-99 @10 kHz, -127 @1 MHz
	Fractional-N	-96 @10 kHz, -123 @1 MHz
RMS Phase Error (100 Hz~40MHz)	Integer-N	< 0.5 $^{\circ}$ _{RMS}
	Fractional-N	< 0.75 $^{\circ}$ _{RMS}
Reference Spur	<-71dBc	
Locking Time	20 μs (6.4 μs for AFC)	

7.3 本章小结

- 1) 采用 Verilog-A 和 Verilog 语言对锁相环各个模块建立宏模型, 采用行为级仿真模型加快瞬态仿真速度;
- 2) 在 $0.18\text{-}\mu\text{m}$ CMOS 工艺上设计并测试了一款应用于 DVB-T 的 $1.2\text{GHz}\sim 2.1\text{GHz}$ 分数分频频率综合器芯片。使用了第 3 章所述的电平移位器和片上 LDO, 第 4 章所述的环路带宽恒定技术, 第 5 章所述的自动频率校正技术和第 6 章所述的 4/4.5 预分频器电路。测试结果表明, 整个输出频率范围内, 相位噪声和积分相位误差都达到很好的性能, 可以满足 DVB-T 应用的要求。

第8章 总结与展望

8.1 工作总结

随着数字通信的发展,数字电视正逐步取代模拟电视成为主流接收方式。地面数字电视具有频率范围宽、信噪比要求高等特点,这给射频接收机的关键模块之一频率综合器带来很多挑战。论文围绕 $\Delta\Sigma$ 分数分频锁相环型频率综合器开展研究工作,分别针对恒定环路带宽、自动频率校正和量化噪声抑制等方面提出相应的技术和解决办法,并完成以下研究:

- 1) 对现有研究成果进行了总结和概括,包括:分析了锁相环环路参数分析和相位噪声建模;阐述了 $\Delta\Sigma$ 分数锁相环的基本原理、 $\Delta\Sigma$ 调制器结构和量化噪声;分析了量化噪声到相位噪声的转换原理。
- 2) 回顾了振荡器的相位噪声模型,尤其是被广泛采用的线性时变相位噪声模型,并指出结论中的一个错误;分析了LC振荡器中容易忽视的两个问题调谐方式和电源噪声抑制;提出一个等效模型对常用的中心抽头差分电感进行阻抗提取;实现了一款正交LC压控振荡器芯片,测试结果表明正交精度可达 0.9° 。
- 3) 针对宽带锁相环中出现的环路带宽变化大的问题,提出三个措施予以解决,并对其中使调谐增益和子带间距均恒定的方法做了详细的理论分析;实现了一款 $1.175\text{GHz}\sim 2\text{GHz}$ 的整数分频频率综合器芯片验证所提技术,测试结果表明,环路带宽的变化范围小于9%。
- 4) 回顾了各种自动频率校正(AFC)技术;针对传统的AFC技术在分数锁相环中会产生残留分数误差的问题,提出一种基于分频比的AFC技术解决该问题,并对该技术做了详细的误差分析;实现了一款 $975\text{MHz}\sim 1960\text{MHz}$ 的分数锁相环芯片验证所提AFC技术。
- 5) 总结了几种分频器结构;将传统的 $4/5$ 同步预分频器扩展为 $8/9$ 同步预分频器,讨论了CML触发器和相关电路设计;提出一种可编程脉冲吞计数器的编码方式,以配合 $\Delta\Sigma$ 调制器实现宽带分数分频比;提出一种 $4/4.5$ 预分频器实现步长为0.5的分频比,降低由 $\Delta\Sigma$ 调制器的高通量化噪声引入的带外相位噪声。
- 6) 在前面所述的理论分析和各种技术的基础上,在 $0.18\text{-}\mu\text{m}$ CMOS工艺上实现了一款应用于DVB-T的 $1.2\text{GHz}\sim 2.1\text{GHz}$ 分数分频频率综合器芯片,芯片面积为 $1.47\text{mm}\times 1\text{mm}$,功耗为 25.2mW ,测试结果表明:环路带宽变化范围小于10.7%,带内相位噪声为 -96dBc/Hz ,积分相位误差为 0.75° ,参考杂散小于 -71dBc/Hz ,锁定时间小于 $20\mu\text{s}$ 。

8.2 未来展望

在以上研究的基础上，可进一步开展的研究工作有：

- 1) 环路带宽恒定技术是基于开环的方法，测试表明仍然有 9% 的变化；尝试在闭环传递函数基础上，通过改变零极点等方法达到更稳定的环路带宽。
- 2) 所提的 AFC 技术直接对 VCO 计数，能获得快速的建立时间，但每次单位计数时间相等；尝试使用动态计数时间，缩短单位计数时间，进一步加快 AFC 建立速度。
- 3) 4/4.5 预分频器虽然能降低 $\Delta \Sigma$ 调制器的带外量化噪声，但是效果有限；尝试设计能产生更小步长比如 0.25、0.125 的分频器，在更大程度上降低 $\Delta \Sigma$ 调制器的高通量化噪声。

参考文献

- [1] F. M. Gardner, "Charge-Pump Phase-Locked Loops," *IEEE Trans. Comm.*, vol. COM-28, pp. 1849–1858, Nov. 1980.
- [2] C. S. Vaucher, *Architectures for Frequency Synthesizers*. New York: Kluwer, 2003.
- [3] 何捷, “DVB-T 接收机中频率综合器的研究”, 复旦大学博士论文, 2005
- [4] 杨振宇, “频率综合器相位噪声分析及全差分电荷泵设计”, 复旦大学硕士论文, 2007
- [5] K. Shu, E. S.-Sinencio, J. S.-Martínez, S. H. K. Embabi; A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier, *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 866–874, June 2003.
- [6] B. Miller and R. Conley, “A multiple modulator fractional divider,” in *Proc. 44th Annu. Frequency Control Symp.*, May 1990, pp. 559–568.
- [7] B. Miller, B. Conley, “A multiple modulator fractional divider,” *IEEE Trans. Instrum. Measur.*, vol. 40, no. 3, pp. 578–583, June 1991.
- [8] T. A. Riley, M. Copeland, and T. Kwasniewski, “Delta-sigma modulation in fractional-N frequency synthesis,” *IEEE J. Solid-State Circuits*, vol. 28, pp. 553–559, May 1993.
- [9] S. R. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma Data Converters: Theory, Design and Simulation*. New York, NY: IEEE Press, 1997.
- [10] W. Rhee, B.-S. Song, and A. Ali, “A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order $\Delta\Sigma$ modulator,” *IEEE J. Solid-State Circuits*, vol. 35, no. 10, pp. 1453–1460, Oct. 2000.
- [11] I. Galton, “Delta-Sigma fractional-N phase locked loops.” In B. Razavi Ed. *Phase-Locking in High Performance Systems: From Devices to Architectures*. Piscataway, N.J, 2003, pp. 23–33.
- [12] M. H. Perrott, M. D. Trott, and C. G. Sodini, “A modeling approach for $\Sigma\Delta$ fractional-N frequency synthesizers allowing straightforward noise analysis,” *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 1028–1038, Aug. 2002.
- [13] 唐长文, “电感电容压控振荡器”, 复旦大学博士论文, 2004
- [14] 袁路, “宽带电感电容压控振荡器的研究与设计”, 复旦大学硕士论文, 2008
- [15] D.B. Leeson, “A simple model of feedback oscillator noises spectrum,” *Proc. IEEE*, vol. 54, pp. 329–330, Feb. 1966.
- [16] J. Craninckx and M. Steyaert, “Low-noise voltage-controlled oscillators using enhanced LC-tanks,” *IEEE Trans. Circuits Syst.-II*, vol. 42, pp. 794–904, Dec. 1995.

- [17] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits*, vol. 31, pp.331–343, Mar. 1996.
- [18] Demir, A. Mehrotra, and J. Roychowdhury, "Phase noise in oscillators: a unifying theory and numerical methods for characterization," *IEEE Tran. Circuits Syst. I, Reg. Papers*, vol. 47, no. 5, pp. 655–674, May 2000.
- [19] C. Samori, A.L. Lacaita, F.Villa, and F. Zappa, "Spectrum folding and phase noise in LC tuned oscillators," *IEEE Trans. Circuits Syst.-II*, vol. 45, pp. 781–790, Jul. 1995.
- [20] J. J. Rael and A. A. Abidi, " Physical processes of phase noise in differential LC oscillators," in *Proc. IEEE Custom Integrated Circuits Conf.*, Sept. 2000, pp.569–572.
- [21] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb. 1998.
- [22] T. H. Lee and A. Hajimiri, "Oscillator phase noise: A tutorial," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 326–336, Mar. 2000.
- [23] A. Hajimiri and T. H. Lee, "Design issues in CMOS differential LC oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 717–724, May 1999.
- [24] A. Hajimiri and T. H. Lee, "Corrections to "A general theory of phase noise in electrical oscillators"," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 6, p. 928, June 1998.
- [25] L. Lu, Z. Tang, P. Andreani, A. Mazzanti, and A. Hajimiri, "Comments on "comments on "A general theory of phase noise in electrical oscillators""", *IEEE J. Solid-State Circuits*, vol. 43, no. 9, p. 2170, Sept. 2008.
- [26] A. V. Oppenheim, A. S. Willsky and S. H. Nawab, *Signals and Systems*, Second Ed., Englewood Cliffs, NJ: Prentice-Hall, 1997, p. 205.
- [27] A. Jannesari and M. Kamarei, "Comments on "A general theory of phase noise in electrical oscillators"," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 10, p. 2314, Oct. 2007.
- [28] M. Tiebout, "Low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1018–1024, Jul. 2001.
- [29] A. M. ElSayed and M. I. Elmasry, "Low-phase-noise LC quadratureVCO using coupled tank resonators in a ring structure," *IEEE J. Solid-State Circuits*, vol. 36, no. 4, pp. 701–705, Apr. 2001.
- [30] P. Andreani, A. Bonfanti, L. Romanò, and C. Samori, "Analysis and design of a 1.8-GHz CMOS LC Quadrature VCO," *IEEE Journal of Solid-State Circuits*, vol. 37,

- no. 12, pp. 1737–1747, Dec. 2002.
- [31] S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Samori, V. Boccuzzi, “A low-phase-noise 5-GHz CMOS quadrature VCO using Superharmonic Coupling,” *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1148–1154, July. 2003.
- [32] A. Mazzanti and F. Svelto, “A 1.8-GHz injection-locked quadrature CMOS VCO with low phase noise and high phase accuracy,” *IEEE Trans. on Circuits and Systems-I*, vol. 53, pp. 554–560, Mar. 2006.
- [33] C. Yao and A. N. Willson, “A phase-noise reduction technique for quadrature LC-VCO with phase-to-amplitude noise conversion,” *ISSCC Dig. Tech. Papers*, pp. 196–197, Feb. 2006.
- [34] A. Mazzanti, F. Svelto, and P. Andreani, “On the amplitude and phase errors of quadrature LC-tank CMOS oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 6, pp. 1305–1313, June 2006.
- [35] A. Kral, F. Behbahani, A. Abidi, “RF CMOS oscillators with switched tuning,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, 1998, pp. 555–558.
- [36] Axel D. Berny, Ali M. Niknejad and Robert G. Meyer, “A 1.8-GHz LC VCO With 1.3-GHz Tuning Range and Digital Amplitude Calibration,” *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 909–917, Apr. 2005.
- [37] Takahiro Nakamura, Toru Masuda, Nobuhiro Shiramizu, et al., “A Wide-tuning-range VCO with Small VCO-gain Fluctuation for Multi-band W-CDMA RFIC,” in *Proc. European Solid-State Circuits Conf.*, pp. 448–451, Sept. 2006.
- [38] D. Hauspie, E.-C. Park, and J. Craninckx, “Wideband VCO With Simultaneous Switching of Frequency Band, Active Core, and Varactor Size,” *IEEE J. Solid-State Circuits*, vol. 42, no. 7, pp. 1472–1480, July 2007.
- [39] Z. Tang, J. He, and H. Min, “A low-phase-noise 1-GHz LC VCO differentially tuned by switched step capacitors,” in *IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2005, pp. 409–412.
- [40] B. Soltanian et al., “An ultra compact differentially tuned 6 GHz CMOS LC VCO with dynamic common-mode feedback,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2006, pp. 671–674.
- [41] L. Lu, Lingbu Meng, Liang Zou, Hao Min, and Zhangwen Tang, “A Sub-0.75° RMS-Phase-Error Differentially-Tuned Fractional-N Synthesizer with On-Chip LDO Regulator and Analog-Enhanced AFC Technique,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2009, pp. 53–56.
- [42] S. K. Hoon et al., “A low noise, high power supply rejection low dropout regulator for

- wireless system-on-chip applications,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2005, pp. 759–762.
- [43] 卢磊, 周锋, 唐长文, 闵昊, 王俊宇. 中心抽头差分电感的等效模型和参数提取. 半导体学报, 2006, 27(12): 2150
- [44] N. Troedsson, J. Wernehag, H. Sjoland, “Differential measurement and parameter extraction of symmetrical inductors,” in *23rd NORCHIP Conf*, 2005, pp. 289–292
- [45] R. L. Bunch, D. I. Sanderson, S. Raman, “Quality factor and inductance in differential IC implementations,” *IEEE Microwave Magazine*, vol. 3, no. 2, pp. 82–92, June 2002.
- [46] S. F. Lim, K. S. Yeo, J. G. Ma. et al., “A comprehensive study and modeling of centre-tap differentially driven single-turn integrated inductors for 10-GHz applications,” *Microwave and Optical Technology Letters*, vol. 38, no. 3, pp. 182–185, June 2003.
- [47] 菅洪彦, 唐珏, 唐长文, 何捷, 闵昊.可缩放的开路通路地屏蔽电感在片测试结构去嵌入方法.半导体学报, 2005, 26(8):1656
- [48] E. Hegazi, H. Sjoland, and A. A. Abidi, “A filtering technique to lower LC oscillator phase noise,” *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1921–1930, Dec. 2001.
- [49] M. Dawkins, A. P. Burdett, and N. Cowley, “A single-chip tuner for DVB-T,” *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1307–1317, Aug. 2003.
- [50] J. G. Maneatis, J. Kim, I. McClatchie, J. Maxey, and M. Shankaradas, “Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1795–1803, Nov. 2003.
- [51] Y. Akamine, M. Kawabe, K. Hori, T. Okazaki, M. Kasahara, and S. Tanaka, “ $\Delta\Sigma$ PLL transmitter with a loop-bandwidth calibration system,” *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 497–506, Feb. 2008.
- [52] L. Lu, L. Yuan, H. Min, and Z. Tang, “A fully integrated 1.175-to-2GHz frequency synthesizer with constant bandwidth for DVB-T applications,” in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June 2008, pp. 303–306.
- [53] L. Lu, J. Chen, L. Yuan, H. Min, and Z. Tang, “An 18-mW 1.175-to-2 GHz Frequency Synthesizer with A Constant Loop Bandwidth for DVB-T Tuners,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 4, pp. 928–937, Apr. 2009.
- [54] Floyd M. Gardner, *Phaselock Techniques*, 3rd ed. New York: Wiley, 2005, pp. 12–28.
- [55] J. Lee and B. Kim, “A low-noise fast-lock phase-locked loop with adaptive

- bandwidth control," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1137–1145, Aug. 2000.
- [56] T. Nakamura, T. Masuda, N. Shiramizu, K. Washio, T. Kitamura, and N. Hayashi, "A wide-tuning-range VCO with small VCO-gain fluctuation for multi-band W-CDMA RFIC," in *Proc. Eur. Solid-State Circuits Conf. (ESSCIRC)*, Sept. 2006, pp. 448–451.
- [57] T. Y. Lin, T. Y. Yu, L. W. Ke, and G. K. Dehng, "A low-noise VCO with a constant K_{VCO} for GSM/GPRS/EDGE applications," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June 2008, pp. 387–390.
- [58] A. Rao, M. Mansour, G. Singh, C.-H. Lim, R. Ahmed, and D. R. Johnson, "A 4–6.4 GHz LC PLL with adaptive bandwidth control for a forwarded clock link," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2099–2108, Sept. 2008.
- [59] Z. Tang, J. He, and H. Min, "A low-phase-noise 1-GHz LC VCO differentially tuned by switched step capacitors," in *IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2005, pp. 409–412.
- [60] C. S. Vaucher, I. Ferencic, M. Locher, S. Sedvallson, U. Voegeli, and Z. Wang, "A family of low-power truly modular programmable dividers in standard 0.35- μ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 1039–1045, July 2000.
- [61] P. Andreani and S. Mattisson, "On the use of MOS varactors in RF VCOs," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 905–910, June 2000.
- [62] R. L. Bunch and S. Raman, "Large-signal analysis of MOS varactors in CMOS- G_m LC VCOs," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1325–1332, Aug. 2003.
- [63] S. Cheng, H. Tong, J. Silva-Martinez, and A. I. Karsilayan, "Design and analysis of an ultrahigh-speed glitch-free fully differential charge pump with minimum output current variation and accurate matching," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 9, pp. 843–847, Sept. 2006.
- [64] 杨振宇, "频率综合器相位噪声分析及全差分电荷泵设计", 复旦大学硕士论文, 2007
- [65] M. Terrovitis, M. Mack, K. Singh, and M. Zargari, "A 3.2 to 4GHz, 0.25 μ m CMOS frequency synthesizer for IEEE 802.11a/b/g WLAN," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2004, pp. 95–96.
- [66] Maxim, R. Poorfard, J. Kao, "A sub-1.5° phase-noise ring-oscillator-based frequency synthesizer for low-IF single-chip DBS satellite tuner-demodulator SoC," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2006, pp. 618–619.

- [67] M. Marutani, H. Anbutsu, M. Kondo, N. Shirai, H. Yamazaki, and Y. Watanabe, "An 18mW 90 to 770MHz synthesizer with agile auto-tuning for digital TV-tuners," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2006, pp. 192–193.
- [68] Vassiliou, K. Vavelidis, S. Bouras, S. Kavadias, Y. Kokolakis, G. Kamoulakos, A. Kyranas, C. Kapnitsis, and N. Haralabidis, "A 0.18 μ m CMOS dual-band direct-conversion DVB-H receiver," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2006, pp. 606–607.
- [69] M. Gupta, S. Lerstaveesin, D. Kang, and B-S. Song, "A 48-to-860MHz CMOS direct-conversion TV tuner," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2007, pp. 206–207.
- [70] S. Levantino, C. Samori, A. Bonfanti, S. L. J. Gierkin, A. L. Lacaita, and V. Bocuzzi, "Frequency dependence on bias current in 5-GHz CMOS VCOs: impact on tuning range and flicker noise upconversion," *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp. 1003–1011, Aug. 2002.
- [71] A. Kral, F. Behbahani, A. Abidi, "RF CMOS oscillators with switched tuning," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, 1998, pp. 555–558.
- [72] Y. Fouzar, M. Sawan and Y. Savaria, "A new fully integrated CMOS phase-locked loop with low jitter and fast lock time," in *Proc. Circuits Syst. (ISCAS)*, 2000, pp. 253–256.
- [73] M. A. T. Sanduleanu, D. van Goor and H. Veenstra, "Octave tunable, highly linear, RC-ring oscillator with differential fine-coarse tuning, quadrature outputs and amplitude control for fiber optic transceivers," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, 2002, pp. 435–438.
- [74] Y. Moon, Y. Park, N. Kim, G. Ahn, H. J. Shin, and D. Jeong, "A quad 0.6-3.2Gb/s/channel interference-free CMOS transceiver for backplane serial link," *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 795–803, May. 2004.
- [75] S. B. Anand and B. Razavi, "A CMOS clock recovery circuit for 2.5-Gb/s NRZ data," *IEEE J. Solid-State Circuits*, vol. 36, no. 5, pp. 432–439, Mar. 2001.
- [76] P. Larsson, "An offset-cancelled CMOS clock-recovery/demux with a half-rate linear phase detector for 2.5 Gbp/s optical communication," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2001, pp. 74–75.
- [77] G.-Y. Wei, J. T. Stonick, D. Weinlader, J. Sonntag, and S. Searles, "A 500 MHz MP/DLL clock generator for a 5 Gb/s backplane transceiver in 0.25 μ m CMOS," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2003, pp.

- 464–465.
- [78] W. B. Wilson, U. Moon, K. R. Lakshmikumar, and L. Dai, “A CMOS self-calibrating frequency synthesizer,” *IEEE J. Solid-State Circuits*, vol. 35, no. 10, pp. 1437–1444, Oct. 2000.
- [79] N. Noguchi, T. Tateyama, M. Okamoto, H. Uchida, M. Kimura, and K. Takahashi, “A 9.9 G–10.8 Gb/s rate-adaptive clock and data-recovery with no external reference clock for WDM optical fiber transmission,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2002, pp. 252–253.
- [80] F. Herzel, G. Fischer and H. Gustat, “An integrated CMOS RF synthesizer for 802.11a wireless LAN,” *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1767–1770, Oct. 2003.
- [81] T.-H. Lin and W. J. Kaiser, “A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop,” *IEEE J. Solid-State Circuits*, vol. 36, no. 5, pp. 424–431, Mar. 2001.
- [82] J. Lee, et al., “A 480-MHz to 1-GHz sub-picosecond clock generator with a fast and accurate automatic frequency calibration in 0.13- μ m CMOS,” in *IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2007, pp. 67–70.
- [83] T.-H. Lin and Y.-J. Lai, “An agile VCO frequency calibration technique for a 10-GHz CMOS PLL,” *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 340–349, Feb. 2007.
- [84] T. Wu, P. K. Hanumolu, K. Mayaram, and U.-K. Moon, “A 4.2GHz PLL frequency synthesizer with an adaptively tuned coarse loop,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2007, pp. 547–550.
- [85] T. Yasunaga, “A fully integrated PLL frequency synthesizer LSI for mobile communication system,” in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, 2001, pp. 65–68.
- [86] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, K. Lee, D. Jeong, and W. Kim, “A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems,” *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536–542, May. 2002.
- [87] G. Konstanznig, A. Springer and R. Weigel, “A low power 4.3GHz phase-locked loop with advanced dual-mode tuning technique including I/Q-signal generation in 0.12 μ m standard CMOS,” in *Proc. Circuits Syst. (ISCAS)*, 2003, pp. 288–291.
- [88] Georg Konstanznig and R. Weigel, “A 10mW, 4GHz CMOS phase-locked loop with dual-mode tuning technique and partly-integrated loop filter,” in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, 2003, pp. 189–192.

- [89] A. Ravi, R. E. Bishop, L. R. Carley and K. Soumyanath, "8 GHz, 20mW, fase locking, fractional-N frequency synthesizer with optimized 3rd order, 3/5-bit IIR and 3rd order 3-bit FIR noise shapers in 90nm CMOS," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2004, pp. 625–628.
- [90] K. Manetakakis, D. Jessie and C. Narathong, "A CMOS VCO with 48% tuning range for modern broadband systems," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2004, pp. 265–268.
- [91] S. T. Lee, S. J. Fang, D. J. Allstot, A. Bellaouar, A. R. Fridi, and P. A. Fontaine, "A quad-band GSM-GPRS transmitter with digital auto-calibration," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2200–2214, Dec. 2004.
- [92] C.-H. Lee, A. Ali, and S. Lloyd, "A 0.18 μm SiGe BiCMOS UHF VCO with auto tuning for DCT AMPS and CDMA application," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June. 2004, pp.471–474.
- [93] H.-I. Lee, J.-K. Cho, K.-S. Lee, I.-C. Hwang, T.-W. Ahn, K.-S. Nah, and B.-H. Park, "A sigma-delta fractional-N frequency synthesizer using a wide-band integrated VCO and a fast AFC technique for GSM/GPRS/ WCDMA applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1164–1169, July 2004.
- [94] K-S Lee, E-Y Sung, I-C Hwang, and B-H Park, "Fast AFC technique using a code estimation and binary search algorithm for wideband frequency synthesis," in *Proc. Eur. Solid-State Circuits Conf. (ESSCIRC)*, Sept. 2005, pp. 448–451.
- [95] Chao-Shi Chuang, etc., "Method for automatically calibrating the frequency range of a PLL and associated pll capable of automatic calibration," Patent No. US0,137,816 A1
- [96] M.-W. Hwang, J.-C. Lee, S. Beck, S. Yoo, K. Lim, H. Jung, T.-H. Lee, K.-I. Kim, G.-H. Cho, and S. Han, "A fully-integrated low power direct conversion transmitter with fractional-N PLL using a fast AFC technique for CDMA applications," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June 2005, pp. 679–682.
- [97] M. Marutani, H. Anbutsu, M. Kondo, N. Shirai, H. Yamazaki, and Y. Watanabe, "An 18mW 90 to 770MHz synthesizer with agile auto-tuning for digital TV-tuners," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2006, pp. 192–193.
- [98] J. Shin, I. Seo, J. Kim, S.-H. Yang, C. Kim, J. Pak, H. Kim, M. Kwak, and G. Hong, "A low-jitter added SSCG with seamless phase selection and fast AFC for 3rd generation serial-ATA," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2006, pp. 409–412.

- [99] L. Lu, Z. Gong, Y. Liao, H. Min, and Z. Tang, "A 975-to-1960 MHz, Fast-Locking Fractional-N Synthesizer with Adaptive Bandwidth Control and 4/4.5 Prescaler for Digital TV Tuners," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2009, pp. 396–397.
- [100] B. Razavi, *Phase-Locking in High-Performance Systems: From Devices to Architectures*. New York: Wiley-Interscience, 2003, pp. 3–12.
- [101] X. Yu, M. Do, W. Lim, K. Yeo, and J.-G. Ma, "Design and Optimization of the Extended Ture Single-Phase Clock-Based Prescaler," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 11, pp. 3828–3835, Nov. 2006.
- [102] B. Razavi, *RF Microelectronics*, Upper Saddle River, NJ: Prentice Hall, 1998.
- [103] R. S. Rana, "Dual-modulus 127/128 FOM enhanced prescaler design in 0.35- μ m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 8, pp. 1662–1670, Aug. 2005.
- [104] H. Knapp, J. Böck, M. Wurzer, G. Ritzberger, K. Aufinger, and L. Treitinger, "2-GHz/2-mW and 12-GHz/30-mW dual-modulus prescalers in Silicon bipolar technology," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 9, pp. 1420–1423, Sept. 2001.
- [105] J. Craninckx and M. Steyaert, "A 1.75 GHz/3 V dual-modulus divide-by-128/129 prescalar in 0.7 μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 890–897, July 1996.
- [106] 沈维伦, "单片集成 CMOS 802.11b 分数分频频率综合器", 复旦大学硕士论文, 2006.
- [107] 卢磊, 闵昊, 唐长文, "一种应用于分数分频频率合成器的脉冲吞计数器", 发明专利, 申请号: 200910050627.7
- [108] G. C. T. Leung and H. C. Luong, "A 1-V 5.2-GHz CMOS synthesizer for WLAN applications," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 11, pp. 1873–1882, November 2004.
- [109] U. Singh and M. Green, "Dynamics of High-Frequency CMOS Dividers," in *Proc. Circuits Syst. (ISCAS)*, vol. 5, pp. 26–29, May 2002.
- [110] C. Cao and K. K. O, "A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 11, pp. 721–723, Nov. 2005.
- [111] Y. Ding and K. K. O, "A 21-GHz 8-Modulus Prescaler and a 20-GHz Phase-Locked Lop Fabricated in 130-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42 no. 6, pp. 1240–1249, June 2007.
- [112] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J.*

- Solid-State Circuits*, vol. 24, no. 2, pp. 62–70, Feb. 1989.
- [113] B. Chang, J. Park, and W. Kim, "A 1.2 GHz CMOS dual-modulus prescaler using new dynamic d-type flip-flops," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 5, pp. 749–752, May 1996.
- [114] S. Levantino, L. Romanò, S. Pellerano, C. Samori, and A. L. Lacaita, "Phase noise in digital frequency dividers," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 5, pp. 775–784, May 2004.
- [115] E. Temporiti, G. Albasini, I. Bietti, R. Castello, and M. Colombo, "A 700 kHz bandwidth $\Sigma\Delta$ fractional synthesizer with spurs compensation and linearization techniques for WCDMA applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1446–1454, Sept. 2004.
- [116] M. Gupta and B. S. Song, "A 1.8 GHz spur cancelled fractional-N frequency synthesizer with LMS based DAC gain calibration," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2842–2851, Dec. 2006.
- [117] Swaminathan, K. J. Wang, and I. Galton, "A wide-bandwidth 2.4 GHz ISM-band fractional-N PLL with adaptive phase-noise cancellation," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2639–2650, Dec. 2007.
- [118] S. E. Meninger and M. H. Perrott, "A 1 MHz bandwidth 3.6 GHz 0.18 μm CMOS fractional-N synthesizer utilizing a hybrid PFD/DAC structure for reduced broadband phase noise," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 966–980, Apr. 2006.
- [119] Y.-C. Yang and S.-S. Lu, "A quantization noise pushing technique for $\Delta\Sigma$ fractional-N frequency synthesizers," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 4, pp. 817–825, Apr. 2008.
- [120] X. Yu, Y. Sun, L. Zhang, W. Rhee, and Z. Wang, "A 1GHz fractional-N PLL clock generator with low-OSR $\Delta\Sigma$ modulation and FIR-embedded noise filtering," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2008, pp. 346–347.
- [121] Y.-C. Yang, S.-A. Yu, T. Tang, and S.-S. Lu, "A quantization noise suppression technique for $\Delta\Sigma$ fractional-N frequency synthesizers," *IEEE J. Solid-State Circuits*, vol. 41, no. 11, pp. 2500–2511, Nov. 2006.
- [122] K. S. Kundert, "Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers." In B. Razavi Ed. *Phase-Locking in High Performance Systems: From Devices to Architectures*. Piscataway, N.J, 2003, pp. 46–69.
- [123] D. Saias, F. Montaudon, E. Andre, F. Balleul, M. Bely, P. Busson, S. Dedieu, A. Dezzani, A. Moutard, G. Provins, E. Rouat, J. Roux, G. Wagner, and F. Paillardet, "A 0.12 μm CMOS DVB-T Tuner," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig.*

Tech. Papers, Feb. 2005, pp. 430–431.

- [124] Z. Gong, L. Lu, Y. Liao, and Z. Tang, “Design and Noise Analysis of a Fully-differential Charge Pump for Phase-Locked Loops,” *Chinese Journal of Semiconductors*, vol. 30, no. 10, pp. 105013–6, Oct. 2009.

致谢

衷心感谢导师闵昊教授和唐长文副教授对本人的悉心指导和教诲，他们的言传身教将使我终生受益。

感谢洪志良、闫娜和谈熙等老师对论文工作的关心和支持。

感谢研究小组同学杨振宇、袁路、宫志超、邹亮、孟令部和赵薇，他们协助完成了部分电路和版图的设计工作。感谢实验室同学廖友春和金黎明在电路测试方面提供的帮助。感谢中芯国际的杨立吾和王昕宇给予的流片和测试支持。

另外，实验室同学尹睿、韩科峰、温晓珂、余永长也对论文工作给予了帮助和支持，在此一并表示感谢。

感谢我的家人特别是我的妻子在论文紧要关头给予的鼓励、支持和帮助。

个人简介和在学期间发表作品列表

个人简介

卢磊，男，1982年11月出生于安徽省蚌埠市。

2000年9月考入上海电力学院信息与控制技术系电子信息工程专业，2004年7月本科毕业并获工学学士学位。期间，五次获得校一等奖学金。

2004年9月考入复旦大学专用集成电路与系统国家重点实验室攻读硕士学位，2007年2月免试转为攻读博士学位。期间，两次获得校一等奖学金，获得第八届“上海—应用材料研究与发展”基金研究生奖学金，获得首届“微软杯”IEEE中国学生论文竞赛奖，获得第七届复旦大学“校长奖”。

攻读博士学位以来主要研究方向为模拟、射频集成电路设计，尤其是应用于数字电视调谐器的频率综合器的研究与设计，关注于片上电感的建模与参数提取、正交和宽带压控振荡器设计、带有快速频率校正的宽带分数分频频率综合器以及混合信号电路设计。在国家“863”、国家自然科学基金和上海市“启明星”计划等基金项目中均担任关键研究成员。

近年来在国内外顶级期刊和会议上以第一作者身份发表了数篇研究论文，包括固态电路杂志(JSSC)、微波理论与技术学报(TMTT)、半导体学报等期刊(CJS)，以及国际固态电路会议(ISSCC)、全定制集成电路会议(CICC)和射频集成电路研讨会(RFIC)等会议，申请中国发明专利2项。其中发表在第55届ISSCC上的论文是复旦大学首篇被该会议录用的文章，是专用集成电路与系统国家重点实验室在集成电路设计领域的一次重大突破，本人亦获得该会议的“丝绸之路”奖。

在学期间发表作品列表

已发表论文：

- [1] **L. Lu**, L. Meng, L. Zou, H. Min, and Z. Tang, “A Sub-0.75°_{RMS}- Phase-Error Differentially-Tuned Fractional-*N* Synthesizer with On-Chip LDO Regulator and Analog-Enhanced AFC Technique,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2009, pp. 53–56. (**SCI Expanded 检索; EI 检索**)
- [2] **L. Lu**, J. Chen, L. Yuan, H. Min, and Z. Tang, “An 18 mW 1.175-to-2 GHz Frequency Synthesizer with A Constant Loop Bandwidth for DVB-T Tuners,” *IEEE Trans. Microw. Theory Tech. (TMTT)*, vol. 57, No.4, pp. 928–937, Apr. 2009. (**SCI No.=000265374800004, IF=2.711; EI No.=20091712050591**)
- [3] **L. Lu**, Z. Gong, Y. Liao, H. Min, and Z. Tang, “A 975-to-1960 MHz, Fast-Locking

Fractional- N Synthesizer with Adaptive Bandwidth Control and $4/4.5$ Prescaler for Digital TV Tuners,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2009, pp. 396-397. (SCI Expanded 检索; EI No.=20093912344293)

- [4] L. Lu, Z. Tang, P. Andreani, A. Mazzanti, and A. Hajimiri, “Comments on “comments on “A general theory of phase noise in electrical oscillators””,” *IEEE J. Solid-State Circuits (JSSC)*, vol. 43, No. 9, p. 2170, Sept. 2008. (SCI No.=000259371100029, IF=3.466; EI No.=20083911605311)
- [5] L. Lu, L. Yuan, H. Min, and Z. Tang, “A fully integrated 1.175-to-2GHz frequency synthesizer with constant bandwidth for DVB-T applications,” in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June 2008, pp. 303-306. (SCI Expanded No.=000258748700068; EI No.=20083911582978)
- [6] 卢磊, 周锋, 唐长文, 闵昊, 王俊宇. 中心抽头差分电感的等效模型和参数提取. 半导体学报, 2006, 27(12): 2150 (EI No.=20070310372847)
- [7] Z. Gong, L. Lu, Y. Liao, and Z. Tang, “Design and Noise Analysis of a Fully-differential Charge Pump for Phase-Locked Loops,” *Chinese Journal of Semiconductors*, accepted. vol. 30, no. 10, pp. 105013-6, Oct. 2009. (EI 检索)
- [8] C. Xu, J. Xi, L. Lu et al., “A 4.2-5 GHz, low phase noise LC-VCO with constant bandwidth and small tuning gain,” *Chinese Journal of Semiconductors*, vol. 30, no. 9, pp. 095002-4, Sept. 2009. (EI No.=20093912338068)
- [9] X. Tan, Y. Liu, L. Lu et al., “A 1.8V CMOS direct conversion receiver for a 900MHz RFID reader chip,” *Chinese Journal of Semiconductors*, vol. 29, no. 9, pp. 1734-1739, Sept. 2008. (EI No.=20084311657841)

已申请专利:

- [1] 卢磊, 闵昊, 唐长文, “一种应用于分数分频频率合成器的脉冲吞计数器”, 发明专利, 申请号: 200910050627.7
- [2] 卢磊, 唐长文, “一种双模 $4/4.5$ 预分频器”, 发明专利, 申请号: 200910045489.3

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 卢磊 日期： 2009.12

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 卢磊 导师签名： 闵昊 日期： 2009.12