学校代码: 10246 学 号: 072052049

復旦大學

硕士学位论文

2~2.4 GHz 分数分频频率综合器设计

院		系:	信息科学与工程学院
专		业:	微电子学与固体电子学
姓		名:	孟令部
指	导 教	师:	唐长文 副教授
完	成 日	期:	2010年6月21日

摘要…		III
Abstrac	ct	·····v
第一章	概述	1
1.1	研究动机	1
1.2	论文研究内容及贡献	2
1.3	论文组织结构	2
第二章	环路参数与相位噪声分析	5
2.1	环路参数设计	5
	2.1.1 环路开环传输函数	5
	2.1.2 根轨迹法	7
	2.1.3 相位裕度最大法	10
2.2	全差分频率综合器噪声建模	12
2.3	全差分滤波器	15
2.4	ΔΣ 调制器	20
	2.4.1 分数分频原理	21
	2.4.2 量化噪声	23
2.5	基于 MATLAB-GUI 的行为级仿真	24
	2.5.1 GUI 概述	25
	2.5.2 设计例子	26
第三章	电路设计·····	33
3.1	全差分电荷泵	34
	3.1.1 电荷泵非理想因素	35
	3.1.2 电平转换器	40
	3.1.3 全差分电荷泵	43
	3.1.4 轨到轨共模负反馈	44
3.2	高速预分频器	46
	3.2.1 设计考虑	46
	3.2.2 高速 8/9 预分频器	49
3.3	电感电容压控振荡器	51
第四章	芯片设计及测试······	55
4.1	芯片实现	55
4.2	芯片测试结果	56
第五章	总结与展望·····	61

目录

致谢…		3
5.2	未来展望	2
5.1	成果总结	1

摘要

在无线通信应用中,射频接收机要求本振信号具有低相位噪声和较小的面积。这给频率综合器设计带来了挑战。本文的目的就是设计一款应用于数字电视 调谐器中的分数频率综合器,以此为目标展开了详细的电路分析和设计。

本文首先分析比较了环路参数设计的两种不同分析方法。在此基础上,结合 噪声分析,利用 MATLAB 图形界面得到了优化的环路参数。所设计的图形界面 大大简化了频率综合器的环路参数设计。输入指定的环路参量,图形界面可以给 出完备的仿真结果。

然后,文中详细分析了频率综合器中的各个关键模块。阐述了电荷泵的各种 非理想因素和抑制这些非理想因素所采用的电路技术,在此基础上设计了高性能 的全差分电荷泵。8/9预分频器采用了同步电路结构,在不增加功耗的前提下, 达到了高速的要求。为了减小电源对压控振荡器相位噪声的恶化,文中采用了高 电源抑制比的线性稳压电路给压控振荡器供电实现了低相位噪声的要求。压控振 荡器在工作频率范围内被分成 64 个子带从而得到了较低的调谐增益。小的调谐 增益不但减小了滤波器的面积,而且优化了环路的相位噪声。

最后,给出了芯片照片和流片测试结果,验证了设计方法和电路设计的正确 性。本文所涉及到的频率综合器在 SMIC 0.18-µm CMOS 工艺下流片实现,电 源电压为 1.8 V,消耗电流为 10 mA,面积为 1 mm²。频率综合器环路带 110 kHz, 参考杂散小于-63 dBc。在 1 MHz 频偏处相位噪声小于-110 dBc/Hz。100 Hz~100 MHz 范围内均方根积分噪声,整数分频模式小于 0.7 度,在分数分频模 式小于 1 度。

关键词:频率综合器,相位噪声,差分调谐,电荷泵,分频器,压控振荡器 中图分类号: TN432

本论文受到国家自然科学基金资助(项目编号: 60876019),国家科技重大专项资助(批准号: 2009ZX01031-002-003-02),上海市青年启明星计划资助(批准号: 09QA1400300)

Ш

Abstract

RF receivers for wireless communication applications require LO with low phase noise and small area. These requirements present challenges for frequency synthesizer design. The main purpose of this paper is to design a fractional-*N* frequency synthesizer for DTV-tuner applications and based on the purpose much detailed circuits analysis and design is carried out.

Firstly, two different loop parameters design methods are compared. Loop phase noise characteristic are analyzed and MATLAB GUI is developed to get proper loop parameters. The MATLAB GUI significantly simplifies the loop parameter design process. For given loop parameters, complete simulation results can be obtained.

Secondly, several key modules in frequency synthesizers are presented. Different non-ideal factors in charge pump design are considered and circuit tricks to suppress these factors are combined in the presented fully-differential charge pump. The synchronized 8/9 prescaler is adopted achieving the speed requirements without extra power consumption. In order to minimize the VCO phase noise degradation from power supply, a high PSR LDO is employed. The VCO is split into 64 sub-bands to obtain a small tune gain to ensure a small area of LPF and at the same time the loop phase noise can be optimized.

Thirdly, the chip photograph and test results are presented which demonstrates the analysis method and circuits design. The implemented frequency synthesizer draws 10 mA from a 1.8 V supply while occupying about 1 mm² die area in SMIC 0.18- μ m CMOS process. The open loop bandwidth is 110 kHz and reference spur is less than –63 dBc. At 1 MHz frequency offset, the phase noise is less than –110 dBc/Hz. The RMS phase error integrated from 100 Hz to 100 MHz is less than 0.7° in integer-*N* mode and less than 1° in fractional-*N* mode.

Key words: Frequency Synthesizer; Phase Noise; Differentially Tune; Charge Pump; Prescaler; Voltage-Controlled-Oscillator

第一章 概述

1.1 研究动机

数字视频广播(Digital Video Broadcasting)对射频接收机信噪比有着较高的 要求。作为射频接收机中重要的一个模块,频率综合器为射频接收机提供本振, 因而频率综合器要具有低相位噪声的特点。除此之外,频率综合器中滤波器通常 占用芯片较大的面积,能够片上集成滤波器也是全集成接收机的关键技术之一。

频率综合器按结构可以分为整数分频和分数分频。在整数分频频率综合器 中,输出频率只能为参考时钟的整数倍。参考时钟的选取受到输出分辨率的限制, 如果分辨率较小,则参考时钟频率也会比较小。从环路稳定性的角度来考虑,一 般环路带宽小于参考时钟的十分之一。较小的环路带宽一方面不能抑制带外压控 振荡器的相位噪声,另一方面环路的建立时间也会受到影响。分数分频的频率综 合器很好的解决了上述问题。

在分数分频结构中[1], ΔΣ(Delta Sigma Modulator, 简称 DSM)调制器输出 的量化序列动态的调整着环路的分频比,因而可以实现分数分频。这样,输出频 率精度就为分频比的小数部分和参考时钟频率的乘积。小数部分越小,频率综合 器输出频率精度就越高。这样,频率综合器输出精度不再受限于参考时钟的大小。 换句话说,当参考时钟很大时,依然可以得到很小的输出分辨率。此时,在较大 的参考时钟下,就可以选取较大的环路带宽来加快锁相环环路的小信号建立速 度,同时更好的抑制来自于压控振荡器的相位噪声。

分数分频同样存在着一些问题。调制器输出的随机序列不可避免的引入了量 化噪声[2]。这种噪声经过调制器噪声整形后,低频的噪声被量化到高频。如果频 率综合器环路对高频噪声抑制不够充分,则此部分量化噪声将会恶化频率综合器 高频相位噪声。为了充分抑制这一部分噪声,需要采用噪声消除技术或高阶的环 路滤波器[3]。因此通过环路参数设计来优化频率综合器性能具有重要意义。另一 方面,量化噪声通过环路非线性(鉴频鉴相器和电荷泵)折叠到带内,严重恶化频 率综合器带内相位噪声性能。因此设计高线性度的电荷泵也是分数分频模式下获 得良好带内相位噪声的关键[4]。

其次,和单端调谐相比,全差分调谐的频率综合器具有更好的电源抑制比[5],

但全差分的噪声模型一直以来并没有被详细分析。因此系统的分析差分调谐频率综合器噪声特性对于相位噪声优化也具有重要的意义。

1.2 论文研究内容及贡献

论文围绕频率综合器的分析和设计展开。首先针对频率综合器环路参数设计 和相位噪声优化展开了系统的分析,其次设计讨论了频率综合器关键模块的设计 细节和需要注意的问题。在此基础上,实现了一款分数分频频率综合器。论文的 主要贡献为:

详细比较了环路参数设计的两种方法,基于闭环的根轨迹法和基于开环的相 位裕度最大法。尽管两种分析方法出发点不一样,但却会得到完全相同的结论。

分析了差分调谐结构频率综合器的噪声模型,并和单端结构的噪声模型做出 比较,提出优化滤波器噪声的方法。

设计了基于 MATLAB 软件的图形设计界面,大大简化了频率综合器参数设计过程。利用此图形界面可以方便的得到环路参数以及各种系统仿真结果。

设计了高线性度的差分电荷泵,消除了电荷泵常见的非理想因素。设计了同 步结构高速电流模预分频器,在不增加功耗的情况下减小了分频器设计难度。同 时,设计了全集成的压控振荡器,压控振荡器采用片上线性稳压器和尾电感电容 阵列优化相位噪声从而达到了低相位噪声性能。

1.3 论文组织结构

本文论文阐述了频率综合器环路参数设计、噪声优化和关键电路模块设计, 然后在此基础上设计了一款应用在 DVB-T 数字电视调谐器中的分数分频频率综 合器。论文各部分内容如下:

第二章"环路参数与相位噪声分析"首先详细分析了环路参数的两种计算方法,然后比较了差分调谐和单端调谐两种结构的噪声特性,并提出了减小差分结构中滤波器噪声贡献的方法,然后简要分析了分数分频中调制器的一些问题。最后利用 MATLAB 图形界面设计出了频率综合器环路参数。

第三章"电路设计"首先介绍了电荷泵中常见的非理想因素和抑制这些非理 想因素所采用的电路技术,并利用这些设计技术实现了高性能的全差分电荷泵。 其次,从小信号的角度定量的分析了预分频器的自激振荡频率,在此基础上设计

了高速同步 8/9 预分频器电路。然后采用片上集成的线性稳压器给压控振荡器供电,设计了多子带压控振荡器以降低其调谐增益。小的调谐增益不但减小了滤波器面积,而且优化了环路的相位噪声性能。

第四章"芯片设计及测试"给出了芯片照片和测试结果。

第五章"总结与展望"对本文做出了总结,并对今后的工作做了简要的展望。

参考文献

- [1] Tom A. D. Riley, Miles A. Copeland, TAD A. Kwasniewski, "Delta-Sigma Modulation in Fractional-N Frequency Synthesis," *IEEE J. Solid-State Circuits*, vol. 48, no. 5, pp. 553–559, May 1993.
- [2] Enrico Temporiti, Guido Albasini, Ivan Bietti, Rinaldo Castello, Matteo Colombo, "A 700-kHz Bandwidth Sigma-Delta Fractional Synthesizer With Spurs Compensation and Linearization Technique for WCDMA Applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1446–1454, Sep. 2004.
- [3] Hamid R. Rategh, et al. "A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5 GHz Wireless LAN Receiver," *IEEE J. of Solid-State Circuits*, vol. 35, no. 5, pp. 780–787, May 2000.
- [4] Bram De Muer, Michiel S. J. Steyaert, "On The Analysis of Sigma-Delta Fractional-N Frequency Synthesizers for High-Spectral Purity," *IEEE Transactions on Circuits and System*, vol. 50, no. 11, pp. 784–793, Nov. 2003.
- [5] Brownlee, M.; Hanumolu, P.K.; Mayaram, K.; Un-Ku Moon, "A 0.5-GHz to 2.5-GHz PLL With Fully Differential Supply Regulated Tuning," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2720–2728, Dec. 2006.

第二章 环路参数与相位噪声分析

2.1 环路参数设计

锁相环(PLL)环路参数包括参考晶振时钟频率,电荷泵电流大小,滤波器电 容和电阻参数,压控振荡器调谐增益以及分频比。其中分频比由输出频率范围和 参考时钟频率共同决定。这些参数的选取在一定程度上直接决定了锁相环的性 能,也是电路设计之前首先考虑的问题。

环路参数设计可以用根轨迹法和相位裕度最大法[1][2]。根轨迹形象的揭示 了开环增益,开环零极点和闭环零极点的之间的相互关系。开环增益取几何平均 值以取得最佳的环路稳定性,使得环路能够在工艺,电压和温度变化范围内依然 正常工作。相位裕度最大法以开环增益波特图出发,选取使当的环路参数使得开 环传输函数的相位裕度曲线在开环增益为1时达到最大。根轨迹方法比较直观, 但数学运算比较复杂,相位裕度最大法直接由相位裕度确定环路参数之间的关 系,因而计算起来比较简单。

2.1.1 环路开环传输函数



图 2-1 锁相环频率综合器系统框图

基于电荷泵的锁相环本质上是时变系统,精确的分析必须考虑电路的时变特性。但这样分析起来相当复杂,而且不容易直观上把握。在大部分情况下,环路带宽与参考时钟频率相比都很小,这样在参考时钟的每个周期内,环路内部状态变化都非常小,研究每个参考时钟周期内环路的变化并没有太大意义。然而,我们更多的是关心多个参考时钟周期内环路所表现的平均特性。这样的研究方法就

避开了环路的时变特性,从而可以利用 s 域模型来研究离散环路。采用连续时间 的 s 域模型后,环路分析就被大大简化了。

图 2-1 为整数分频锁相环型频率综合器系统框图,电荷泵增益为 *l*_{cp}/2π,压 控振荡器的增益为 *K*_{vco}/s,滤波器的传输函数为 *Z*_{lof}(s)。开环环路传输函数:

$$H_{o}(s) = \frac{I_{cp}}{2\pi} \frac{1}{N} \frac{K_{vco}}{s} Z_{lpf}(s)$$
(2.1)

定义 H_o(s)增益下降到 1 时的频率为开环环路带宽,开环环路带宽是环路分析最重要的物理量之一,它很大程度上决定了环路建立时间,同时也影响系统零极点分布,还会影响频率综合器的相位噪声特性。

定义 H_c(s)=NH_o/(1+H_o)为环路闭环传输函数,通过观察 H_c(s)的阶跃响应就可以立刻判定系统的稳定性。H_c(s)的零极点即为闭环零极点。通过观察 H_c(s)零极点的分布,可以直观判断系统的稳定性。在系统稳定的情况下,通过 H_c(s)的阶跃响应就可以方便的得到环路的建立时间。



图 2-2 三阶环路滤波器



图 2-2 是三阶无源滤波器。电阻 R₁和电容 C₁形成的串联支路,除在原点产 生一个极点外,还产生了一个大小为 1/R₁C₁的零点用来稳定反馈环路。电容 C₂ 和 C₃与电阻 R₃引入开环带宽之外的另外两个极点,一方面,这两个极点对压控 电压进行滤波,从而减小压控电压的波动幅度(ripple)以优化杂散(spur)性能,另 一方面,可以有效滤除 DSM 调制器经过噪声整形后产生的高频噪声。

电阻 R₁和 R₃本身的热噪声经过环路滤波器后直接调制压控电压,从而在输出产生相位噪声。若滤波器参数设置不合理,电阻 R₁和 R₃将会恶化频率综合器的相位噪声性能。因此选择滤波器的参数时,在保证环路稳定性的情况下,还应当兼顾其对输出相位噪声的影响。除此之外,对于片上集成的滤波器,其电容值不能太大,否则会占用过多的芯片面积。

若在环路中采用如图 2-3 所示的二阶滤波器,即三阶低通滤波器的电阻 R₃ 取为零。那么二阶低通滤波器的传输函数[2]:

$$Z_{F,2nd}(s) = \frac{1}{s(C_1 + C_2 + C_3)} \frac{(1 + \frac{s}{\omega_z})}{(1 + \frac{s}{\omega_p})}$$
(2.2)

其中

$$\omega_{z} = \frac{1}{R_{1}C_{1}} \quad \omega_{p} = \frac{C_{1} + C_{2} + C_{3}}{R_{1}C_{1}(C_{2} + C_{3})} = (b+1)\omega_{z}$$
(2.3)

2.1.2 根轨迹法

根轨迹法不但可以方便的得到闭环系统的零极点分布,更能够从直观上把握 开环参数与环路稳定性之间的直接联系[1]。简单起见,以采用二阶滤波器的三阶 锁相环为例,阐述基于根轨迹的环路设计方法。

根据环路传输函数式(2.1)和二阶滤波器传输函数式(2.2),可以得到三阶环路 开环传输函数:

$$H_{o}(s) = K' \frac{s + \omega_{z}}{s^{2}(s + \omega_{o})}$$
(2.4)

其中 $K' = I_{cp}K_{vco}b/(2\pi NC_1)$ 。环路传输函数有一个零点和三个极点。两个极 点在原点,另外的一个极点 ω_p 和零点 ω_z 都位于左半平面的实轴上。闭环系统传 输函数:

$$H_{c}(s) = \frac{NH_{o}(s)}{1 + H_{o}(s)} = \frac{NK'(s + \omega_{z})}{s^{3} + \omega_{p}s^{2} + K's + K'\omega_{z}}$$
(2.5)

$$H_{\rm c}(s) = \frac{NK'(s+\omega_z)}{(s^2+2\zeta\omega_{\rm n}+\omega_{\rm n}^2)(s+\omega_{\rm p3})}$$
(2.6)

ζ为二阶系统的阻尼因子, **ω**_n为自然频率。闭环系统和开环系统相比,零点 位置并没有发生变化,极点分布发生变化了。通过解闭环传输函数 *H*_c(*s*)可以得 到闭环的零极点,但是纯粹的数学方法并不能给我们带来直观的物理意义。采用 根轨迹法,可以方便的得到闭环系统的零极点分布,更能够从直观上把握开环参 数与环路稳定性之间的直接联系。图 2-4 中 E 点 **ω**_p表示开环非零极点, F 点表

示零点,另外两个极点在原点处。随着开环增益 **K**逐渐增大,闭环极点 ω_{p1} 、 ω_{p2} 和 ω_{p3} 位置随之发生变化,其中 ω_{p1} 和 ω_{p2} 为一对共轭极点。当 $\zeta = \sqrt{2}/2$ 时,对应 B 和 C 两点为系统的稳定边界。在 B 点,若开环增益 **K**减小,则闭环极点进入不稳定区域。在 C 点,若开环增益 **K**增大,则闭环极点同样进入不稳定区域。因此,为了保证较好的稳定性,应该尽量设置开环增益 **K**在稳定边界的左半部分。根轨迹法的本质是选择最优的开环增益使得系统具有最佳的稳定性。

为了计算方便,变量 ω_n 和 K' 分别对零点 ω_z 归一化

$$\omega_{\rm n} = m\omega_{\rm z} \tag{2.7}$$



图 2-4 根轨迹示意图

$$K' = k\omega_z^2 \tag{2.8}$$

其中m和k分别是 ω_n 和K的归一系数。

将式(2.7)和(2.8)代入(2.5)和(2.6)可以得到:

 $2\zeta m^2 - (4\zeta^2 + b)m + 2\zeta(b+1) = 0$ (2.9)

$$k = (1 - 4\zeta^2)m^2 + 2\zeta(b+1)m$$
 (2.10)

由式(2.9)和(2.10)得到稳定边界处 B 和 C 点的开环增益:

$$k_{\rm B} = (1 - 4\zeta^2)m_{\rm B}^2 + 2\zeta(b+1)m_{\rm B}$$
 (2.11)

$$k_{\rm c} = (1 - 4\zeta^2) m_{\rm c}^2 + 2\zeta(b+1) m_{\rm c}$$
 (2.12)

其中 m_B和 m_C为式(2.9)的两个根,满足

$$m_{\rm B} + m_{\rm C} = \frac{4\zeta^2 + b}{2\zeta} \tag{2.13}$$

$$m_{\rm B}m_{\rm C} = b + 1$$
 (2.14)

最优的开环增益为 kB和 kC的几何平均值,有

$$k_{\rm opt} = \sqrt{k_{\rm B}k_{\rm C}} \tag{2.15}$$

$$k_{\rm opt} = \sqrt{m_{\rm B}m_{\rm C} \left[(1 - 4\zeta^2)^2 m_{\rm B}m_{\rm C} + 2\zeta(b+1)(1 - 4\zeta^2)(m_{\rm B} + m_{\rm C}) + 4\zeta^2(b+1)^2 \right]}$$
(2.16)

将ζ = √2/2、式(2.13)和(2.14)代入式(2.16), 计算得到:

$$k_{\rm opt} = (b+1)^{3/2}$$
 (2.17)

此时开环环路增益:

$$K_{\rm opt} = (b+1)^{3/2} \omega_z^2$$
 (2.18)

将式(2.18)代入式(2.4)并令

$$H_{o}(s) = \left| K' \frac{s + \omega_{z}}{s^{2}(s + \omega_{p})} \right| = \left| K' \frac{j\omega_{c} + \omega_{z}}{(j\omega_{c})^{2}(j\omega_{c} + \omega_{p})} \right| = 1$$
(2.19)

可以得到:

$$\omega_z = \frac{\omega_c}{\sqrt{b+1}}$$
(2.20)

将式(2.18)和(2.20)代入式(2.4),得

$$H_{o}(s) = (b+1)^{1/2} \omega_{c}^{2} \frac{s + \omega_{c}/\sqrt{b+1}}{s^{2}(s + \sqrt{(b+1)}\omega_{c})}$$
(2.21)

至此可以看出,如果开环增益取稳定边界 B 和 C 两点的几何平均值,那么 开环传输函数 *H*_o(*s*)只和电容比值 *b* 和开环环路带宽 ω_c有关。在电容比值和开环 环路带宽确定的情况下,开环传输函数便能够唯一确定了。 由式(2.18)和(2.20),得

$$K'_{opt} = \frac{I_{cp}K_{vco}b}{2\pi NC_1} = (b+1)^{1/2}\omega_z^2$$
 (2.22)

$$\omega_{z} = \frac{1}{R_{1}C_{1}} = \frac{\omega_{c}}{\sqrt{b+1}}$$
 (2.23)

计算得到二阶滤波器的环路参数:

$$C_{1} = \frac{I_{cp}K_{vco}}{2\pi N} \frac{b}{\sqrt{b+1}\omega_{c}^{2}}$$
(2.24)

$$C_2 + C_3 = \frac{C_1}{b} = \frac{I_{cp}K_{vco}}{2\pi N} \frac{1}{\sqrt{b+1}\omega_c^2}$$
 (2.25)

$$R_{1} = \frac{2\pi N}{I_{cp}K_{vco}} \frac{(b+1)\omega_{c}}{b}$$
(2.26)

2.1.3 相位裕度最大法

相位裕度最大法从开环传输函数的波特图出发,研究环路稳定性和环路参数 之间的关系[2]。开环传输函数 H_o(s)在原点处有两个极点,增益以 40 dB/Dec 下 降,之后遇到左半平面的零点,因而增益开始以 20 dB/Dec 下降。再经过开环 环路带宽之外的极点后,增益继续以 40 dB/Dec 下降。若为三阶滤波器,则在 环路带宽之外有两个极点,因而遇到第二个非零极点后,以 60 dB/Dec 下降, 用来抑制 DSM 调制器引入的量化噪声。下面以二阶滤波器为例,说明相位裕度 最大法求解环路参数的设计流程。



如图 2-5 所示,开环传输函数在零点处有两个极点,因而相移为 180°,相 位裕度为 0°。滤波器电阻和电容的串联支路引入左半平面的零点 ω_z,相移减小, 相位裕度增加。由于滤波器并联电容支路引入了一个极点 ω_p,相移增加,相位 裕度减小。因此,在零点和极点之间相移最小。如果把开环带宽 ω_c设置在相移 最小的点,那么就可以获得环路最大的相位裕度,环路具有最佳的稳定性。由式 (2.4)可以得出,在开环带宽 ω_c处,环路的相位裕度:

$$\varphi_{\rm m}(\omega_{\rm c}) = \arctan \frac{\omega_{\rm c}}{\omega_{\rm z}} - \arctan \frac{\omega_{\rm c}}{\omega_{\rm p}}$$
 (2.27)

为了求得最大相位裕度,两边进行求正切和求导运算:

$$\frac{\partial(\tan(\varphi_{\rm m}(\omega_{\rm c})))}{\partial\omega_{\rm c}} = \frac{\partial(\frac{\omega_{\rm c}}{\omega_{\rm c}} - \omega_{\rm c}}{1 + \omega_{\rm c}^2/\omega_{\rm z}} \omega_{\rm p})}{\partial\omega_{\rm c}} = 0$$
(2.28)

得

$$\omega_{\rm c} = \sqrt{\omega_{\rm z}\omega_{\rm p}} = \sqrt{b+1}\omega_{\rm z} \tag{2.29}$$

此时最大相位裕度:

$$\varphi_{m,max} = \arctan\sqrt{b+1} - \arctan\sqrt{b+1}$$
(2.30)

如果用相位裕度最大法设置环路参数,环路相位裕度只与滤波器电容比值有关。b越大,相位裕度越大,环路就越稳定。环路相位裕度最大法和根轨迹方法 尽管分析方法不一样,但得到的开环带宽和零极点的关系是一样的,因而计算得 到的滤波器参数是完全相同的。

三阶滤波器的传输函数[2]:

$$Z_{F,3th}(s) = \frac{1}{s} \cdot \frac{1 + R_1 C_1 s}{R_1 R_3 C_1 C_2 C_3 s^2 + [R_1 C_1 (C_2 + C_3) + R_3 C_3 (C_1 + C_2)]s + C_1 + C_2 + C_3} (2.31)$$

假设电容 C₂=C₃, 传输函数可以简化为:

$$Z_{F,3th}(s) = \frac{1}{s(C_1 + C_2 + C_3)} \frac{(1 + \frac{s}{\omega_z})}{(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p3}})}$$
(2.32)

其中

$$\omega_{z} = \frac{1}{R_{1}C_{1}} \quad \omega_{p2} \approx \frac{1}{R_{1}(C_{2} + C_{3})} = b\omega_{z} \quad \omega_{p3} \approx \frac{C_{2} + C_{3}}{R_{3}C_{2}C_{3}}$$
(2.33)

可见在电容比 b=C₁/(C₂+C₃)比较大时,二阶滤波器和三阶滤波器零点相同, 环路带宽之外的第一个极点 ω_{p2} 近似相同。唯一不同的是,三阶环路滤波器比 二阶滤波器在带外多出一个极点 ω_{p3}。于是在三阶滤波器环路参数计算的过程 中,就可以先按照二阶滤波器计算出 C₁和 C₂+C₃,根据第三个极点的位置就可 以直接计算出滤波器另外一个电阻值 R₃。

按照和二阶滤波器相同的方法,可以求得三阶滤波器参数 R₁和(2.26)相等, 由式(2.33)进而得到:

$$C_{1} = \frac{I_{cp}K_{vco}}{2\pi N} \frac{b^{3/2}}{(b+1)\omega_{c}^{2}}$$
(2.34)

$$C_{2} = C_{3} = \frac{C_{1}}{2b} = \frac{I_{cp}K_{vco}}{4\pi N} \frac{\sqrt{b}}{(b+1)\omega_{c}^{2}}$$
(2.35)

$$R_{3} = \frac{4\pi N\omega_{c}}{pI_{cp}K_{vco}} \frac{b+1}{\sqrt{b}}$$
(2.36)

其中p为采用三阶滤波器时,开环环路带外的第三个极点 ω_{p3} 和开环环路带宽 ω_{c} 的比值。至此可以看到,一旦电容比值b和开环环路带宽 ω_{c} 确定,滤波器参数和其他的环路参数就可以计算出来。而事实上,电容比值b决定了环路的相位裕度,而开环环路带宽 ω_{c} 决定了环路的建立时间。

2.2 全差分频率综合器噪声建模

在全差分频率综合器中,差分电荷泵和差分滤波器使得子模块噪声传输函数 与单端调谐频率综合器噪声传输函数相比变得较为复杂。图 2-6 为单端调谐频率 综合器的噪声模型。 $\theta^2_{n,i}$ 为输入参考时钟的相位噪声, $\theta^2_{n,div}$ 和 $\theta^2_{n,o}$ 分别为分频 器相位噪声和输出的相位噪声,单位为 rad²/Hz。 $t^2_{n,cp}$ 为电荷泵输出电流噪声, 单位为 A²/Hz。 $v^2_{n,lpf}$ 为滤波器输出电压噪声,单位为 V²/Hz。 $\theta^2_{n,vco}$ 为压控振荡 器输出相位噪声,单位为 rad²/Hz。各个子模块到输出的噪声传输函数分别为:

$$H_{\rm cp}(s) = \frac{\theta_{\rm n,o}}{i_{\rm n,cp}} = \frac{2\pi}{I_{\rm cp}} \frac{NH_{\rm o}(s)}{1 + H_{\rm o}(s)}$$
(2.37)

$$H_{\rm lpf}(s) = \frac{\theta_{\rm n,o}}{V_{\rm n,lpf}} = \frac{K_{\rm vco}/s}{1 + H_{\rm o}(s)}$$
 (2.38)

$$H_{\rm vco}(s) = \frac{\theta_{\rm n,o}}{\theta_{\rm n,vco}} = \frac{1}{1 + H_{\rm o}(s)}$$
(2.39)

$$H_{\rm div}(s) = \frac{\theta_{\rm n,o}}{\theta_{\rm n,div}} = \frac{NH_{\rm o}(s)}{1+H_{\rm o}(s)}$$
(2.40)



图 2-6 单端调谐频率综合器环路噪声模型

全差分调谐频率综合器噪声模型如图 2-7 所示,电荷泵电流分成两个大小相等的支路。单端电荷泵增益 *l*_{cp}/2π,由于电流减小一半,增益相应的减小一半,为 *l*_{cp}/4π。它们的电流噪声分别为 *i*²_{n,cp,up} 和 *i*²_{n,cp,dn}。在差分结构中,由于是差分调谐,因此需要两个滤波器。它们的电压噪声分别为 *v*²_{n,lpf,up} 和 *v*²_{n,lpf,dn}。很明显,与单端调谐相比较,参考时钟、压控振荡器以及分频器的噪声传输函数没有发生变化。下面计算电荷泵和滤波器噪声传输函数。只考虑电荷泵半边支路电流噪声 *i*²_{n,cp,up}, 可得,

$$\left(\left(\left(-\frac{\theta_{n,o}}{N}\right)\frac{I_{cp}/2}{2\pi}+i_{n,cp,up}\right)Z_{lpf}(s)-\left(-\frac{\theta_{n,o}}{N}\right)\frac{-I_{cp}/2}{2\pi}Z_{lpf}(s)\right)\frac{K_{vco}}{s}=\theta_{n,o}$$
 (2.41)

电荷泵的电流噪声传输函数,

$$H_{\rm cp}(s) = \frac{\theta_{\rm n,o}}{i_{\rm n,cp,up}} = \frac{2\pi}{I_{\rm cp}} \frac{NH_{\rm o}(s)}{1 + H_{\rm o}(s)}$$
(2.42)

只考虑滤波器的电压噪声 $V^{2}_{n,lp,fup}$ 可得,

$$\left(\frac{-\theta_{n,o}}{N}\frac{I_{cp}/2}{2\pi}Z_{lpf}(s)+V_{n,lpf,up}-\frac{-\theta_{n,o}}{N}\frac{-I_{cp}/2}{2\pi}Z_{lpf}(s)\right)\frac{K_{vco}}{s}=\theta_{n,o}$$
(2.43)

滤波器的电压噪声传输函数,

$$H_{\rm lpf}(s) = \frac{\theta_{\rm n,o}}{V_{\rm n,lpf,up}} = \frac{K_{\rm vco}/s}{1 + H_{\rm o}(s)}$$
(2.44)



图 2-7 全差分调谐频率综合器噪声模型

在差分调谐结构中,电荷泵电流噪声传输函数和滤波器噪声传输函数与单端 调谐相比并没有发生变化。因此差分调谐和单端调谐的噪声传输函数完全相同。

电荷泵输出电流噪声对输出的相位噪声贡献为:

$$\theta_{n,o,cp}^{2} = (i_{n,cp,up}^{2} + i_{n,cp,dn}^{2})(\frac{2\pi}{I_{cp}}\frac{NH_{o}(s)}{1 + H_{o}(s)})^{2}$$
(2.45)

在全差分调谐结构中,电荷泵电流被分成大小相同的两部分,输出电流噪声 $\hat{r}_{n,cp,up}$ 和 $\hat{r}_{n,cp,dn}$ 相等,为单端调谐时输出电流噪声的一半。因此,与单端调谐 结构相比,电荷泵对输出的相位噪声贡献没有发生变化。

滤波器输出电压噪声对对输出的相位噪声贡献为:

$$\theta_{n,o,lpf}^{2} = (v_{n,lpf,up}^{2} + v_{n,lpf,dn}^{2})(\frac{K_{vco}/s}{1 + H_{o}(s)})^{2}$$
(2.46)

在差分结构中,需要使用两个完全相同的滤波器,电压噪声 $v_{n,lpf,up}^2$ 和 $v_{n,lpf,dn}^2$ 与单端调谐时电压噪声大小相等,那么差分滤波器对输出的相位噪声贡献是单端 调谐结构的两倍。

2.3 全差分滤波器

图 2-8(a)为无源全差分三阶环路滤波器, *i*_{inp} 和 *i*_{inn} 为差分电荷泵输出电流, *v*_{outp} 和 *v*_{outn} 为滤波器输出压控电压。考虑到滤波器的差分特性,可以把无源滤 波器中的两个大电容 *C*₁串联等效为一个电容 *C*₁/2,滤波器的传输函数不变。在 保证环路稳定性的情况下,滤波器的电容比值 *C*₁/*C*₂ 大于 10,滤波器的面积主 要由 *C*₁ 决定。如果采用图 2-8(b)所示的滤波器结构,电容 2*C*₁ 可以减小到 *C*₁/2, 因此滤波器面积可以减小到原来的进四分之一。



图 2-8 全差分无源滤波器



图 2-9 单端滤波器的噪声等效电路

考虑照图 2-8(a)的全差分滤波器,由于这种滤波器只是把两个单端结构的滤 波器简单拼接,因此可以很容易的计算得出滤波器电阻热噪声在压控节点产生的 电压噪声为单端结构的两倍。但图 2-8(b)的滤波器电压噪声就不是那么直观,由 于电容 C₁/2 的存在,使得上下两个滤波器关联,那么直接求出电压噪声的表达 式非常困难。

图 2-9 为单端滤波器的噪声等效电路,为了计算方便,令:

$$A = R_3 + \frac{1}{sC_3}, B = R_1 + \frac{1}{sC_1}, C = \frac{1}{sC_2}, D = \frac{1}{sC_3}$$
 (2.47)

电阻R1在输出端产生的电压噪声:

$$V_{n,out,R1} = \sqrt{4kTR_1} \frac{(R_3 + \frac{1}{sC_3}) / \frac{1}{sC_2}}{R_1 + \frac{1}{sC_1} + (R_3 + \frac{1}{sC_3}) / \frac{1}{sC_2}} \frac{\frac{1}{sC_3}}{R_3 + \frac{1}{sC_3}}$$
(2.48)

即:

$$v_{n,out,R1} = \sqrt{4kTR_1} \frac{A//C}{B + A//C} \frac{D}{A}$$
 (2.49)

化简可得:

$$V_{n,out,R1}(s) = \sqrt{4kTR_1} \frac{CD}{AB + AC + BC}$$
(2.50)

电阻 R3 在输出端产生的电压噪声:

$$v_{n,out,R3} = \sqrt{4kTR_3} \frac{\frac{1}{sC_3}}{R_3 + \frac{1}{sC_3} + (R_1 + \frac{1}{sC_1})/(\frac{1}{sC_2})}$$
(2.51)

即:

$$V_{\rm n,out,R3} = \sqrt{4kTR_3} \frac{D}{A + B//C}$$
(2.52)

化简可得:

$$V_{n,out,R3} = \sqrt{4kTR_3} \frac{(B+C)D}{AB+AC+BC}$$
(2.53)



图 2-10 差分滤波器的噪声等效电路

图 2-10 为差分滤波器的噪声等效电路,上面的电阻 *R*₁ 在差分滤波器输出端 产生的噪声电压为:

$$V_{n,out,R1} = V_{n,outp,R1} - V_{n,outn,R1} = \frac{2\sqrt{4kTR_1}(R_3 + \frac{1}{sC_3})/(\frac{1}{sC_2})}{2R_1 + \frac{1}{s\frac{C_1}{2}} + 2(R_3 + \frac{1}{sC_3})/(\frac{1}{sC_2})}\frac{\frac{1}{sC_3}}{R_3 + \frac{1}{sC_3}}$$
(2.54)

即:

$$V_{n,out,R1} = V_{n,outp,R1} - V_{n,outn,R1} = 2\sqrt{4kTR_1} \frac{A//C}{2B + 2A//C} \frac{D}{A}$$
 (2.55)

化简可得:

$$\boldsymbol{V}_{n,out,R1} = \boldsymbol{V}_{n,outp,R1} - \boldsymbol{V}_{n,outn,R1} = \sqrt{4kTR_1} \frac{CD}{AB + AC + BC}$$
(2.56)

同理上面的电阻 R3 在差分滤波器输出端产生的电压噪声为:

$$V_{n,outp,R3} = \frac{\sqrt{4kTR_3} \frac{1}{sC_3}}{R_3 + \frac{1}{sC_3} + (2R_1 + \frac{1}{s\frac{C_1}{2}} + (R_3 + \frac{1}{sC_3})/(\frac{1}{sC_2})/(\frac{1}{sC_2})}$$
(2.57)

$$v_{n,\text{outn},\text{R3}} = -\sqrt{4kTR_3} \frac{(2R_1 + \frac{1}{s\frac{C_1}{2}} + (R_3 + \frac{1}{sC_3}))/(\frac{1}{sC_2})/((\frac{1}{sC_2}))}{R_3 + \frac{1}{sC_3} + (2R_1 + \frac{1}{s\frac{C_1}{2}} + (R_3 + \frac{1}{sC_3}))/(\frac{1}{sC_2})/((\frac{1}{sC_2}))}$$

$$\frac{(R_3 + \frac{1}{sC_3})/(\frac{1}{sC_2})}{(2R_1 + \frac{1}{s\frac{C_1}{2}} + (R_3 + \frac{1}{sC_3}))/(\frac{1}{sC_2})/((\frac{1}{sC_2}))} \frac{\frac{1}{sC_3}}{R_3 + \frac{1}{sC_3}}$$
(2.58)

即:

$$V_{n,outp,R3} = \sqrt{4kTR_3} \frac{D}{A + (2B + A//C)//C}$$
 (2.59)

$$v_{n,outn,R3} = -\sqrt{4kTR_3} \frac{(2B + A//C)//C}{A + (2B + A//C)//C} \times \frac{A//C}{2B + A//C} \times \frac{D}{A}$$
(2.60)

由式(2.59)和(2.60),

$$V_{n,out,R3} = V_{n,outp,R3} - V_{n,outn,R3} = \sqrt{4kTR_3} \frac{(B+C)D}{AB+AC+BC}$$
 (2.61)

由式(2.50)、(2.53)、(2.55)和(2.61)可以发现,差分滤波器中电阻的输出噪 声和单端结构相同,但是由于差分结构滤波器有上下两个电阻。因此差分滤波器 电压噪声为单端结构的两倍。在差分调谐频率综合器中,尽管滤波器面积可以大 约减到 1/4,但其不可避免的增加电阻噪声。但是通过合理的环路参数设计,滤 波器的噪声贡献可以减小。



图 2-11 单端滤波器的电流噪声的诺顿等效电路

如图 2-11 所示,首先计算滤波器中电阻 R₁的噪声对输出相位噪声的贡献,。 由诺顿等效可知,在压控节点的电压噪声:

$$V_{n,out,R1} = i_{n,R1} Z_{lpf}(s) = \frac{\sqrt{4kTR_1}}{R_1 + \frac{1}{sC_1}} Z_{lpf}(s)$$
(2.62)

将式(2.32)代入式(2.60),整理可得:

$$V_{n,out,R1} = \sqrt{4kTR_1} \frac{b}{b+1} \frac{1}{(1+\frac{s}{\omega_{p2}})(1+\frac{s}{\omega_{p3}})}$$
(2.63)

输出相位噪声贡献,

$$\theta_{n,o,R1}^{2} = \left(\sqrt{4kTR_{1}} \frac{b}{b+1} \frac{1}{\left(1+\frac{s}{\omega_{p2}}\right)\left(1+\frac{s}{\omega_{p3}}\right)^{2}} \left(\frac{K_{vco}/s}{1+H_{o}(s)}\right)^{2}$$
(2.64)

由式(2.6)和(2,23)可知, $\omega_{p2} = \sqrt{b+1}\omega_c$ 。为了使极点 ω_{p3} 对环路相位裕度不 产生影响, 一般它设置在环路带宽的 p 倍处, 即 $\omega_{p3}=p\omega_c$ 。而开环传输函数 $H_0(s)$ 只与开环带宽带宽 ω_c 和电容比 b 有关。将式(2.26)代入(2.64)可以得到:

$$\theta_{n,o,R1}^{2} = \left(\frac{1}{s(1+\frac{s}{\omega_{p2}})(1+\frac{s}{\omega_{p3}})(1+H_{o}(s))}\right)^{2} \frac{b}{b+1} 8\pi k T N \omega_{c} \frac{K_{vco}}{I_{cp}}$$
(2.65)

可以看到在环路参数确定的情况下,调谐增益 K_{vco}每减小一倍,电阻 R₁所 贡献的相位噪声就减小 3 dB。同理,电阻 R₃噪声在压控节点产生的电压噪声:

$$V_{n,out,R3} = i_{n,R3} Z_{lpf}(s) = \frac{\sqrt{4kTR_3}}{R_3 + \frac{1}{sC_3}} Z_{lpf}(s)$$
(2.66)

将式(2.32)代入,整理可得:

$$V_{n,out,R3} = \sqrt{4kTR_3} \frac{1}{2(b+1)} \frac{1 + \frac{s}{\omega_z}}{(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p3}})^2}$$
(2.67)

电阻 R3 所贡献的相位噪声为:

$$\theta_{o,R3}^{2} = \left(\frac{1}{2(b+1)}\sqrt{4kTR_{3}}\frac{\left(1+\frac{s}{\omega_{z}}\right)}{\left(1+\frac{s}{\omega_{p2}}\right)\left(1+\frac{s}{\omega_{p3}}\right)}\right)^{2}\left(\frac{K_{vco}/s}{1+H_{o}(s)}\right)^{2}$$
(2.68)

将式(2.36)代入上式整理得到:

$$\theta_{o,R3}^{2} = \left(\frac{(1+\frac{s}{\omega_{z}})}{s(1+\frac{s}{\omega_{p2}})(1+\frac{s}{\omega_{p3}})(1+H_{o}(s))}\right)^{2} \frac{1}{(b+1)^{3/2}} 4\pi k T N \omega_{c} \frac{1}{p} \frac{K_{vco}}{I_{cp}} \quad (2.69)$$

可以看到在环路参数确定的情况下,调谐增益 K_{vco}每减小一倍,电阻 R₃ 所 贡献的相位噪声同样减小 3dB。尽管差分结构的滤波器对输出相位噪声的贡献是 单端结构的两倍,但是通过降低压控振荡器的调谐增益 K_{vco},可以降低滤波器的 相位噪声贡献。

2.4 ΔΣ 调制器

图 2-12 为分数分频频率综合器的系统框图,和整数分频结构相比,环路需 要一个 ΔΣ 调制器输出序列 y(k)直接调制环路的分频比,因此环路的分频比是变 化的。调制器输出序列引入了量化噪声,利用环路的低通特性可以有效抑制量化 噪声。但由于 DSM 调制器把低频处的噪声整形到高频,有时候环路对高频的量 化噪声并不能充分抑制,此时需要根据应用选择高阶的滤波器或者其他的相位噪 声消除技术来减小量化噪声对环路相位噪声性能的影响。



图 2-12 分数分频频率综合器框图

另外 DSM 调制器输出序列会使输出产生分数杂散,当分数部分较大时,产

生的杂散可以较好的被环路抑制,但当分数部分较小时,环路对分数杂散抑制不够,此时分数杂散就会和整数杂散一样影响频率综合器的线性度。虽然采用新的 DSM 调制器结构可以较好的解决这一问题,但实现上比较复杂。本文中的 DSM 调制器使用单环三阶前馈 DSM 调制器,输出范围较小,相较于其他结构,通过 环路非线性引入的噪声折叠也较小。

2.4.1 分数分频原理

当环路锁定后,分频比的平均值为 N+f,此时输出频率(N+f)*f_{ref}。f_{ref}为参考 时钟的频率,N为分频比的整数部分,f为分频比的小数部分。频率综合器输出 频率经过分频器之后得到 f_{div},与 f_{ref}比较。由于分频比是变化的,f_{div}在有的时 刻超前 f_{ref},在有的时刻滞后 f_{ref},所以分数分频频率综合器锁定的过程为动态锁 定过程[4]。



图 2-13 分数频率综合器动态锁定过程

图 2-13 为频率综合器的动态锁定过程,当参考时钟经过 n 个周期,参考时钟的上升沿时刻为:

$$t_{\rm ref,n} = n(N+f)T_{\rm VCO} \tag{2.70}$$

其中, Tvco为压控振荡器的振荡周期。此时,分频器输出时钟上升沿时刻为:

$$t_{\rm div,n} = \sum_{k=1}^{n} (N + y(k)) T_{\rm VCO}$$
(2.71)

其中 y(k)为 DSM 调制器的输出序列。那么分频器和参考时钟相位之差:

$$\theta_{\rm div} = 2\pi \frac{t_{\rm div,n} - t_{\rm ref,n}}{T_{\rm ref}} = \frac{2\pi}{N+f} \sum_{k=1}^{n} (y(k) - f)$$
(2.72)

随机序列 y(k)不可避免的引入了量化噪声。设序列 y(k)的功率谱密度为 Q(f)。 $\sum_{k=1}^{n} (y(k) - f)$ 相当于对输出序列 y(k)的积分器,那么分频器输出的噪声功率谱密 度为:

$$Q_{\theta,\text{div}}(f) = \left(\frac{2\pi}{N+f}\right)^2 \left|\frac{1}{1-z^{-1}}\right|^2 Q(f) = \left(\frac{2\pi}{N+f}\right)^2 \left(\frac{1}{2\sin\frac{\pi f}{f_{\text{ref}}}}\right)^2 Q(f)$$
(2.73)

由式(2.70)和(2.71),分频器和参考时钟上升沿时差:

$$\Delta t = t_{\text{div},n} - t_{\text{ref},n} = \frac{1}{N+f} T_{\text{ref}} \sum_{k=1}^{n} (y(k) - f) = T_{\text{VCO}} \sum_{k=1}^{n} (y(k) - f)$$
(2.74)

在整数分频时, *f*_{div}和 *f*_{ref}时钟沿对齐, Δ*t*为0。在分数分频状态下, 两者不对齐, Δ*t*一般不为0, 因而电荷泵打开时间较整数分频长。



图 2-14 动态锁定时,参考时钟和分频器输出之间的时间差

图 2-14 为采用单环前馈三阶 DSM 调制器仿真得到的参考时钟和分频器输出时钟上升沿时间差,尽管 DSM 输出变化范围为{-4, -2, -1,0,1,2},但参考时 钟和分频器输出时钟上升沿时间差 Δ*t* 在±1.5*T*_{VCO}之内,计算其绝对值的平均值

为 0.37。也就是说,平均来看,两者上升沿相差为 0.37 T_{VCO}。在本次设计中,参考时钟为 25 MHz,压控振荡器输出信号频率 2 GHz,此时振荡周期 0.5 ns。因此电荷泵打开时间比整数分频时多 0.18 ns。电荷泵打开时间 T_{ON}为 2 ns。由此可见,分数分频下由于电荷泵打开时间引入的噪声恶化其实很小。

2.4.2 量化噪声



图 2-15 单环三阶前馈 DSM 调制器

调制器输出的随机序列引入量化噪声,为了使量化噪声不影响环路的相位噪 声性能,利用环路的低通特性把量化噪声滤除掉。

图 2-15 为单环三阶前馈 DSM 调制器[8]。其输入输出传输函数:

$$Y(z) = \frac{2z^{-1} - 3z^{-2} + 1.25z^{-3}}{1 - z^{-1} + 0.25z^{-2}}X(z)$$
(2.75)

量化噪声到输出的传输函数:

$$Y(z) = \frac{(1-z^{-1})^3}{1-z^{-1}+0.25z^{-2}}E_q(z)$$
(2.76)

其中 X(z)为输入序列, Eq(z)为量化噪声。考察量化噪声传输函数频谱特性,如 图 2-16 所示,绿色曲线为单环 DSM 输出序列的功率谱密度,红色曲线为 MASH1-1-1 DSM 的功率谱密度。经过噪声整形,低频噪声被推向高频,因而具 有高通特性,在输入处加入了随机的抖动(dither)使得输出没有明显的杂散。 MASH1-1-1 结构在低频处比单环三阶前馈结构小 6 dB,在(1/10)fref处两者大小 相等,之后 MASH1-1-1 结构比单环三阶前馈结构大。在环路带宽之外,利用环 路低通特性滤除量化噪声,但一般情况下,由于环路带宽不是特别小,因而噪声 也不能够被充分滤除。

DSM 调制器输出序列方差越大,其通过环路非线性折叠到带内的噪声就越

多 [6] 。 对 MASH1-1-1 结构, 对于输入 0~1 之间的分数,输出为 {-3,-2,-1,0,1,2,3,4}。对单环前馈三阶调制器,输出为{-1,0,1,2}。因而采用单环 前馈三阶调制器的分数分频频率综合和器,由环路非线性引入的带内相位噪声恶 化较小。

由于量化噪声的存在,使得环路带宽选择受到了限制。为了充分抑制量化噪 声,选取较小的环路带宽,那么,环路建立就会变慢,压控振荡器的噪声也不能 被充分抑制。反过来说,为了满足环路建立时间,若环路带宽选择较大,则量化 噪声就不能被充分抑制。因此,量化噪声抑制和环路带宽选择是一对折中关系。



图 2-16 单环和 MASH1-1-1 结构功率谱密度比较

2.5 基于 MATLAB-GUI 的行为级仿真

锁相环设计工具包(PLL Design Kit, PDK)以频率综合器环路传输函数为出 发点来设计环路参数。设计者输入开环传输函数的相关参数,程序会自动计算出 滤波器参数,得到环路的闭环零极点分布、频率响应和阶跃响应。除此之外,设 计者只需填入子模块在典型频点处的噪声值,程序会拟合该模块的噪声曲线进行 环路相位噪声的计算。如此便可以方便的观察各子模块对相位噪声的影响。

2.5.1 GUI 概述

图 2-17 为 PDK 的界面。环路参数一栏里包括 f_{fref}、K_{vco}、I_{cp}、N、b、f_c和 p 选项。其中 f_{ref} 为参考时钟的频率,单位为 MHz, K_{vco} 为压控振荡器的调谐增益, 值得指出的是,在这里 K_{vco} 的单位为 MHz/V,而不是 rad/sV, I_{cp} 为电荷泵电流, 单位为 µA, N 为分频器分频比, b 为电容比值 C₁/(C₂+C₃), f_c 为开环环路带宽, 即环路传输函数 H_o(s)在增益下降到 1 时的频率,单位为 kHz, p 为三阶滤波器 的第三个极点 f_{p3}与开环带宽 f_c 的比值。数字"2"代表二阶滤波器,数字"3" 代表三阶滤波器。



图 2-17 PLL Design Kit 界面

噪声参数一栏为子模块的噪声参数设置,包括电荷泵、分频器、参考时钟和 压控振荡器,在相应表格处填入模块在特定频点处的噪声值。另外,点击"CP" 键,会出现电流归一化的对话框,填入电荷泵电流噪声仿真时的电流值。需要注 意的是,若环路为差分结构,则应该仿真电荷泵差分输出噪声,*l*_{cp}也应为差分 电流大小。输入噪声参数之后,PDK 工具会拟合出相应的噪声曲线来仿真环路 的相位噪声。

若 DSM 调制器为 MASH 结构,使用 PDK 工具可以方便的选择 DSM 调制器的阶数。点击"on"键启动 DSM 调制器模块,然后选择 DSM 调制器的阶数即可。除此之外,为了使用上的方便,程序也允许设计者直接配置 DSM 调制器的系数。例如,若 DSM 调制器传输函数为[8]

$$H(z) = \frac{1 - 3z^{-1} + 3z^{-2} - z^{-3}}{1 - z^{-1} + 0.25z^{-2}}$$
(2.77)

那么只需在系数配置一栏里填入

1-33-1;1-10.25

1-33-1和1-10.25为两组数组,分别表示分母和分子的系数,中间要用分号隔开。"Quan Step"一栏为 DSM 调制器的量化阶梯,传统的量化阶梯为1。 这里采用了精度为0.5分频的分频器,所以量化阶梯为0.5,与传统的DSM调制器相比,量化噪声减小了6dB[9]。

"time"和"accuracy"选项为仿真环路阶跃响应时的控制选项,"time" 为阶跃响应仿真时间长度,而"accuracy"为阶跃响应仿真精度。"time"和 "accuracy"的单位为µs。例如仿真时间长度为 50µs,仿真精度为 0.5µs,在 两栏中分别填入 50和 0.5即可。如果不填则取默认值。"xmin?"、"xmax?"、 "ymin?"和"ymax?"可以控制所观察波形的坐标轴范围。当得到仿真波形时, 在"xmin?"、"xmax?"、"ymin?"和"ymax?" 输入坐标值后点击"ok"键即 可。红色的"D"表示环路为差分结构,按下"D"则变为"S"表示环路为单端 结构。

2.5.2 设计例子

在环路参数设计中,因为传输函数只和电容 b 和开环带宽 ω_c有关,所以改 变电荷泵电流并不会改变环路传输函数,改变电荷泵电流只是改变了滤波器参数 的大小。另外,由于电荷泵到输出的传输函数大小反比于电荷泵电流。因此尽管 电荷泵输出的电流噪声增加,但总的来说,电荷泵对环路的相位噪声贡献减小了。 例如说在其他参数不变的情况下,把电荷泵电流增大两倍,可以使电荷泵贡献的 相位噪声整体减小 3 dB。

对压控振荡器来说,其在带内的噪声被抑制,而带外的噪声直接输出。压控 振荡器对环路输出噪声的影响大小只与环路带宽有关。环路带宽越大环路对压控 振荡器的相位噪声抑制越充分;而环路带宽越小则对电荷泵和参考时钟的相位噪 声抑制越充分。在保证环路建立时间的前提下,应当选择环路带宽使得环路总的 相位噪声最小。

对于参考时钟来说,其到输出的传输函数和分频比 N 有关, N 每增大一倍,

相位噪声恶化 6dB。因此增大参考时钟频率可以有效的抑制参考时钟对环路相位 噪声的影响。而且参考时钟频率越大,DSM 调制器引入的量化噪声也就越小。

本文设计的频率综合器输出频率范围 2~2.4 GHz,参考时钟为 25 MHz,压 控振荡器调谐增益约为 11 MHz/V,分频比 N 为 80~96,电容比值 b 取 10,环 路带宽为 110 kHz, p 取 13。为了保证环路的稳定性,在分频比 N 变化时,同 时改变电荷泵电流大小。通过这种方式可以保证开环传输函数近似不变,因此保 证了环路的稳定性。当分频比 N 取典型值 88,电荷泵电流为 136 µA。,

这里,DSM 调制器采用了单环前馈三阶 DSM 调制器的结构,其系数如(2.77) 所示。把上述参数填入 PDK 工具,运行完毕,如图 2-18 所示。即可得到滤波器 参数,开环函数波特图,闭环零极点分布,建立时间和相位噪声曲线。

SPLL Design Kit							
File Edit Help Loop Parameters	Noise Parameters		Process Variation and Filter Parameters				
fref 25 MHz Kvco 11 MHz/V lcp 136 μA N 88 b b 10 c fc 110 kHz p 13 2 @ 3	CP -232.3 dB/A^2/Hz@1kHz -245.5 dB/A Div -152.5 dBc/Hz@10kHz -159.4 dBc/H Ref -84.65 dBc/Hz@10kHz -149.27 dBc/H -157.77 dBc/Hz@10kHz -128 dBc/Hz@10kHz VCO -76 dBc/Hz@10kHz -128 dBc/Hz@10kHz	*2/Hz@1MHz Hz@10MHz Hz@10kHz Hz@1MHz	αmin 0.611019 αmax 1.63661 C1 107.302 pF R1 44.7215 kΩ C2 5.3651 pF R3 41.4893 kΩ C3 5.3651 pF A1.4893 kΩ ΔC ΔR βmin 1 βmax 1				
SDM and Other Parameters			Resulting Plots and Jitter				
time µs accuracy µs Quan Step 1 01 0	xmin? xmax? ymin? ymax? 22 on 1-3 3-1 ; 1-1 0.25 on	Ok Apply	○ Open Loop Bode ○ Closed Loop Bode ⊙ Poles and Zeros ○ Step Response ○ Phase Noise Jitter: 0.6006 ps				
	PLL Design Kit	Written by menglb(www.rfic.fudan.edu.cn)					

图 2-18 参数配置完毕的 PDK 界面

图 2-19 为仿真得到的开环传输函数 *H*_o(*s*) 波特图。为了比较,同时给出二 阶和三阶滤波器的开环传输函数的波特图。由于三阶滤波器和二阶滤波器相比, 多了一个带外的高频极点,因此二阶滤波器的波特图在带外以 40 dB/Dec 下降, 三阶滤波器的波特图以 60 dB/Dec 下降。还可以看到,二阶滤波器的环路相位 裕度始终大于 0,因此二阶滤波器的环路无条件稳定,而三阶滤波器环路引入的 高频极点在一定程度上恶化了相位裕度,存在潜在的不稳定性。在这种情况下, 为了保证环路的稳定性,三阶滤波器引入的高频极点应该远大于环路带宽。由波 特图还可以看出,相位裕度在开环环路带宽附近取得最大。

图 2-20 为环路闭环的零极点分布情况。闭环环路存在一个零点,四个极点都在左半平面上,稳定性没有问题。两个在实轴上,阶跃响应表现为指数衰减项,

另外一对为共轭极点,在阶跃响应里表现为按指数衰减的振荡项。

图 2-21 为归一化闭环传输函数的阶跃响应。环路建立时间与开环带宽和相位裕度有密切关系。开环带宽和相位裕度越大,建立时间越快。在本设计中开环带宽为 110 kHz,环路稳定在 0.1%精度所需时间约为 20 µs。

图 2-22 为归一化传输函数的波特图。

图 2-23 为行为级相位噪声仿真曲线。带内相位噪声主要受电荷泵和参考时 钟的限制。在 100 Hz 处,参考时钟贡献起主要作用,但是由于频段很窄,其对 输出总的相位噪声影响很小。在本次设计中电荷泵电流取值较大,因此带内相位 噪声性能良好,而在带外的噪声被环路滤除。带外相位噪声则主要受压控振荡器 和 DSM 调制器的量化噪声的限制。由于设计相位噪声性能非常好的压控振荡器 不大容易,因此开环带宽比较大,设置在 110 kHz。由于压控振荡器输出噪声到 输出为高通特性传输函数,所以其在带内的噪声被环路充分抑制。在频率较高处 (1 MHz), DSM 调制器的量化噪声翘起,因此环路采用了三阶滤波器滤除量化噪 声。压控振荡器采用了多带技术,其调谐增益较小,降低了滤波器噪声对环路的 影响。可以看到,在环路带宽附近,滤波器对环路的影响基本上可以忽略不计。


图 2-20 环路闭环零极点分布







图 2-22 归一化传输函数的幅频响应



图 2-23 行为级相位噪声仿真结果

参考文献

- [1] 何捷, "DVB-T 接收机中频率综合器的研究" 博士学位论文, 复旦大学, 2005.
- [2] Keliu Shu, et al. "A 2.4 GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and loop Capacitance Multiplier," *IEEE J. of Solid-State Circuits*, 2003, 38(6): 866-874.
- [3] Hamid R. Rategh, et al. "A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5 GHz Wireless LAN Receiver," *IEEE J. of Solid-State Circuits*, vol. 35, no. 5, pp. 780–787, May 2000.
- [4] I. Galton, "Delta-Sigma Fractional-*N* Phase Locked Loops" in B. Razavi Ed. *Phase-Locking in High Performance Systems: From Devices to Architectures.*
- [5] Waleed Khalil, Hiva Hedayati, Bertan Bakkalolu, Safe Kiaei. "Analysis and Modeling of Noise Folding and Spurious Emission in Wideband Fractional-N Synthesizers," *IEEE Radio Frequency Integrated Circuits Symposium. RFIC* 2008.
- [6] Himanshu, Nikolaus Klemmer, James C. Morizio, Patrick, "Enhanced Phase Noise Modeling of Fractional-N Frequency Synthesizers," *IEEE Transactions on Circuits* and System, vol. 52, pp. 379-395, Feb. 2005.
- [7] Scott E. Meninger, Michael H. Perrott, "A 1-MHz Bandwidth 3.6 GHz 0.18-µm CMOS Fractional-N Synthesizer Utilizing a Hybrid PFD/DAC Structure for Reduced

Broadband Phase noise," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 966-980, Apr. 2006.

- [8] W. Rhee, B. S. Song, and A. Ali, "A 1.1 GHz CMOS fractional-N frequency synthesizer with a 3-b third-order delta-sigma modulator," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1453-1460, Oct. 2000.
- [9] Y. Sumi, "PLL with variable (*N*+1/2) frequency dividing ratio," *European Patent EP* 1020994, Jul. 2000.
- [10] Ken Kundert, "Modeling and Simulation of Jitter in Phase-Locked Loops", *Cadence Design Systems*.

第三章 电路设计

本章介绍频率综合器子模块电路设计,包括全差分电荷泵,高速预分频器以及压控振荡器。为了提高电荷泵的线性度,采用了带有复制支路的全差分结构。预分频器采用同步 8/9 预分频器结构[1],与非门(NAND)嵌入触发器中以提高最大工作频率[2]。采用了多带压控振荡器设计以优化相位噪声性能[3]。

图 3-1 为全差分调谐分数分频频率综合器的结构框图。鉴频鉴相器(PFD)采用了防死区(dead-zone)的结构消除静态相差。电荷泵电流分成大小相等的两个差分支路。滤波器两个大电容 C₁串联等效为电容 C₁/2。分频器之后采用了同步电路(retiming)以降低相位噪声[4]。

在频率综合器中,数字电路,如鉴频鉴相器和 ΔΣ 调制器等,在切换瞬间从 电源上抽取大电流造成电源抖动(current spike),从而恶化模拟电路,如电荷泵 和压控振荡器的性能。差分结构能够在很大程度上抑制来自于电源和衬底的共模 噪声,提高压控振荡器的性能和电荷泵的线性度。在芯片内部,模拟地和数字地 的分离也可以很大程度改善模拟电路性能。



图 3-1 全差分调谐分数分频频率综合器结构框图

3.1 全差分电荷泵

由于电荷泵的非理想因素,如电流失配(Mismatch)和漏电流(Leakage),使 得环路在锁定时,压控电压节点形成纹波(Ripple)调制压控振荡器输出频率从而 形成参考杂散。压控振荡器的频率可以表示为:

$$f = f_0 + K_{\rm vco} V_{\rm ctrl} \tag{3.1}$$

其中f₀为压控电压为0时的振荡频率。K_{vco}为压控振荡器调谐增益,单位为Hz/V。 假设压控振荡器压控电压纹波幅度为V_r。那么压控振荡器振荡频率为:

$$f = f_0 + K_{\rm vco} V_{\rm r} \sin(2\pi f_{\rm ref} t)$$
(3.2)

压控振荡器振荡信号的相位:

$$\varphi = \int_{-\infty}^{t} 2\pi f \mathrm{dt} \tag{3.3}$$

假设压控振荡器振荡幅度为A,那么压控振荡器振荡信号在任一个时刻为:

$$v_{\rm out}(t) = A\sin(\varphi + \varphi_0) \tag{3.4}$$

假设振荡信号初始相位为 0, 那么由式(3.2)、(3.3)和(3.4)可以得到:

$$\begin{aligned} \boldsymbol{v}_{\text{out}}(t) &= A \sin 2\pi f_0 t \cos(\frac{K_{\text{vco}} V_r}{f_{\text{ref}}} \cos(2\pi f_{\text{ref}} t)) \\ &+ A \cos 2\pi f_0 t \sin(\frac{K_{\text{vco}} V_r}{f_{\text{ref}}} \cos(2\pi f_{\text{ref}} t)) \\ &\approx A \sin(2\pi f_0 t) + A \frac{K_{\text{vco}} V_r}{2f_{\text{ref}}} \cos(f_0 \pm f_{\text{ref}}) t \end{aligned}$$
(3.5)

除了振荡频率 fo处,还有频率为 fo±fref的分量。因此形成的参考杂散为:

reference spur
$$|_{dB} = 20 \log(\frac{K_{vco}V_r}{2f_{ref}})$$
 (3.6)

我们可以看到参考杂散与压控振荡器调谐增益,参考频率和纹波幅度有关。 为了减小参考杂散,可以增大参考时钟频率,减小压控振荡器调谐增益。在环路 参数确定的情况下,压控振荡器调谐增益以及参考频率也随之确定,所以实际上 为了减小参考杂散,只能通过减小纹波幅度来解决。

压控节点纹波幅度直接取决于电荷泵性能。电荷泵电流匹配性能越好,漏电 流越小,那么纹波幅度就越小,参考杂散性能就愈好。反之,参考杂散性能就越

差。因此设计高性能的电荷泵的关键是减小参考杂散。高性能的电荷泵除了需要 减小参考杂散外,还需要在分数分频下减小带外量化噪声对带内的影响。在分数 分频下,由于环路的动态锁定,使得环路在稳定之后形成分数杂散。高性能的电 荷泵同样需要减小分数杂散的大小。但实际上,电荷泵由于存在诸多非理想因素, 使得其性能优化有很大的困难。下面详细分析电荷泵的非理想因素并讨论克服这 些非理想因素的方法。

3.1.1 电荷泵非理想因素

(a) 电流失配

图 3-2 为最简单的电荷泵结构。Sup 和 Sdn 为控制上下两路的开关,VBUP 和 VBDN 偏置上下两路电流源工作在饱和区。当开关 Sup 闭合时,电流 IUP 对滤波器 充电,Vctrl 增大,压控振荡器频率升高。当开关 Sdn 关闭时,电流 IDN 对滤波器放 电,Vctrl 减小,压控振荡器频率降低。当环路锁定后,开关 Sup 和 Sdn 同时关闭 或打开,理想情况下,电流 IUP 和 IDN 大小相等,没有电流对滤波器充电或放电, 压控电压 Vctrl 不再发生变化。



图 3-2 最简单的电荷泵

当频率综合器输出不同的频率时,压控电压随之发生变化,那么由于沟长调制效应,电流 /_{UP}和 /_{DN}大小也会发生变化。当 v_{ctrl}增大时,电流 /_{UP}减小而电流 /_{DN}增大。反之当 v_{ctrl}减小时,电流 /_{UP}增大而电流 /_{DN}减小。因此电流 /_{UP}和 /_{DN}不再相等,造成了电流失配。

解决这种直流电流失配的有效方法是加入复制支路,使得电荷泵上下两个支路通过复制支路关联起来从而实现电流匹配[5]。图 3-3 为引入复制之路后的电荷泵示意图。如果运放 A 和复制支路组成的闭环环路增益足够大,运放 A 的两个输入端电压 *v*_{rep}和 *v*_{out}基本上大小相等。晶体管 M1、M2 和 M3、M4 匹配,晶体管 M5、M6 和 M7、M8 匹配,因此充电电流 *l*_{UP} 和 *l*₁相等,放电电流 *l*_{DN} 和 *l*₂ 相等。在复制支路中,电流 *l*₁和 *l*₂始终相等,不会随着电荷泵输出电压改变而改变,因此电荷泵充电电流 *l*_{UP} 和放电电流 *l*_{DN}之间的直流失配得到消除。



图 3-3 引入复制支路的电荷泵示意图

(b) 高速毛刺

如图 3-4 所示,电荷泵充放电流在打开和关闭的瞬间,由于晶体管栅漏间电 容 C_{GD} 的影响,会在输出端形成电流毛刺,这种毛刺为高速毛刺[6]。假设输入 控制信号 V_{DN} 从 0 到 V_{NN} 的转换时间为 T_R。则由于电容 C_{GD} 产生的毛刺电流

$$V_{\text{glitch}} = C_{\text{GD}} V_{\text{NN}} / T_{\text{R}} = C_{\text{GD}} K$$
(3.7)

其中, *K* 代表输入信号转换速率。当信号转换速率极快时,高速毛刺的幅度甚至 会远远超过电荷泵电流的幅度。这种高速毛刺持续时间很短,和控制信号转换时 间差不多。当晶体管工作在线性区时,栅漏电容大约等于栅极电容的一半:

$$C_{\rm GD} = C_{\rm GS} = 1/2C_{\rm GG} = WLC_{\rm ox}/2$$
 (3.8)

由于工作在饱和区的晶体管栅漏电容小得多,因此为了减小高速电流毛刺, 电荷泵的输出晶体管一般被设置工作在饱和区。除此之外,饱和区的晶体管电流

切换速度比工作在线性区的晶体管快得多,这也是电荷泵输出晶体管工作状态被 设置在饱和区的原因之一。



图 3-4 高速毛刺

消除高速毛刺的有效方法是在电荷泵输出端加入冗余的晶体管,使之产生和高速毛刺大小相同且方向相反的电流。如图 3-5 所示,冗余晶体管漏端接在电荷泵的输出,为了降低静态功耗,源端悬空。栅极控制信号和电荷泵主支路控制信号互补。在这种情况下,由于栅漏电容引入的高速毛刺大小相等而方向相反,因此电荷泵输出的静电流消除了高速毛刺。需要指出的是。这种消除高速毛刺的方法需要控制 V_{DN}和 V_{DNB}严格互补,否则两个支路的高速毛刺就会明显不同,从而达不到预想的效果。



图 3-5 冗余晶体管

(c) 低速毛刺

在电流舵型电荷泵中,晶体管打开速度和关断速度的不同会导致晶体管在打

开时形成毛刺,这种机制形成的毛刺称低速毛刺[6]。图 3-6 为电流舵型电荷泵,控制信号 V_{DN}和 V_{DNB}为互补差分信号。当 V_{DN}为高时,电荷泵放电支路打开,当 V_{DN}为低时,电荷泵放电支路关闭,电流流经 V_{DNB}控制的 M5 管。理想情况下,流经 M6 的电流在控制信号 V_{DN}和 V_{DNB}的控制下,在 M4 和 M5 管两者之间切换,放电电流 I_{DN}和 I_{DNB}为方波。但晶体管打开速度和关断速度的不同导致情况并非如此。

当 V_{DN} 从低电平到高电平切换, 控制 M5 管的 V_{DNB} 由高电平切换到低电平, M5 关断之后,此时 M4 并没有完全打开。此时流经工作在饱和区的 M6 的电流



图 3-6 电流舵型电荷泵

依然存在,由基尔霍夫定律可知此时流经 M6 管的电流只能从节点 V_S的寄生电 容上抽取,所以节点 V_S出现略微下降。之后 M4 晶体管打开,由于 V_S为 M4 管 的源极,V_S的下降使得 M4 的栅源电压 V_{GS}升高,因此 M4 管刚刚打开时,电流 和设定值相比,存在一个过冲。这个过冲电流对节点 V_S充电,使得其电位增大,因此流过 M4 管的电流开始减小。稳定之后,过冲消失,M4 管的电流恢复到其 设定值。

这种由于晶体管打开和关断速度差异引入的低速毛刺也会影响电荷泵的电流的匹配性能。解决这一问题较好的方法是在节点 V_S 对地加入一个大电容。如图 3-6 所示,电容 C_S 使得节点 V_S 变化幅度减小,因此 M4 管在打开时,栅源电压变化量变小,从而使得低速毛刺降低。和图 3-6 相比,图 3-7 中示意了加入电

容时候的波形图。大电容 Cs 占用较大面积,一般用 MOS 管电容来实现。



图 3-7 大电容降低了低速毛刺

(d) 其他非理想因素

电荷泵除了上述非理想因素外,还存在着一些其它的非理想因素。如电荷泵 打开速度、打开时间和电荷注入等[7]。这些非理想因素在一定程度上影响了电荷 泵的性能。

电荷泵上下两个支路的打开时间存在着固有的差异。仿真表明,工作在饱区的 PMOS 管和 NMOS 管在跨导相等的情况下其打开和关断速度大致相等。因此,设计高性能的电荷泵应该遵循这一原则。另外由于电荷泵的栅电容作为前一级的负载,为了保证上下两路的打开速度,应该使 PMOS 管和 NMOS 管具有大致相等的栅极面积。

电荷泵导通时间选取和打开速度有密切的关系。导通时间在能保证电荷泵正 常打开和关闭的情况下越短越好。导通时间过短,电荷泵不能打开,环路稳定时 存在固定相差恶化相位噪声。导通时间过长,则电荷泵电流噪声变大,同样会恶 化环路的相位噪声。一般把电荷泵的导通时间设置在几个纳秒。

电荷注入是指电荷泵在关断时,部分电荷注入到其漏极和源极。电荷注入在 一定程度上产生电荷失配。从电路设计上来说通过减小电荷泵电流和晶体管尺寸 可以减小失配。

3.1.2 电平转换器

如图 3-6 中所示,如果电荷泵开关工作状态设置在饱和区,那么来自于鉴频 鉴相器输出的信号由于是轨到轨的数字信号,不能够直接驱动电荷泵。在鉴频鉴 相器和电荷泵之间需要电平转换器来产生电荷泵控制信号 V_{DN}、V_{DNB}和 V_{UP}、 V_{UPB}。如图 3-8 所示,以控制信号 V_{DN}和 V_{DNB}为例,来自于鉴频鉴相器的控制 信号直接控制电平转换器中的互补 CMOS 开关,当信号 V_{DN}通过开关和电平 V_{NN} 连接时,其互补信号 V_{DNB}则通过开关和 VSS 相连,反之当信号 V_{DN}通过开关和 VSS 连接时,其互补信号 V_{DNB}则通过开关和电平 V_{NN} 相连。如此便产生电平在 VSS 和 V_{NN}之间的控制信号。另外一组信号 V_{UP}和 V_{UPB}产生方法相同,它们的 电平在 V_{PP}和 VDD 之间。



图 3-8 电平转换器

鉴频鉴相器输出的对称的互补控制信号经过电平转换器之后,其对称性在一 定程度上会受到影响。对称性不好的信号直接导致冗余晶体管和电荷泵输出晶体 管产生的高速毛刺不能完全抵消,从而会严重恶化电荷泵电流匹配性能。

信号为了尽可能的消除高速毛刺,要求其互补信号完全对称。即经过电平转换器之后电平 V_{DN}和 V_{DNB}、V_{UP}和 V_{UPB}完全对称。考察信号 V_{DN}从 VSS 切换到 V_{NN}的过程。电平 V_{NN}为驱动能力很大的运放输出,在这里为分析简单,把其当 作理想电源来考虑。互补 CMOS 开关等效成电阻 *R*_{SW},信号 V_{DN} 驱动栅电容负 载设为 *C*_G。 图 3-9 为 V_{DN} 由 VSS 切换到 V_{NN} 的一阶模型简图。容易求得 V_{DN} 的表达式为:

$$V_{\rm DN} = V_{\rm NN} \mathrm{e}^{-t/\tau} \tag{3.9}$$

同理,此时信号 VDNB 从 VNN 切换到 VSS 的表达式按照同样的方法可以求出:

$$V_{\rm DNB} = V_{\rm NN} (1 - e^{-t/\tau}) \tag{3.10}$$

可以看到信号 VDN 和 VDNB 的确是完全对称和互补的。其中

$$\tau = \frac{1}{R_{\rm SW}C_{\rm G}} \tag{3.11}$$

按照(3.7),由信号 VDN产生的高速毛刺:

$$I_{\text{glitch},\text{DN}} = C_{\text{GD}} \mathcal{K} = C_{\text{GD}} \frac{\partial V_{\text{DN}}}{\partial t}$$
(3.12)

由信号 VDNB产生的高速毛刺:

$$I_{\text{glitch},\text{DNB}} = C_{\text{GD}} \mathcal{K} = C_{\text{GD}} \frac{\partial V_{\text{DNB}}}{\partial t}$$
(3.13)

将式(3.9)、(3.10)和(3.11)代入到式(3.12)和(3.13)可以得到:

$$I_{\text{glitch,DN}} = -I_{\text{glitch,DNB}} = C_{\text{GD}} V_{\text{NN}} / \tau \, \mathrm{e}^{-\frac{t}{\tau}}$$
(3.14)



图 3-9 控制信号产生的一阶模型简图

此时,信号 V_{DN} 和 V_{DNB}产生的毛刺刚好抵消,因此在电荷泵支路接入冗余 晶体管可以很好的消除高速毛刺。另外在图 3-9 中 V_{NN} 由接为单位增益反馈的运 放直接驱动,因此电平 V_{NN} 会有一定程度的波动,可以证明若其负载电容 C_L 和 C_G 相比很大,则电平 V_{NN} 波动幅度很小。

但实际上互补开关的电阻会随着开关的变化而变化,在一定的范围内,不妨

设开关电阻 *R*_{sw}=*R*_c+*K*Δ*V*,其中 *R*_c为常数,*K*是互补开关尺寸决定的物理量, Δ*V*为开关电压之差。*K*越大,*R*_{sw}的非线性就越明显,输出信号的对称性就越 差。

同样考虑当信号 V_{DN} 由 VSS 切换到 V_{NN},而信号 V_{DNB} 由 V_{NN} 切换到 VSS 时的情况。对于信号 V_{DN}有:

$$C_{\rm G} \frac{\partial V_{\rm DN}(t)}{\partial t} = \frac{V_{\rm NN} - V_{\rm DN}(t)}{R_{\rm C} + K(V_{\rm NN} - V_{\rm DN}(t))}$$
(3.15)

对于 V_{DNB}有:

$$C_{\rm G} \frac{\partial V_{\rm DNB}(t)}{\partial t} = \frac{-V_{\rm DNB}(t)}{R_{\rm C} - KV_{\rm DN}(t)}$$
(3.16)

在式(3.15)和(3.16)两式中,若互补开关电阻变化系数 K 很小,那么由两式 求得的关于 V_{DN}(t)和 V_{DNB}(t)表达式如式(3.9)和(3.10)所示。若 K 不为零,直接求 出解析表达式比较困难。但当 K(V_{NN}-V_{DN}(t))<<R_C 且 KV_{DN}(t)<<R_C 时,式(3.9)和 (3.10)依然近似成立。但在开关尺寸确定的情况下,R_C随之确定。为了抑制开关 的这种不利因素,可以串联一个电阻 R 来解决。串联电阻后,R_{SW}=R_C+ KΔV+R。 这样总的阻值变大后,就弱化了 KΔV 的影响。仿真结果表明:采用了串联电阻 后,电平转换器输出的控制信号表现出了更好的信号对称性,这大大改善了了电 荷泵的高速电流毛刺现象。但是串联电阻 R 增加了时间常数,减小了电荷泵支 路的打开速度,因此电阻 R 的取值大小由仿真情况来确定。



图 3-10 全差分电荷泵

3.1.3 全差分电荷泵

图 3-10 为设计采用的全差分电荷泵电路图,对参考文献[6]中的电路做出了 修改,左右两半部分完全对称。电路设计采用了带有复制支路的电流舵结构。一 级运算放大器 A1 与复制支路构成负反馈闭环环路,为了保证环路稳定性,采用 了 miller 补偿,电容跨接在运放 A1 的输出和正输入端,为了简便,图中没有示 出。运算放大器 A2 接为单位负反馈使得电平 vp 跟随电荷泵输出电平 vop,消除 电荷重分配造成的适配。

在稳定时,电荷泵输出端 VOP 的纹波电压经过运放 A1 之后,经过晶体管 M2 放大形成电流注入到滤波器。因此在运放 A1 输出和 M2 栅极之间加入一级 RC 无源滤波器滤波, M2 管的栅极电压就会相对稳定,从而使得上下两个支路 电流匹配性提高。



图 3-11 电荷泵直流匹配性能

图 3-11 为全差分电荷泵直流匹配仿真曲线。输出电压在 0~1.7 V 范围内, 上下两个支路的电流都相等。当输出电压在 0.4~1.4 V 变化范围内,直流电流为 设定值 8 µA。这表明电荷泵能够正常工作的电压范围为 1 V 左右。在传统的没 有复制支路的设计中,只有当输出电压在共模电压附近时,上下两个支路电流才 完全相等。由此可见,采用了复制支路后大大提高了电荷泵的匹配性能。

图 3-12 为电荷泵动态匹配仿真曲线。低速毛刺和高速毛刺基本上被完全消除,电荷泵整个打开过程匹配性很高。但由于采用了差分结构,左右两个支路会 注入同样大小的电流到全差分滤波器。在分数分频情况下,线性度良好的全差分



电荷泵可以进一步减小量化噪声折叠到带内,提高环路的相位噪声性能。

图 3-12 电荷泵动态匹配性能

3.1.4 轨到轨共模负反馈

图 3-13 为共模负反馈电路, V_{OP} 和 V_{ON} 为差分电荷泵的输出。两个轨到轨的运算放大器作为单位增益反馈的缓冲器采集电荷泵的输出到电容电阻网络上从而得到电荷泵输出控制电压共模电平 V_{COM}。当共模电平 V_{COM}小于参考电压 V_{REF}时,跨导放大器注入电流到滤波器;当共模电平 V_{COM}大于参考电压 V_{REF}时,滤 波器注入电流到跨导放大器。因此当达到稳定状态时,电荷泵输出共模电平 V_{COM} 等于 V_{REF}。



图 3-13 共模负反馈框图

图 3-14 为共模负反馈中的跨导放大器。第一级放大器的输出噪声为共模噪

声,不会恶化电荷泵共模负反馈的噪声性能。而第二级噪声直接恶化共模负反馈 噪声。为了降低电路输出共模噪声,第二级电流大小应该足够小。

图 3-15 为共模负反馈电路频率响应图。由于电流较小,其共模带宽也比较小,为几十 kHz,有时候这会给共模建立带来问题。两个单位增益反馈的运放带宽较大为几十 MHz,既不会影响环路带宽,也不会影响环路稳定性。



图 3-14 跨导放大器



图 3-15 共模负反馈频率响应

3.2 高速预分频器

3.2.1 设计考虑

多模预分频器的最大工作频率直接决定了频率综合器的最大输出频率,因而 是频率综合器中最重要的模块之一。在混合信号电路中,CMOS 逻辑因为其高 集成度、高的噪声容限(noise margin)和低静态功耗得到了广泛的应用。然而随 着其工作频率的提高,CMOS 逻辑消耗的功耗也会越来越大。动态功耗可以定 量的表示为[8]:

$$\boldsymbol{E} = \boldsymbol{C}_{\mathrm{L}} \boldsymbol{V}_{\mathrm{DD}}^2 \boldsymbol{f}_{0 \to 1} \tag{3.17}$$

其中 C_L 为输出接点负载电容, f_{0→1}为倒相器工作翻转频率。流经电源的瞬态电流通过电源和地上的寄生电阻、电容和键合线(bonding)以及封装引入的寄生在电源上形成压降,从而严重恶化了模拟电路的性能。数字电路的这种不利因素的根本原因是其电流不稳定,不断的在发生变化。电流模逻辑(Current Mode Logic)由于其电流波动较小,因而和 CMOS 逻辑相比噪声性能好。而且,在工作频率一定的情况下,功耗存在一定的优化空间。鉴于此特性, CML 逻辑在高速预分频器中得到了广泛的应用。

(a) CML 输出摆幅

图 3-16 为最简单的电流模逻辑电路。差分对 M1 和 M2 管控制电流 / 在左右 两个支路之间切换。当 M1 管导通, M2 管截止时,电流源对节点 V_{OUTP} 放电,电源对节点 V_{OUTP} 充电。当此瞬态过程完成时,V_{OUTP} 稳定在 VDD-/*R*,V_{OUTN} 稳 定在 VDD。当 M1 管截止, M2 管导通时,电流源对节点 V_{OUTP} 充电,电源对节 点 V_{OUTN} 放电。当此瞬态过程完成时,V_{OUTP} 稳定在 VDD,V_{OUTN} 稳定在 VDD-/*R*。以电流源对 V_{OUTP} 放电过程为例,可得:

$$C_{\rm L} \frac{dv_{\rm OUTP}(t)}{dt} + I = (VDD - v_{\rm OUTP}(t))/R$$
(3.18)

那么:

$$v_{\text{OUTP}}(t) = \text{VDD} - IR(1 - e^{-t/RC_L})$$
 (3.19)

假设 VOUTP 建立精度为 1%所需要的时间为 t_{1%}。那么:



图 3-16 电流模逻辑工作原理

$$1.01(VDD - IR) = VDD - IR(1 - e^{\frac{t_{1\%}}{RC_L}})$$
(3.20)

可以得出:

$$t_{1\%} = RC_{\rm L} \ln(\frac{IR}{0.01(\rm VDD - IR)})$$
(3.21)

其中 *IR* 刚好为 CML 的电压摆动幅度(voltage swing)。由此可见,摆动幅度越大,则建立时间越长,也就是说,电流模逻辑工作摆幅越大工作速度就越慢。因此为了提高电流模逻辑的速度,应该设置较低的电压摆幅。



(b) CML 逻辑速度

图 3-17 为 CML 逻辑电路级联形成的 DFF 触发器,当时钟为低时,第一级

图 3-17 CML 逻辑电路组成的 DFF 触发器

锁存器锁存输入的数据,第二级出于保持状态,当时钟为高时,第一级锁存器处 于保存状态,第二级锁存器出于锁存状态。

式(3.21)中 C_L包括节点本身的寄生电容和其所要驱动的负载电容。在图 3-17 中晶体管 M5 驱动的总电容为包括三部分:晶体管寄生电容 C_p、负载电阻 R 的 寄生电容 C_R以及连接 M13 漏极的走线电容 C_i。

$$C_{\rm L} = C_{\rm p} + C_{\rm R} + C_{\rm i} \tag{3.22}$$

晶体管寄生电容正比于晶体管尺寸 *W*,负载电阻 *R* 寄生电容正比于电阻面积。 走线电容 *C*_i正比于信号走线长度。先不考虑 *C*_R和 *C*_i, *C*_L只和晶体管尺寸 *W* 有 关。那么时间常数

$$\tau \propto RC_{\rm I} \propto (\Delta V/I)W \propto \Delta V \tag{3.23}$$

其中 ΔV 为输出摆幅。由此可见 CML 逻辑电路的速度和摆幅有关,和电流大小 没有关系。在工艺确定的情况下,CML 逻辑电路所能达到的最大速度是确定的。 因此为了提高 CML 逻辑电路的速度,应当使得连线寄生电容和负载寄生电容尽 量小。金属连线宜用最小线宽,连线长度应该尽量短。电阻尽量采用工艺中电阻 率大的电阻,以减小电阻所占面积,从而减小其寄生电容。

(c) 自激振荡频率



图 3-18 两分频器

如图 3-17 所示的 CML 逻辑触发器中, M7、M8 和 M11、M12 为交叉耦合 形成正反馈,当按照图 3-18 相连形成两分频器后,负反馈环路可能使得电路发 生振荡[9]。当触发器输入的时钟为零时,两分频器发生自激振荡,振荡频率称为

自激振荡频率。

在图 3-17 中设 M5 的跨导为 g_m, M7 和 M8 交叉耦合管的电阻为–2/g_{mp}。则锁存器的小信号传输函数为:

$$H_{\text{Latch}} = g_{\text{m}}(R \square \frac{-1}{g_{\text{mp}}} \square \frac{1}{sC_{\text{L}}})$$
(3.24)

由于图 3-18 中两级锁存器串联之后接为单位负反馈,那么其闭环传输函数:

$$H_{\text{closed}} = \frac{H_{\text{Latch}}^2}{1 + H_{\text{Latch}}^2}$$
(3.25)

将式(3.24)代入到(3.25)可得:

$$H_{\rm closed} = \frac{g_{\rm m}^2 R^2}{g_{\rm m}^2 R^2 + (g_{\rm mp} R + sC_{\rm L} R - 1)^2}$$
(3.26)

容易求其极点:

$$s_{1,2} = \frac{g_{mp}R - 1}{RC_L} \pm j\frac{g_m}{C_L}$$
 (3.27)

当 **s**_{1,2} 的实部大于 **0** 时,环路不会发生自激振荡。而当其实部小于 **0** 时,环路内部会发生自激振荡。环路自激振荡的条件是:

$$g_{\rm mp}R > 1 \tag{3.28}$$

此时振荡频率为 g_m/C_L。同理还可以证明当多个 CML 触发器级联其自激振荡的条件依然为(3.28)。只是自激振荡频率发生了变化。

两对交叉耦合的晶体管直接决定了环路是否能够自激振荡。为了增加分频器的速度,耦合晶体管尺寸应当仔细设计。当耦合晶体管尺寸减小时,环路极点逐渐从右半平面向虚轴移动。当其尺寸小于某一个值时,极点移向左半平面,从而 环路不会发生自激振荡。

一般来说,如果分频器级联之后不发生自激振荡,但输入时钟幅度较大,则 分频器依然能够正常工作。设计预分频器时,把自激振荡频率设置在输入时钟频 率的二分之一附近,这样分频器的功耗较小。

3.2.2 高速 8/9 预分频器

图 3-19 是本次设计采用的同步 8/9 高速预分频器[3]。当 mod 信号为"0"

时,第五个 DFF 触发器被屏蔽,前四个 DFF 触发器首尾相连构成 8 分频模式。 当 mod 信号为"1"时,组成 9 分频模式。为了增加电路的可靠性,通常会在预 分频器输出之前插入差分转单端(Differential to Single-Ended)电路用以驱动数 字电路。分频器中的数字电路大大降低了速度,为了提高速度,图 3-20 中第一 级锁存器嵌入了与非门[2]。



图 3-19 同步 8/9 预分频器



图 3-20 嵌入与非门的 CML 触发器

图 3-21 为 8/9 预分频器仿真结果,输入信号共模电平为 0.75 V,幅度为 0.4 V。中间为 9 分频模式的波形,最下方为 8 分频模式的波形。加入差分转单端之后,信号达到了满摆幅输出。



图 3-21 8/9 预分频器功能仿真

3.3 电感电容压控振荡器

压控振荡器到环路输出的传输函数具有高通特性, -3 dB 带宽在环路带宽附近。因此环路带宽以内的噪声可以被环路完全抑制, 而在带宽之外的噪声将直接输出,限制了环路的相位噪声性能。因此在本次设计中环路带宽较大,为 110 kHz, 可以较好的抑制压控振荡器的噪声。

多带的压控振荡器具有小的调谐增益,这不但可以降低滤波器的噪声贡献,还可以减小滤波器中电容面积。图 3-22 为压控振荡器电路图。设计的压控振荡器在 2~2.4 GHz 范围内分为 64 个子带以降低其调谐增益[10]。

来自于电源的噪声会在一定程度上恶化压控振荡器的相位噪声性能。设计了 高电源抑制比和低噪声输出的线性稳压器给压控振荡器供电可以优化带宽附近 的相位噪声性能[10]。除此之外,尾电感电容阵列谐振在2倍振荡频率附近处, 进一步提升噪声性能。



图 3-22 压控振荡器

参考文献

- [1] 卢磊,"射频接收机中分数频率综合器的设计与研究"博士学位论文,复旦大学,2009.
- [2] Yanping Ding, Kenneth K.O, "A 21-GHz 8-Modulus prescaler and a 20-GHz Phase-Locked Loop Fabricated in 130-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1240-1249, June. 2007.
- [3] Lei Lu, Jinhong Chen, Lu Yuan, Hao Min, and Zhangwen Tang, "An 18-mW 1.175-2GHz Frequency Synthesizer with Constant Bandwidth for DVB-T tuners," *IEEE Trans. Microwave Theory Tech*, pp. 928-937, April. 2009.
- [4] S.Levantino, L.Romano, S.Pellerano, C.Samori, A.L. Lacaita, "Phase Noise in Digital Frequency Dividers," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 775-784, May. 2004.
- [5] Jae-Shin Lee, Min-Sun Keel, Shin-II Lim, Suki Kim, "Charge Pump with Perfect Current Matching Characteristics in Phase-Locked Loops", *Electronics Letters*, vol. 36, pp. 1907-1908, 2000.
- [6] Shanfeng Cheng, Haitao Tong, Silva-Martinez, J. Karsilayan, A.I., "Design and

Analysis of an Ultrahigh-Speed Glitch-Free Fully Differential Charge Pump With Minimum Output Current Variation and Accurate Matching", *IEEE Transactions on Circuits and Systems*, vol. 53, pp. 843-847, Sep, 2006.

- [7] Razavi, "RF Microelectronics", 1997, Prentice Hall.
- [8] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic, "Digital Integrated Circuits: A Design Perspective", 1995, Prentice Hall.
- [9] U. Singh, M.Green. "Dynamics of High-Frequency CMOS Dividers," in Proc. Circuits Syst. (ISCAS), vol.5, pp.26-29, May, 2002.
- [10] A. Kral, F.Behbahani A.A. Abid, "RF-CMOS Oscillators with Switched Tuning" *IEEE CICC*, 1998.
- [11] Yue Wu, "A Monothic Low Phase Noise 1.7 GHz CMOS VCO for Zero-IF Cellar CDMA Receivers", IEEE International Solid-State Circuits Conference, 2006.

第四章 芯片设计及测试

为了验证电路设计的正确性,在 SMIC 0.18-µm CMOS 工艺下进行了流片 验证,本章将给出测试结果并做出分析。

4.1 芯片实现

随着集成电路工艺的不断发展,芯片集成度越来越高,实现了把射频、模拟和基带等不同功能的模块集成在同一块芯片内部,从而大大降低了集成电路的成本。但模拟和数字信号会通过衬底耦合、电源干扰等因素恶化芯片的性能。在混合信号设计中,存在着不同类型和不同工作频率的电路。一般来说,电路中晶体管本身作为开关使用以用来处理数字信号的电路称之为数字电路。而用来处理模拟信号的电路被称之为模拟电路。在芯片内部,所有数字电路的公共参考地称之为数字地,所有模拟电路的公共参考地称之为模拟地。数字电路工作速度快,在晶体管翻转的瞬间会从电源抽取瞬态大电流形成噪声,在电流通路产生电压降。设数字电路的电流为 /o(t),模拟电路的电流为 /a(t),若数字地和模拟地在芯片内部连接在一起。则两路电流经过同一信号通路,总的电流 /ror(t)= /o(t)+/a(t)。封装导线和 PCB 板走线的集总为电阻为 *R*_P。则电源压降为(/o(t)+ /a(t))*R*_P。这样,数字电路的瞬态电流越大,电源压降也就越大,这就有可能使得模拟电路的功能或者性能受到影响。

图 4-1 为 2~2.4 GHz 分数分频频率综合器芯片照片,芯片面积为 1 mm², 电源电压为 1.8 V,电路消耗为 10 mA。为了最大限度的减小芯片内部数字电路 噪声对模拟电路的影响。所有数字电路的电源和地和模拟电路的电源和地在芯片 内部分离,这种方案极大地提高了频率综合器参考杂散性能。

滤波器电容采用了 MIM 电容。滤波器电容 C₁采用了插指结构,因而在版图 设计上完全对称。所有数字电路如 DSM 调制器、自动频率控制数字电路和分频 器中的数字电路集中在一个模块,用深阱工艺实现,以尽量减小数字电路对其他 模拟电路的影响。



图 4-1 2~2.4 GHz 分数分频频率综合器芯片照片

4.2 芯片测试结果

图 4-2 为采用安捷伦 E5052A 信号分析仪测出的频率综合器输出频率在 2.26 GHz 下的相位噪声测试曲线,带内相位噪声在 10 kHz 频偏处为-95 dBc/Hz,带外频偏 1 MHz 处为-111 dBc/Hz。100 Hz~100 MHz 范围内均方根 积分噪声在整数分频模式为 0.8 度,均方根时钟抖动约为 1 ps。



图 4-2 典型频率下的相位噪声测试曲线

图 4-3 为在整个输出频率范围内相位噪声测试性能总结。在整个输出频率

2~2.4 GHz 范围内,在整数模式下,积分相位误差小于 0.7 度。由于 DSM 调制 器在带外引入了量化噪声,而且部分量化噪声通过环路的非线性折叠到带内恶化 了带内相位噪声,分数模式下积分误差小于 1 度。



图 4-3 均方根相位误差(积分区间为 100 Hz-100 MHz)

图 4-4 为在整数分频模式下输出频率在 2.2 GHz 时的功率谱密度,此时参考 杂散为-66 dBc。参考杂散和环路带宽、参考频率大小以及滤波器的阶数都有直 接的关系。在上述条件确定的情况下,还与电荷泵的线性度有关,电荷泵线性度 越好,参考杂散越小,反之,参考杂散性能就越差。

图 4-5 为频率综合器在不同输出频率下的参考杂散性能,在整个输出频率范 围内参考杂散小于-62 dBC,在最好情况下可以达到-76 dBc。另外参考杂散和 PCB 板也有直接的关系,参考晶振输出会通过 PCB 板耦合到压控电压节点,使 得纹波增大从而极大的恶化参考杂散性能。最后,频率综合器输出会有分数杂散, 例如分频比为 N+f,在频偏 f_{ref}*f 和 f_{ref}*(1-f)处产生分数杂散,但由于对调谐器应 用不产生影响,这里不做赘述。



图 4-4 频率综合器输出在 2.2 GHz 时的功率谱密度



图 4-5 整个输出频率范围内的输出参考杂散

表格 1 中,本文设计的频率综合器和其他的文献中的设计做出了对比。选择的三篇文献均是用在调谐器中,其中有两篇应用在 DVB-S 和 ISDB-T 中,其中设计的频率综合器输出频率范围分别为 2.24~4.48 GHz, 1.5~3.78 GHz。第三篇应用在 DVB-T 中,输出频率范围为 1.1~2.2 GHz。本文设计的频率综合器输

出范围在 2~2.4 GHz,和上述三个频率综合器频段接近,因而有良好的可比性。 和参考文献相较,本文设计的频率综合器具有低功耗、小面积、低相位噪声等性 能。

Ref.	[1]	[2]	[3]	This Work
Technology	0.13-µm	0.11-µm	0.18-µm	0.18-µm
(CMOS)	CMOS	CMOS	CMOS	CMOS
Application	DVB-S	ISDB-T	DVB-T	DVB-T
Tuning Type	Single-ended	Single-ended	Single-ended	differential
Loop Bandwidth	1 MHz	100 kHz	100 kHz	110 kHz
Output Frequency	2.24~4.48 GHz	1~3.78 GHz	1.1~2.2 GHz	2~2.4 GHz
Phase Noise	–98@ 100 kHz	–88@ 10 kHz	–90@ 10 kHz	–95@ 10 kHz
(dBc/Hz)	–100@ 1 MHz	–118@ 1 MHz		–111@ 1 MHz
RMS Phase Error	0.8°	N.A	1.5°	1 ^o
Power	122	20 mW		19
Consumption	132 11100	20 11100	N.A	
Chip Size	0.3 mm ²	1.9 mm ²	1.2 mm ²	1 mm ²

表格1 频率综合器性能对比

参考文献

- [1] A. Maxim, R. Poorfard, and J. Kao, "A sub-1.5° phase-noise ring-oscillator-based frequency synthesizer for low-IF single-chip DBS satellite tuner-demodulator SOC," *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, pp. 618-619, Feb. 2006.
- [2] M. Marutani, H. Anbutsu, M. Kondo, N. Shirai, H. Yamazaki, and Y. Watanabe, "An 18 mW 90 to 770 MHz synthesizer with agile auto tuning for digital TV-tuners," *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, pp. 192–193, Feb. 2006.
- [3] M. Gupta, S. Lerstaveesin, D. Kang, and B.-S. Song, "A 48-to-860 MHz CMOS direct-conversion TV tuner," *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, pp. 206–207 Feb. 2006.

第五章 总结与展望

5.1 成果总结

随着数字电视接收机的广泛应用,对于低成本、全集成和高性能的调谐器研 究越来越多。作为其中的关键模块之一,低相位噪声、低功耗和小面积的频率综 合器更是受到了广泛的研究。随着 CMOS 工艺的不断进步,低相位噪声的压控 振荡器和高速低功耗的分频器不断的被报道出来。本文采用全产分调谐结构完成 了一款应用在调谐器中的低相位噪声分数分频频率综合器。测试结果表明,性能 良好,满足了系统应用要求。论文的主要成果为:

- 分析比较了环路参数设计的两种方法:基于闭环的根轨迹方法和基于开环的 相位裕度最大法。从数学上给出了根轨迹方法的最优环路增益的表达式。通 过比较,两种方法在环路参数计算上结果是一致的。
- 2) 详细分析推导了差分调谐结构中各个子模块的噪声传输函数。相对于单端结构,差分结构中所有子模块的噪声传输函数均相同。在差分结构中,电荷泵电流被分成大小相等的两部分,因而其对输出的噪声贡献不变。在差分结构中,滤波器的电阻噪声贡献是单端结构的两倍。严格的数学分析表明,降低压控振荡器的调谐增益可以大大降低滤波器中电阻噪声的贡献。
- 3) 由于环路参数设计变量较多,设计了基于 MATLAB GUI 程序。利用此程序,可以方便的得到不同环路参数下完备的仿真结果,同时可以方便的比较不同参数下仿真结果的差异,简化了环路参数设计。
- 4) 设计了高性能的全差分结构电荷泵。设计的电荷泵抑制了电荷泵中电流失配、 高速毛刺、低速毛刺等各种非理想因素。设计了轨到轨的跨导型低噪声共模 负反馈,稳定了全差分信号的共模电压。
- 5) 采用了单环前馈三阶 DSM 调制器控制频率综合器在分数分频下的分频比。 这种 DSM 调制器输出范围较小,因此环路的非线性引入的噪声折叠较小。 相对于整数结构,依然具有良好的带内相位噪声性能。
- 6) 设计了 2~2.4 GHz 的 8/9 高速预分频器。以二分频器为例推导了自激振荡频率的表达式。自激振荡频率取决于输入对管的跨导和其负载电容。一般来说,寄生电容占负载电容的大部分。在前仿真满足性能指标的前提下,设计寄生

电容小的版图是预分频器设计的关键。

7) 设计了 2~2.4 GHz 的低相位噪声压控振荡器,为了降低其调谐增益,压控振荡器调谐范围分成 64 个子带。低的调谐增益减小了滤波器的面积,并且使滤波器对输出相位噪声的贡献大大减小。

5.2 未来展望

在以上工作的基础上,可以展开以下的研究工作:

- 1) 采用的 DSM 调制器结构引入了分数杂散,可以尝试新的调制器结构来解决。
- 2)量化噪声极大的限制了环路的带宽,可以尝试使用量化噪声消除技术提高开 环环路带宽,在获得更好的带外相位噪声的同时也减小了滤波器的面积。
- 3) 电荷泵周期性的关断和闭合在滤波器压控节点产生纹波,为了减小纹波的幅度,下一步可以尝试使用采样保持滤波器[1]。由于压控节点在电荷泵打开期间处于保持状态,从而有可能产生较小的纹波,进一步优化参考杂散等性能。

参考文献

[1] Macro Cassia, Peter Shah, Erik Bruun, "Analytical Model and Behavior Simulation Approach for a Sigma-Delta Fractional-*N* Synthesizer Employing Sample-Hold Element", *IEEE Transactions on Circuits and System*, vol. 52, pp. 379-395, Feb. 2005.

致谢

三年的研究生生活若白驹之过隙,忽然而已。

复旦的求学历程即将结束之际,感谢曾经帮助过我的老师和同学。

首先, 衷心的感谢我的硕士导师唐长文副教授, 他严谨的治学态度和对科学 研究的热情一直以来并将继续鞭策我对专业的追求和热爱。

其次,感谢卢磊师兄对我的悉心指导,和你的讨论最使我受益匪浅。感谢宫 志超、邹亮和韩科峰师兄的热心帮助,你们对电路的独到理解使我这打开了集成 电路设计的思路。感谢尹睿和赵薇,你们乐观向上的生活态度让原本枯燥的实验 室环境变得充满乐趣。感谢温小柯和余永长两位同学,忘不了和你们在一起的欢 声笑语; 求学生活不易,苦中亦作乐,珍惜曾和你们在一起的每一个日子。感谢 刘立明同学在给本论文排版过程中给与的指点,使得本论文及时完成。

最后,尤其感谢我的家人,你们无微不至的关怀和体贴是我不断向前的唯一 动力。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除 了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的 研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明 并表示了谢意。

作者签名:_____ 日期:_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留 送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内 容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此 规定。

作者签名:_____ 导师签名:____ 日期:____