全差分运算放大器设计

唐长文 (011021361)，菅洪彦(021021061)
zwtang@fudan.edu.cn,　hyjian@fudan.edu.cn
复旦大学专用集成电路与系统国家重点实验室

一、设计指标

在上华 0.6um CMOS 2P2M 工艺上设计一个全差分运算放大器，设计指标如下：

- 直流增益 : >80dB
- 单位增益带宽 : >50MHz
- 负载电容 : =5pF
- 相位裕量 : >60°
- 增益裕量 : >12dB
- 差分压摆率 : >200 $V/\mu s$
- 共模电平 : 2.5V (VDD=5V)
- 共模负反馈单位增益带宽 : >10MHz
- 等效输入噪声 : 20 $nV/\sqrt{Hz}$
- 输入失调电压 : <10mV
- 差分输出摆幅 : >±4V

二、运放结构选择

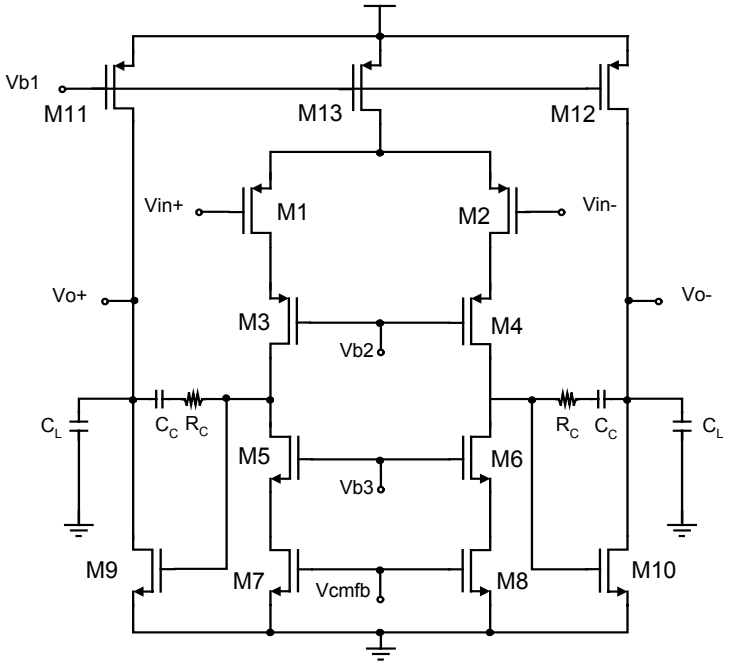


图 1 共源共栅两级运算放大器

运算放大器的的结构主要有三种: (a)简单两级运放，two-stage；(b)折叠共源共栅，folded-cascode; (c)共源共栅，telescopic。该运算放大器的设计指标要求差分输出摆幅为±4V，即输出端的所有 NMOS 管的$V_{DSAT,N}$之和小于 0.5V，输出端的所有 PMOS 管的$V_{DSAT,P}$之和也必须小于 0.5V。对于单级的折叠共源共栅和直接共源共栅两种结构，都比较难达到该要求，因此我们采用两级运算放大器结构。另外，简单的两级运放的直流增益比较小，因此我们采用共源共栅的输入级结构。考虑到折叠共源共栅输入级结构的功耗比较大，故我们选择直接共源共栅的输入级，共源的输出级的结构，如图 1 所示。两级运算放大器设计必须保证运放的稳定性，这里 Miller 补偿或者 Cascode 补偿技术用来进行零极点补偿。

三、性能指标分析

1. 差分直流增益 Adm>80dB

该运算放大器存在两级：（1）、Cascode 级增大直流增益（M1－M8）；（2）、共源放大器(M9-M12)

第一级增益　$A_1 = -G_{m1}R_{o1} = -g_{m1}\left(g_{m3}r_{o1}r_{o3} // g_{m5}r_{o5}r_{o7}\right) = -\dfrac{g_{m1}g_{m3}g_{m5}}{g_{m5}g_{o1}g_{o3} + g_{m3}g_{o5}g_{o7}}$，

第二级增益　$A_2 = -G_{m2}R_{o2} = -g_{m9}\left(r_{o9} // r_{o11}\right) = -\dfrac{g_{m9}}{g_{o9} + g_{o11}}$，

整个运算放大器的增益：

$$A_{overall} = A_1 \cdot A_2 = \frac{g_{m1}g_{m3}g_{m5}}{g_{m5}g_{o1}g_{o3} + g_{m3}g_{o5}g_{o7}} \frac{g_{m9}}{g_{o9} + g_{o11}} \geq 10^4 (80dB)$$

2. 差分压摆率 ≥200 V/us

转换速率（Slew Rate）是大信号输入时，电流输出的最大驱动能力。

定义转换速率 SR:

- 输入级: $SR \equiv \dfrac{dv_{out}}{dt}\Big|_{\max} = \dfrac{I_{C_C}|_{\max}}{C_C} = \dfrac{2I_{DS1}}{C_C}$

单位增益带宽$\omega_u = g_{m1}/C_C$，可以得到$C_C = g_{m1}/\omega_u$

$$\therefore \quad SR = \frac{2I_{DS1}}{C_C} = \frac{2I_{DS1}\omega_u}{g_{m1}} = \frac{2I_{DS1}\omega_u}{\dfrac{2I_{DS1}}{V_{eff1}}} = V_{eff1}\omega_u$$

其中$V_{eff1} = |V_{GS}| - |V_{th}| = \sqrt{\dfrac{2I_{DS1}}{\mu_p C_{ox}(\dfrac{W}{L})_1}}$

因此，提高两级运算放大器转换速率的一种方法是尽可能增大管子 M1 的有效电压 V_{eff1}。

- 输出级: $SR \equiv \dfrac{dv_{out}}{dt}\Big|_{\max} = \dfrac{I_{C_C}|_{\max}}{C_C} = \dfrac{2I_{DS9}}{C_C + C_L}$

该个运算放大器的转换率$SR = \min\{\dfrac{I_{DS13}}{C_C}, \dfrac{2I_{DS9}}{C_C + C_L}\}$

3. 静态功耗: 该运放没有功耗指标，这里我们以 15mW 为例简单分析一下。

运放的静态功耗：

$$P_{static} = (V_{dd} - V_{ss})(I_{DS9} + I_{DS10} + I_{DS13})$$

静态功耗确定了整个电路的静态电流最大值为：

$$I_{DC} = \frac{P_{Static}}{V_{dd} - V_{ss}} = \frac{15mw}{5.0V - 0V} \approx 3mA \qquad (2)$$

我们将该电流分配到电路的不同的地方去。例如，100μA 给偏置电路，2900μA 给两级放大电路。这里完全是根据设计人员的经验来确定，有可能电流的分配并不能使整个电路达到全局最优。

4. 等效输入噪声 $\le 20\ \mathrm{nV}/\sqrt{HZ}$ (thermal noise)

我们知道每一个晶体管都存在噪声电流源，其功率谱密度为

$$S_{i_{DS}}^2 = 4KT(\frac{2}{3}g_m) + \frac{K_f g_m^2}{fWLC_{ox}}$$

热噪声　　1/f 噪声

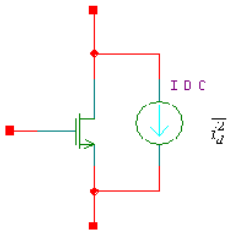


图 2、NMOS 管噪声电流源

我们忽略第二级的等效输入噪声，因为第二级的输入噪声要除以第一级的增益。输入等效噪声为

$$v_{n,in}^2 = 2\left[v_{n1}^2 + \left(\frac{g_{m7}}{g_{m1}}\right)^2 v_{n7}^2\right]$$

5. 相位裕量 ≥ 60 度，单位增益带宽 ≥ 50 MHz

假设运放只有两个极点。（实际上，会有两个以上的极点，同时还会在右半平面或者左半平面的零点）。

由于密勒补偿电容 C_c 的存在，p_1 和 p_2 将会分开的很远。假定 $|\omega_{p_1}| << |\omega_{p_2}|$，这样在单位增益带宽频率 ω_u 处第一极点引入 $-90°$ 相移，整个相位裕量是 $60°$。所以第二极点在单位增益带宽频率处的相移是 $-30°$。

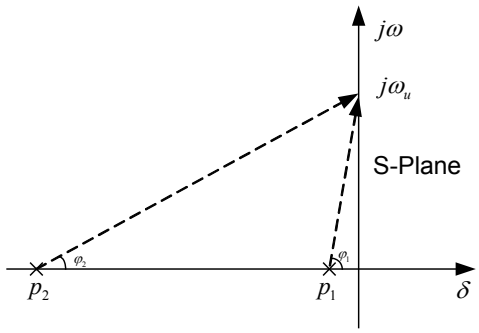


图 3、S 平面中的两个极点

$$PM \ge 60°,\quad \varphi_1 \approx 90°,$$

$$\varphi_2 = 180° - PM - \varphi_1 \le 30°$$

$$\frac{\omega_u}{\omega_{p_2}} \le \tan 30° = 0.577 \Rightarrow \frac{\omega_{p_2}}{\omega_u} \ge 1.73, 取 \frac{\omega_{p_2}}{\omega_u} = 2$$

另外，主极点 $\omega_{p_1} \cong \dfrac{\dfrac{g_{o1}g_{o3}}{g_{m3}}+\dfrac{g_{o5}g_{o7}}{g_{m5}}}{(1+\dfrac{g_{m9}}{g_{o9}+g_{o11}})C_C} \cong \dfrac{\left(g_{m5}g_{o1}g_{o3}+g_{m3}g_{o5}g_{o7}\right)\left(g_{o9}+g_{o11}\right)}{g_{m3}g_{m5}g_{m9}C_C}$，

开环增益 $A_o = \dfrac{g_{m1}g_{m3}g_{m5}}{g_{m5}g_{o1}g_{o3}+g_{m3}g_{o5}g_{o7}}\dfrac{g_{m9}}{g_{o9}+g_{o11}}$

$$\omega_u = A_o \cdot \omega_{p_1} = \frac{g_{m1}}{C_C}$$

为得到高的单位增益带宽，应该使非主极点 p_2 最大化。

Telescopic 两级运放中存在至少三个极点：

（1） Cascode 点处（M1 的漏极、M3 的源极）的极点：

$$\omega_{p,cascode} = \frac{g_{m3}}{C_{gs3}+C_{gd1}+C_{db1}+C_{sb3}}$$

（2） 补偿电容引入的主极点：

$$\omega_{p_1} = \frac{G_{o1}}{(A_2+1)C_C} = \frac{\left(g_{m5}g_{o1}g_{o3}+g_{m3}g_{o5}g_{o7}\right)\left(g_{o9}+g_{o11}\right)}{g_{m3}g_{m5}g_{m9}C_C},$$

因为 A_2C_C 是一个非常大的电容值，因此由于密勒效应该极点是一个主极点。

（3） 输出极点：

该极点主要是由输出电容 C_L 引起的。

$$\omega_{p_{out}} = \frac{G_{o2}}{C_L+C_{eq}} = \frac{g_{m9}\dfrac{C_C}{C_C+C_p}}{C_L+\dfrac{C_CC_p}{C_C+C_p}},$$

$$= \frac{g_{m9}C_C}{C_LC_C+C_LC_p+C_CC_p}$$

M9 栅极电容 $C_p = C_{gs11}+C_{db3}+C_{db5}$

$\because C_p << C_L \quad \therefore \omega_{p_{out}} \cong \dfrac{g_{m9}C_C}{C_LC_C+C_LC_p}$，而且 $\because C_C >> C_p \quad \therefore \omega_{p_{out}} = \dfrac{g_{m9}}{C_L}$

这三个极点从小到大的顺序以此为:

第一极点：$\omega_{p_1} = \dfrac{\left(g_{m5}g_{o1}g_{o3} + g_{m3}g_{o5}g_{o7}\right)\left(g_{o9} + g_{o11}\right)}{g_{m3}g_{m5}g_{m9}C_C}$，

第二极点：$\omega_{p_2} = \dfrac{g_{m9}}{C_L}$，第三极点：$\omega_{p_3} = \dfrac{g_{m3}}{C_{gs3} + C_{gd1} + C_{db1} + C_{sb3}}$

6. 共模负反馈: CMFB

为了稳定全差分运放输出共模电压，必须设计共模负反馈电路。在设计输出平衡的全差分运算放大器的时候，必须考虑到以下几点[1]:

- 共模负反馈的开环直流增益要求足够大，最好能够与差分开环直流增益相当；
- 共模负反馈的单位增益带宽也要求足够大，最好接近差分单位增益带宽；
- 为了确保共模负反馈的稳定，一般情况下要求进行共模回路补偿；
- 共模信号检测器要求具有很好的线性特性；
- 共模负反馈与差模信号无关，即使差模信号通路是关断的。

图 4 是一种共模负反馈实现结构[1]，该结构共用了共模放大器和差模放大器的输入级中电流镜及输出负载。这样，一方面降低了功耗；另一方面保证共模放大器与差模放大器在交流特性上保持完全一致。因为共模放大器的输出级与差模放大器的输出级可以完全共用，电容补偿电路也完全一样。只要差模放大器频率特性是稳定的，则共模负反馈也是稳定的。这种共模负反馈电路使得全差分运算放大器可以像单端输出的运算放大器[7]一样设计，而不用考虑共模负反馈电路对全差分运算放大器的影响。

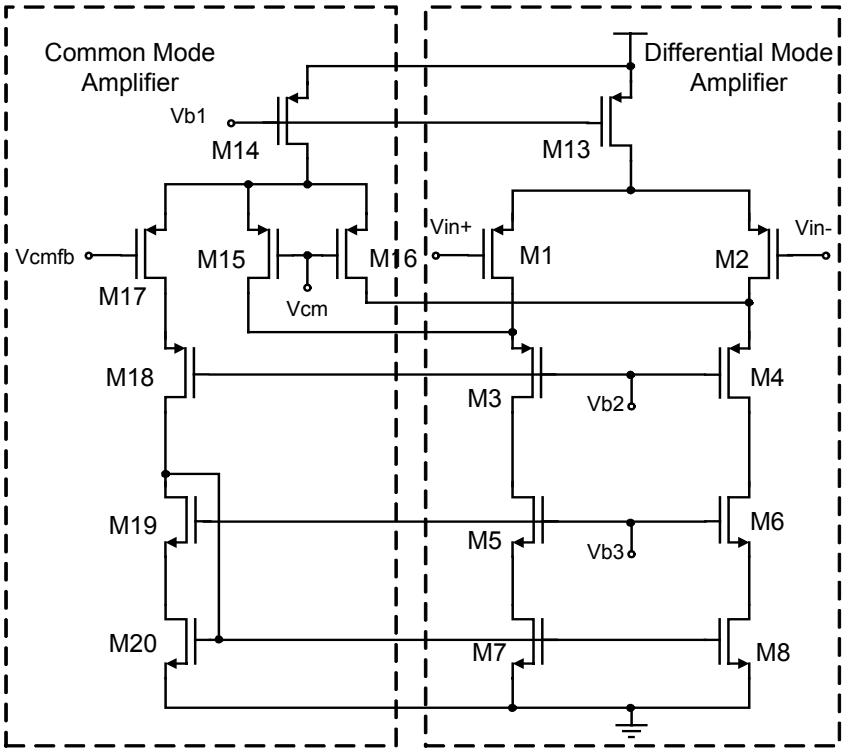


图 4 共模、差模输入放大器

7. 电压偏置电路：宽摆幅电流源

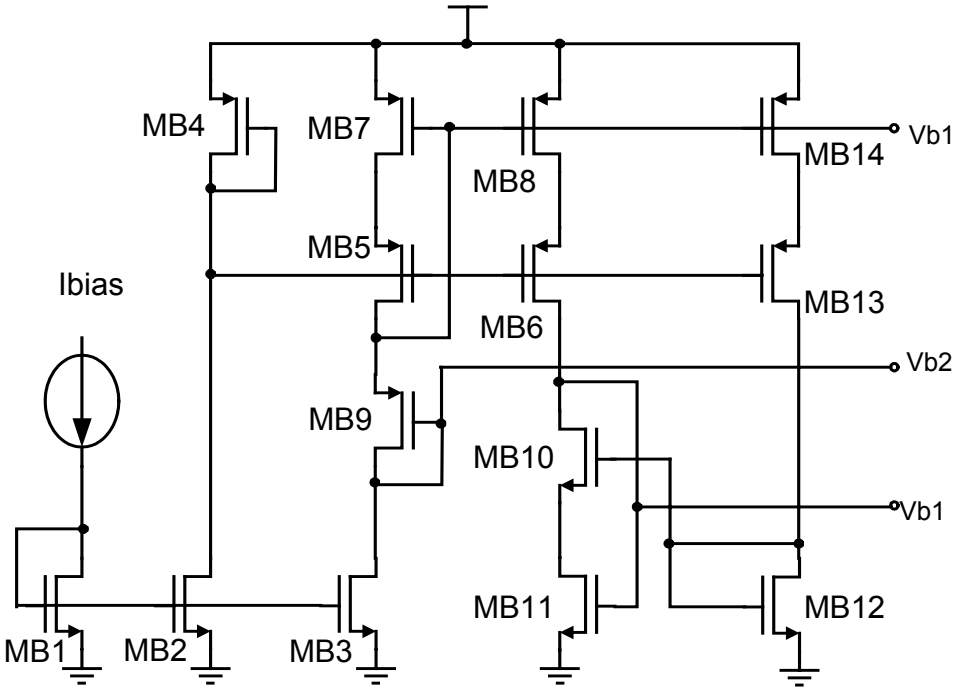


图 5 宽摆幅电流源

在共源共栅输入级中需要三个电压偏置，为了使得输入级的动态范围大一些，图 5 中的宽摆幅电流源来产生所需的三个偏置电压。根据宽摆幅电流源的设计要求，必须满足

$$\left(\frac{W}{L}\right)_{B1}=\left(\frac{W}{L}\right)_{B2}=\left(\frac{W}{L}\right)_{B3}$$

$$\left(\frac{W}{L}\right)_{B5}=\left(\frac{W}{L}\right)_{B6}=\left(\frac{W}{L}\right)_{B13}=\left(\frac{W}{L}\right)_{B7}=\left(\frac{W}{L}\right)_{B8}=\left(\frac{W}{L}\right)_{B14}=4\left(\frac{W}{L}\right)_{B4}$$

$$\left(\frac{W}{L}\right)_{B10}=\left(\frac{W}{L}\right)_{B11}=4\left(\frac{W}{L}\right)_{B12}$$

8. Miller 补偿电阻

电阻 R_C 可以单独用来控制零点的位置，主要有以下几种方法。

I、 将零点搬移到无穷远处，消除零点，R_C 必须等于 $1/g_{m9}$。

II、 把零点从右半平面移动左半平面，并且落在第二极点 ω_{p2} 上。这样，输出负载电容引起的极点就去除掉了。这样做必须满足条件：

$$\omega_{z1}=\omega_{p2} \quad \rightarrow \quad \frac{1}{C_C(\frac{1}{g_{m11}}-R_C)}=\frac{-g_{m9}}{C_L}$$

得到电阻值为　$R_C = \frac{1}{g_{m6}}(1+\frac{C_L}{C_C})$

III、 把零点从右半平面移动左半平面，并且使其略微大于单位增益带宽频率 ω_u 。比如，超过 20%。

$$\omega_z > 1.2\omega_u$$

$\because\ R_C >> \frac{1}{g_{m9}}$　$\rightarrow$　$\omega_z \approx \frac{-1}{R_C C_C}$，并且 $\omega_u \approx \frac{-g_{m1}}{C_C}$

得到电阻值为　$R_C \approx \frac{1}{1.2 g_{m1}}$

四、手工计算

首先，我们必须从 CSMC 0.6um 工艺库文件中得到工艺参数:

$\mu_n C_{ox} = 119\mu A/V^2$，$\mu_p C_{ox} = 55.2\mu A/V^2$，$V_{TH,N} = 0.73V$，$V_{TH,P} = -1.0V$

1. 确定 Miller 补偿电容

为了保证相位裕量有 60°,我们要求第二极点 ω_{p_2} 和零点 ω_z 满足以下两个条件：

$$\omega_z \ge 10\omega_u，\ \omega_{p_2} \ge 2\omega_u \rightarrow \frac{g_{m9}}{C_c} \ge 10\frac{g_{m1}}{C_c}, \frac{g_{m9}}{C_L} \ge 2\frac{g_{m1}}{C_c}$$

则，$C_C \ge 0.2C_L = 0.2\times 5pF = 1pF$ 。这里，我们取 $C_C = 2pF$ 。

2. 确定两级放大器中的工作电流

共模负反馈的输入端电流与差模输入端相同，因此输入级的工作电流

$$I_{DS1} = \frac{2}{3}\left(\frac{1}{2}SR\cdot C_C\right) = \frac{2}{3}\left(100V/us\cdot 2pf\right) = 133.3uA，$$

由于有一些寄生电容，预留一些余量，我们取 $I_{DS1} = 200\mu A$，则 $I_{DS,14} = I_{DS,13} = 400\mu A$ 。

输出级工作电流为，

$$I_{DS11} = \frac{SR}{2}\cdot\left(C_C + C_L + C_{CMFB}\right) = 100V/us\cdot 8pf = 800uA,$$

同样，由于有一些寄生电容，预留一些余量取 $I_{DS11} = 900\mu A$ 。

3. 计算放大管的跨导 g_m

根据全差分 Slew Rate 要求，$SR = 1.5\times\frac{2I_{DS1}}{C_C} = \frac{3I_{DS1}\omega_u}{g_{m1}} = \frac{3I_{DS1}\omega_u}{\frac{2I_{DS1}}{V_{eff1}}} = \frac{3}{2}V_{eff1}\omega_u$，

M1 管的有效电压，　$V_{eff1} = \frac{2}{3}\frac{SR}{\omega_u} = \frac{2\times 200V/\mu s}{3\times 6.28\times 50\times 10^6} = 0.425V$，

M1 管的跨导　$g_{m1} = \frac{2I_{DS1}}{V_{eff1}} = \frac{2\times 200uA}{0.425V} = 0.942m\Omega^{-1}$

$g_{m1}=\sqrt{2\mu_p C_{ox}(\frac{W}{L})_1 I_{DS1}} \rightarrow (\frac{W}{L})_2=(\frac{W}{L})_1=\frac{(0.942m\Omega^{-1})^2}{2\times 55.2\times 10^{-6}\times 200\times 10^{-6}}=40.2$，取 $(\frac{W}{L})_2=(\frac{W}{L})_1=\frac{80\mu m}{2\mu m}$。

根据第二极点是单位增益带宽的两倍，$p_2=2\omega_u \rightarrow \frac{g_{m9}}{C_L}=2\times\frac{g_{m1}}{C_C}$

M9 管的跨导 $g_{m9}=2\times\frac{g_{m1}}{C_C}\times C_L=2\times\frac{0.942\times 10^{-3}}{2pf}\times 5pf=4.71m\Omega^{-1}$

$g_{m9}=\sqrt{2\mu_n C_{ox}(\frac{W}{L})_9 I_{DS9}} \rightarrow (\frac{W}{L})_9=\frac{\left(4.71m\Omega^{-1}\right)^2}{2\times 119\times 10^{-6}\times 900\times 10^{-6}}=103.6$，

取 $(\frac{W}{L})_9=\frac{100\mu m}{1\mu m}$，M9 管的有效电压 $V_{eff9}=\frac{2I_{DS9}}{g_{m9}}=\frac{2\times 900uA}{7.065m\Omega^{-1}}=0.254V$

4. 电流源偏置管和 Cascode 管的尺寸

假定电流源偏置管 M13、M11、M12、M7 和 M8，和 Cascode 管 M3-M6 的有效电压 V_{eff}=0.3V，这样可以计算出所有管子的尺寸参数。

假定 $V_{eff13}=0.3V$，则 $(\frac{W}{L})_{13}=\frac{2I_{DS13}}{\mu_p C_{ox}V_{eff13}^2}=\frac{2\times 400\times 10^{-6}}{55.2\times 10^{-6}\times 0.3^2}=161.0$，$(\frac{W}{L})_{13}=\frac{160\mu m}{1\mu m}$

$\frac{(\frac{W}{L})_{11}}{(\frac{W}{L})_{13}}=\frac{I_{DS11}}{I_{DS13}}=\frac{9}{4}\rightarrow(\frac{W}{L})_{11}=(\frac{W}{L})_{12}=\frac{9}{4}(\frac{W}{L})_{13}=362.3$，$(\frac{W}{L})_{11}=(\frac{W}{L})_{12}=\frac{360\mu m}{1\mu m}$

M11-M12 管子的有效电压，$V_{eff11}=V_{eff12}=0.3V$

假定 $V_{eff,7}=0.3V$，则 $(\frac{W}{L})_7=\frac{2I_{DS7}}{\mu_n C_{ox}V_{eff,7}^2}=\frac{2\times 300\times 10^{-6}}{119\times 10^{-6}\times 0.3^2}=56.0$，$(\frac{W}{L})_7=(\frac{W}{L})_8=\frac{60\mu m}{1\mu m}$

假定 $V_{eff,5}=0.3V$，则 $(\frac{W}{L})_5=\frac{2I_{DS5}}{\mu_n C_{ox}V_{eff,5}^2}=\frac{2\times 300\times 10^{-6}}{119\times 10^{-6}\times 0.3^2}=56.0$，$(\frac{W}{L})_5=(\frac{W}{L})_6=\frac{60\mu m}{1\mu m}$

假定 $V_{eff,3}=0.3V$，则 $(\frac{W}{L})_3=\frac{2I_{DS3}}{\mu_n C_{ox}V_{eff,3}^2}=\frac{2\times 300\times 10^{-6}}{55.2\times 10^{-6}\times 0.3^2}=120.1$，$(\frac{W}{L})_3=(\frac{W}{L})_4=\frac{120\mu m}{1\mu m}$

Cascode 管 M3 的跨导为，$g_{m3}=\frac{2I_{DS3}}{V_{eff3}}=\frac{2\times 300\times 10^{-6}}{0.3}=2m\Omega^{-1}$

5. Miller 补偿电阻 R_C 的确定

我们将零点从右半平面移动左半平面，并且使其为单位增益带宽频率 ω_u 的 1.2 倍，

则，　$R_C\approx\frac{1}{1.2g_{m1}}=885\Omega$。

6. 偏置电路的管子尺寸

根据所有 MOS 的有效电压，我们可以计算出偏置电压 Vb1-Vb4 的值。

$$V_{b1} = V_{dd} - (V_{TH,P} + V_{DS,13}) = 5 - (1.0V + 0.3V) = 3.7V$$

$$V_{b2} = V_{IN,COM} + V_{SG,1} - V_{SD,1} - V_{SG,3} = V_{IN,COM} + (V_{TH,P} + V_{eff,1}) - V_{SD,1} - (V_{TH,P} + V_{eff,3})$$

$= 2.5V + (1.0V + 0.318V) - 0.3V - (1.0V + 0.3V) = 2.218V$，由于衬偏效应，取 $V_{b2} = 2.1V$

$$V_{b3} = V_{TH,N} + V_{DS,7} + V_{DS,5} = 0.73V + 2 \times 0.3V = 1.33V$$

$$V_{b4} = V_{TH,N} + V_{DS,7} = 0.73V + 0.3V = 1.03V$$

偏置电流 Ibias=25uA，计算可以得到 MB1-MB12 管的尺寸为，

$\left(\frac{W}{L}\right)_{B1} = \left(\frac{W}{L}\right)_{B2} = \left(\frac{W}{L}\right)_{B3} = \frac{10\mu m}{2\mu m}$，$\left(\frac{W}{L}\right)_{B5-B9} = \frac{10\mu m}{1\mu m}$，$\left(\frac{W}{L}\right)_{B4} = \frac{2.5\mu m}{1\mu m}$，$\left(\frac{W}{L}\right)_{B10-12} = \frac{5\mu m}{1\mu m}$

7. 共模负反馈的管子尺寸

共模负反馈放大器输入级与差模放大器输入级相匹配，直流工作电流相同。为了提高增益也采用 Cascode 结构，因此管子尺寸为，

$\left(\frac{W}{L}\right)_{14} = \left(\frac{W}{L}\right)_{13} = \frac{160\mu m}{1\mu m}$，$\left(\frac{W}{L}\right)_{15} = \left(\frac{W}{L}\right)_{16} == \frac{1}{2}\left(\frac{W}{L}\right)_{1} = \frac{40\mu m}{2\mu m}$，$\left(\frac{W}{L}\right)_{17} == \left(\frac{W}{L}\right)_{1} = \frac{100\mu m}{2\mu m}$

$\left(\frac{W}{L}\right)_{18} == \frac{2}{3}\left(\frac{W}{L}\right)_{3} = \frac{80\mu m}{1\mu m}$，$\left(\frac{W}{L}\right)_{19} = \left(\frac{W}{L}\right)_{20} = \frac{2}{3}\left(\frac{W}{L}\right)_{5} = \frac{40\mu m}{1\mu m}$。

8. 开环增益的确定

假设 NMOS 管与 PMOS 管的 λ 相等，$\lambda_n = \lambda_p = \lambda$

$$A_o = \frac{g_{m1}g_{m3}g_{m5}}{g_{m5}g_{o1}g_{o3} + g_{m3}g_{o5}g_{o7}} \frac{g_{m11}}{g_{o9} + g_{o11}}$$

$$= \frac{g_{m1}g_{m3}g_{m5}}{4g_{m5}\left(\lambda I_{DS13}\right)^2 + 4g_{m3}\left(\lambda I_{DS13}\right)^2} \frac{g_{m9}}{\lambda I_{DS11} + \lambda I_{DS11}} = \frac{g_{m1}g_{m3}g_{m11}}{16} I_{DS13}^{-2} I_{DS11}^{-1} \lambda^{-3} \geq 10^4$$

得到 $\lambda \leq 0.088$。

假设 CSMC 0.6 μ m 工艺中的 $\lambda_n = 0.1V^{-1}, \lambda_p = 0.2V^{-1}$，则 L 取 1 μm 基本能够满足直流增益指标。

五、SPICE 仿真

1.　DC 工作点与 AC 特性

首先我们在输入端为 2.5V 共模电压的情况下，进行直流工作点的分析，对某些 MOS 管进行修改和调整。手工计算和 SPICE 仿真的管子尺寸如表格 1 所示。

表格一、管子尺寸、工作电流与有效电压

MOS 管	W/L（计算值）	I_{DS}	V_{eff}	W/L（仿真）	I_{DS}	V_{eff}
M1 M2 M17	80 μm /2 μm	200 μA	0.425V	100 μm /2 μm	227 μA	0.621V
M3 M4	120 μm /1 μm	300 μA	0.3V	120 μm /1 μm	341 μA	0.369V
M5 M6	60 μm /1 μm	300 μA	0.3V	60 μm /1 μm	341 μA	0.282V
M7 M8	60 μm /1 μm	300 μA	0.3V	60 μm /1 μm	341 μA	0.298V
M9 M10	100 μm /1 μm	900 μA	0.254V	100 μm /1 μm	1000 μA	0.340V
M11 M12	360 μm /1 μm	900 μA	0.3V	300 μm /1 μm	1000 μA	0.396V
M13 M14	160 μm /1 μm	400 μA	0.3V	160 μm /1 μm	454 μA	0.385V
M15 M16	40 μm /2 μm	100 μA	0.425V	40 μm /2 μm	114 μA	0.528V
M18	80 μm /1 μm	200 μA	0.3V	80 μm /1 μm	227 μA	0.368V
M19	40 μm /1 μm	200 μA	0.3V	40 μm /1 μm	227 μA	0.283V
M20	40 μm /1 μm	200 μA	0.3V	40 μm /1 μm	227 μA	0.297V
MB1 MB2 MB3	10 μm /2 μm	25 μA	0.290V	10 μm /2 μm	25 μA	0.277V
MB4	2.5 μm /1 μm	25 μA	0.602V	2.5 μm /1 μm	26.4 μA	0.854V
MB5 MB6 MB13	10 μm /1 μm	25 μA	0.30V	10 μm /1 μm	26 μA	0.361V
MB7 MB8 MB14	10 μm /1 μm	25 μA	0.30V	10 μm /1 μm	26 μA	0.382V
MB9	10 μm /1 μm	25 μA	0.30V	10 μm /1 μm	26 μA	0.356V
MB10	5 μm /1 μm	25 μA	0.290V	5 μm /1 μm	26 μA	0.274V
MB11	5 μm /1 μm	25 μA	0.290V	5 μm /1 μm	26 μA	0.327V
MB12	1.25 μm /1 μm	25 μA	0.580V	1 μm /1 μm	26 μA	0.797V

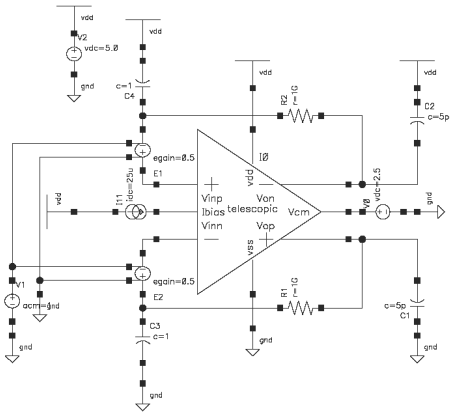


图 6　AC 频响测试图

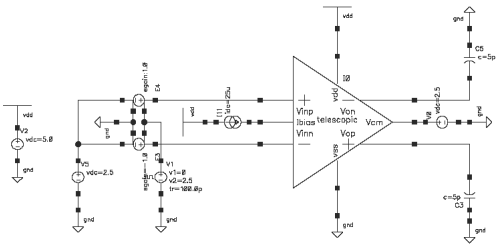
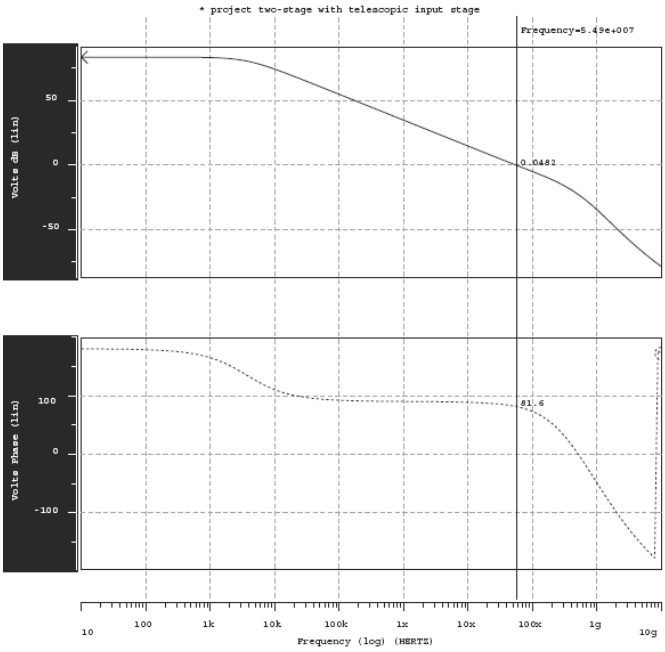


图 7　压摆率测试电路图



- 直流增益:　83.4dB
- 单位增益带: 55.3MHz
- 相位裕度:　81.6°
- 增益裕量:　22.8dB

图 8 AC 特性 PLOT 图

2. 阶跃响应特性

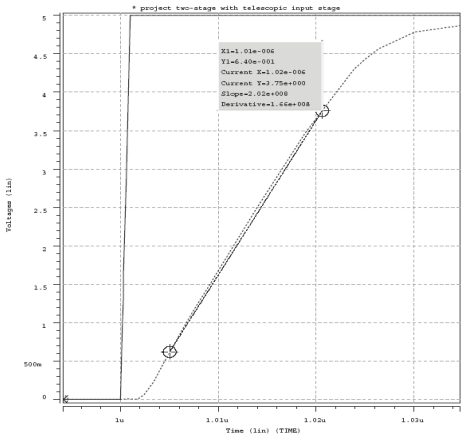


图 9 压摆率

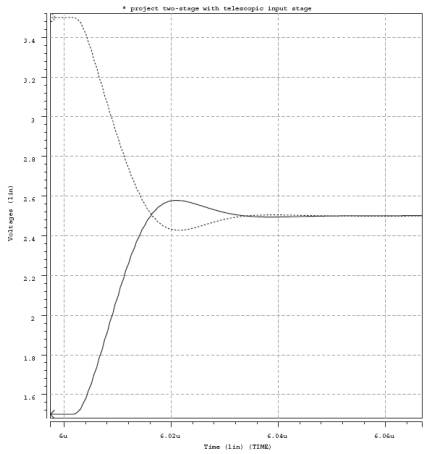


图 10 建立时间

- 开环压摆率:　202 $V/\mu s$
- 闭环建立时间:　50ns

3. 共模负反馈

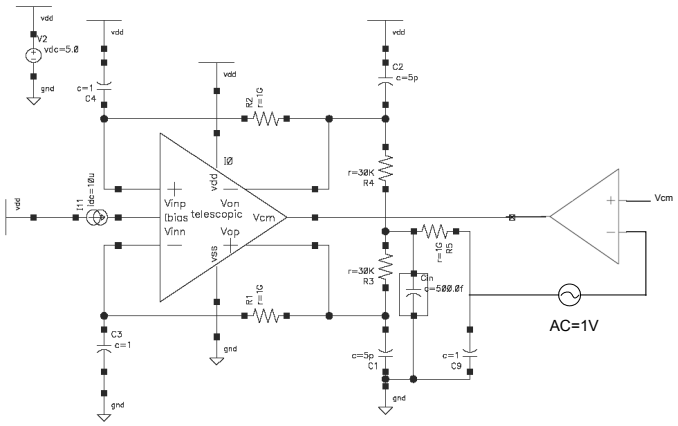


图 11 共模负反馈

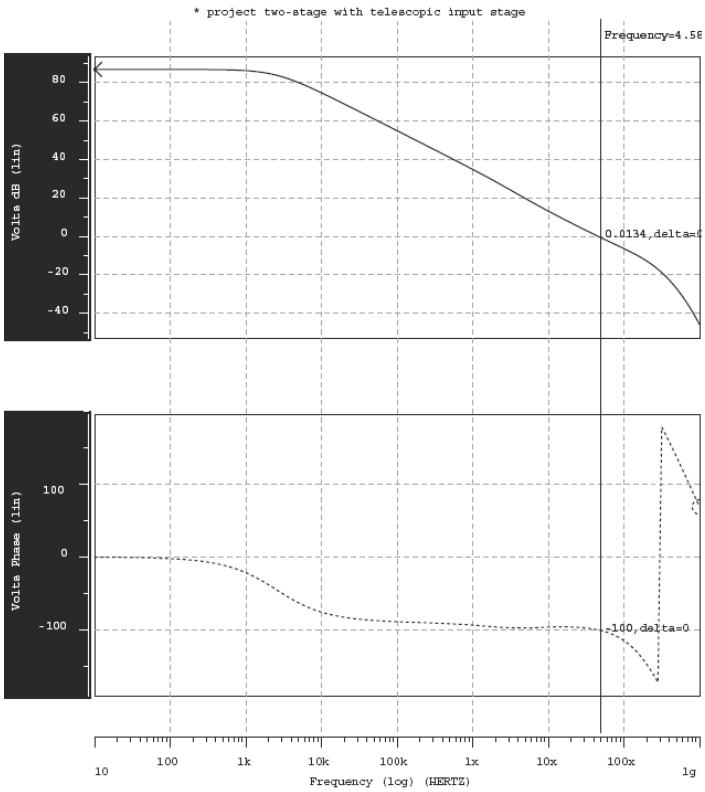


图 12 共模负反馈 AC 特性

- 直流增益:　　86.9dB
- 单位增益带宽:　45.8MHz
- 相位裕度:　　80°

4.　输出动态范围

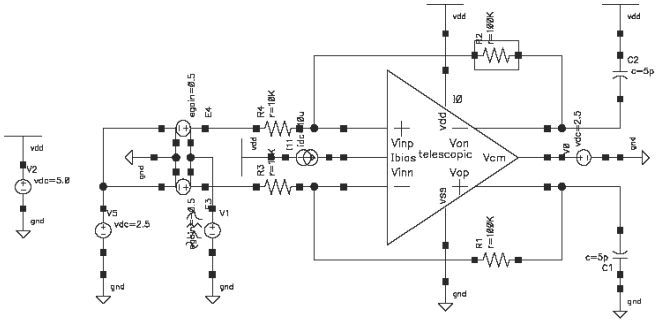


图 13 闭环连接 (增益为-10)

将全差分运放连接成增益为-10 的形式，在输入端施加峰峰值为 0.4V 的差分信号。然后对输入信号进行 FFT 分析，得到谐波失真总量 THD。通过扫描输入信号幅度，我们可以得到最大失真为 0.1%时的输出动态幅度。

- 输出动态范围:　　±4.6V(THD=0.1%)

5.　共模抑制比

共模抑制比的测试需要两个运放电路，一个连接成差模放大；另外一个连接成共模放大。

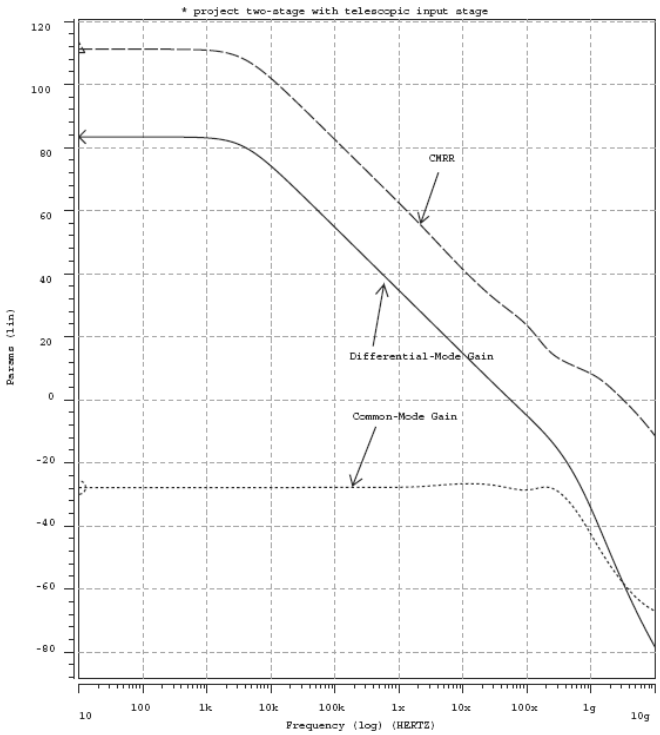


图 14 共模抑制比，CMRR

6.　电源抑制比

电源抑制比的测试，与共模抑制比相类似，需要两个运放电路，一个连接成差模放大；另外一个在电源 vdd 或者地 vss 上加一交流小信号。

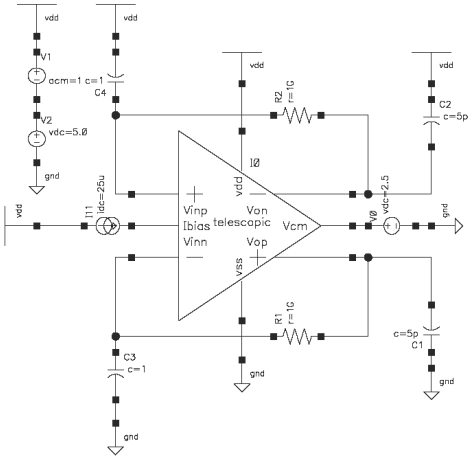


图 15 pPSRR

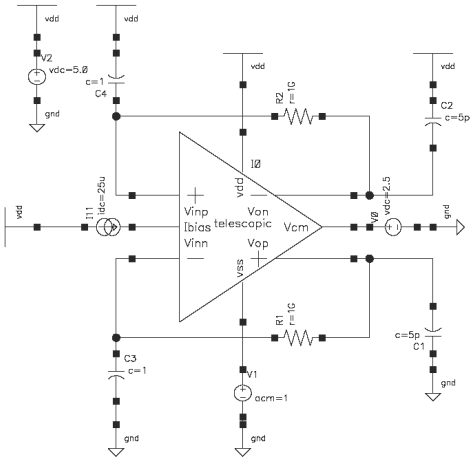


图 16 nPSRR

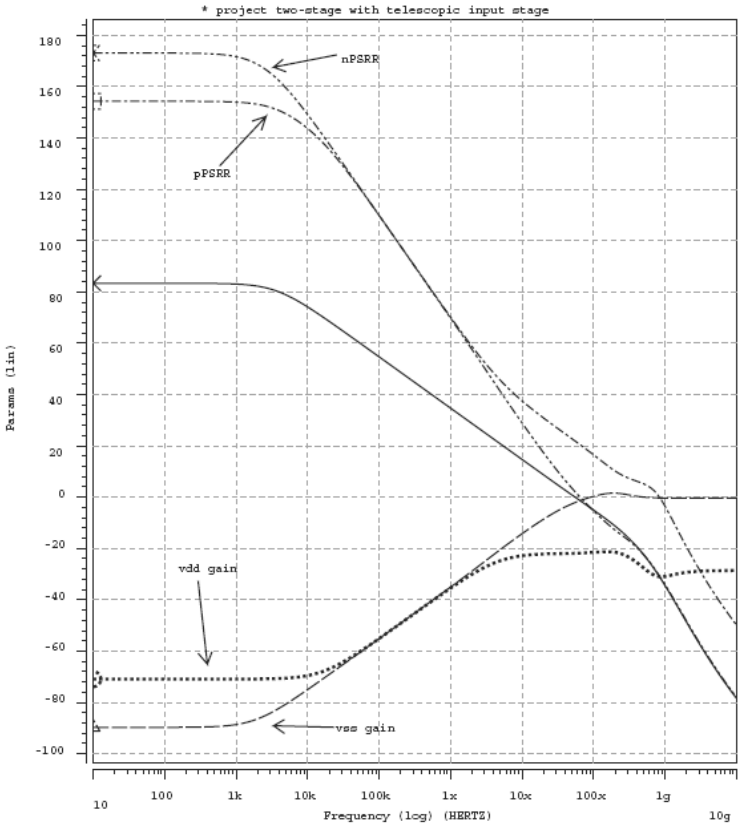


图 17　PSRR

7. 等效输入噪声特性

等效输入噪声的测试可以与 AC 特性测试一同进行。

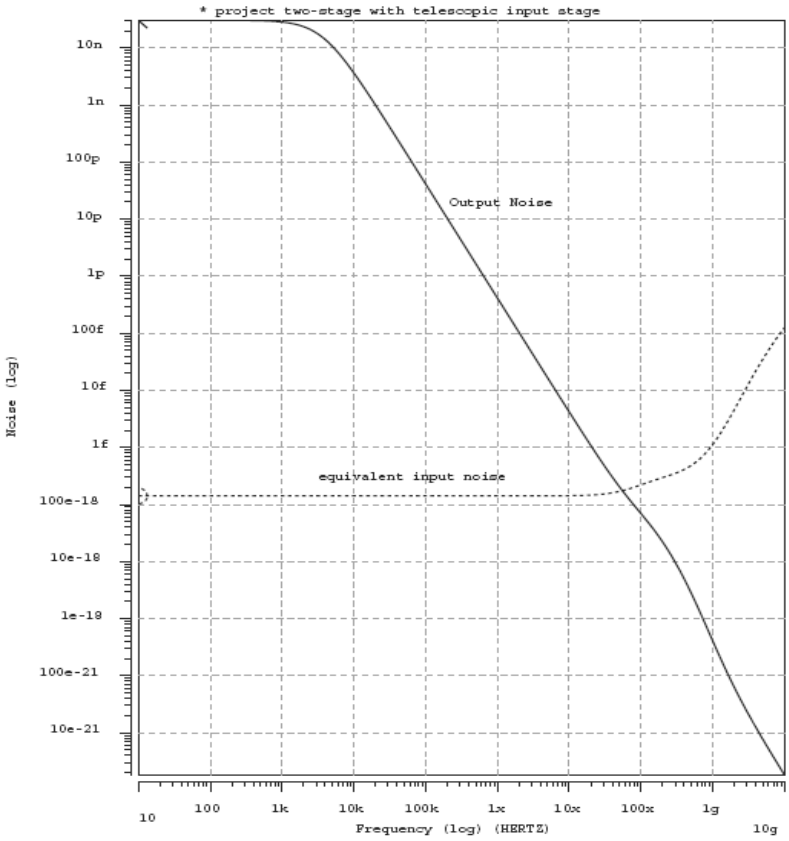


图 17 等效输入噪声

- 在单位增益带宽之内，等效输入噪声为 $11.9\,nV/\sqrt{Hz}$ 。

8. 输入失调电压

由于设计中充分考虑了管子尺寸的对称性，为了能够测试运放的管子失配(W/L 失配，阈值电压 V_{th} 偏差)造成的输入失调，我们需要采用蒙特卡罗分析。

$\sigma_{V_T}{}^2 = \dfrac{A_{V_T}{}^2}{WL}$，其中对n沟管 $A_{V_T} = 11.5mV \cdot \mu m$，对p沟管 $A_{V_T} = 19mV \cdot \mu m$

$\dfrac{\sigma_\beta{}^2}{\beta^2} = \left(\dfrac{A_\beta{}^2}{WL}\right)$，其中对 n 沟管 $A_\beta = 2.5\% \cdot \mu m$，对 p 沟管 $A_\beta = 2.3\% \cdot \mu m$

表格二、W/L 失配，阈值电压 V_{th} 偏差

MOS 管	类型	W/L	$\frac{\sigma_\beta}{\beta}$	σ_{V_T} (mv)
M1 M2 M17	PMOS	100 μm /2 μm	0.16%	1.34
M3 M4	PMOS	120 μm /1 μm	0.21%	1.73
M5 M6 M7 M8	NMOS	60 μm /1 μm	0.32%	1.49
M9 M10	NMOS	240 μm /1 μm	0.16%	0.74
M11 M12	PMOS	300 μm /1 μm	0.12%	1.10
M13 M14	PMOS	160 μm /1 μm	0.13%	1.50
M15 M16	PMOS	40 μm /2 μm	0.26%	2.12
M18	PMOS	80 μm /1 μm	0.26%	2.12
M19 M20	NMOS	40 μm /1 μm	0.40%	1.82
MB1 MB2 MB3	NMOS	10 μm /2 μm	0.56%	2.57
MB4	PMOS	2.5 μm /1 μm	1.45%	12.01
MB5 MB6 MB7 MB8 MB9 MB13 MB14	PMOS	10 μm /1 μm	0.73%	6.01
MB10 MB11	NMOS	5 μm /1 μm	1.12%	5.14
MB12	NMOS	1.25 μm /1 μm	2.24%	10.29

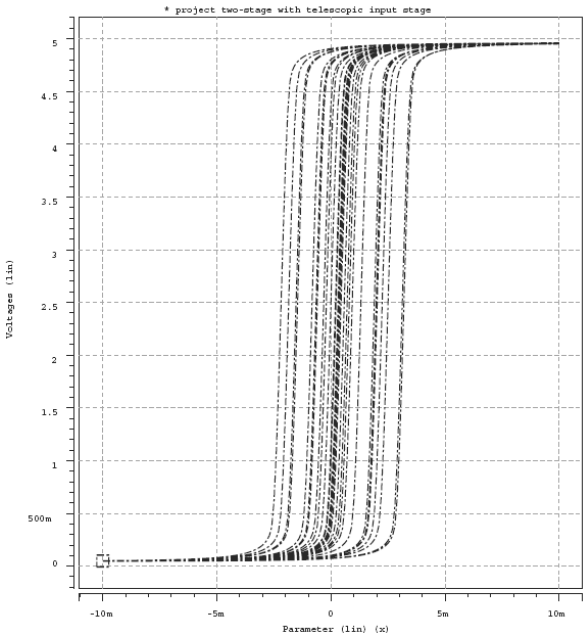


图 18 输入失调电压

- 输入失调电压:　　± 3.2mV

六、结论

本文对全差分运算放大器的各项性能指标进行了分析，并且使用一级模型进行手工计算，然后在 HSPICE 软件下进行仿真调试。在共模负反馈电路中，采用共模放大器输入级与差模放大器输入级共用的方法，降低了全差分运放设计难度，使得全差分运算放大器设计流程与单端输出运算放大器设计流程相同。整个运算放大器的性能达到了设计指标要求，各项性能指标罗列如下：

- 直流增益 : 83.4dB
- 单位增益带宽 : 55.3MHz
- 负载电容 : =5pF
- 相位裕量 : 81.6°
- 增益裕量 : 22dB
- 开环差分压摆率 : $202\,V/\mu s$
- 共模电平 : 2.5V (VDD=5V)
- 共模负反馈直流增益 : 86.9dB
- 共模负反馈单位增益带宽 : 45.8MHz
- 共模负反馈相位裕量 : 80°
- 等效输入噪声 : $11.9\,nV/\sqrt{Hz}$
- 输入失调电压 : <± 3.2mV
- 差分输出摆幅 : ± 4.6V(THD=0.1%)

七、展望

我们在设计一个确定结构的运算放大器电路的时候，许多设计约束条件和设计目标函数往往都是尺寸参数（管子尺寸，偏置电流）的一个多项式函数。我们调管子尺寸参数的设计过程，其实就是在满足所有设计约束的条件下，得到设计目标函数的一个解的过程。通常情况下，通过手工计算和 SPICE 仿真相结合得到的解是一个局部最优解。而一种采用数学最优化方法－几何规划（Geometric Programming）方法[5,6,7]来求解运算放大器的所有约束条件，将得到设计的全局最优解。

几何规划问题是满足下面表达式的一个数学最优化问题。

$$\text{Minimize} \quad f_0(x)$$

$$\text{subject to} \quad f_i(x) \le 1, \quad i = 1,\ldots,m,$$

$$a_i^T x = b_i, \quad i = 1,\ldots,p,$$

$$x_i > 0, \quad i = 1,\ldots,n,$$

其中 $f_{0,\ldots,}f_m$ 是凸函数。另外几何规划问题必须满足三个附加条件：

- 目标函数是一个凸函数
- 不等式约束函数都是凸函数

- 等式约束函数 $g_i = a_i^T x - b_i$ 是仿射的

几何规划问题理论已经在数学界得到了证明，而其应用在最近几年才得到了蓬勃发展。主要原因是近十年间，适用于通用凸优化问题求解方法－内点法的开发，使得凸函数求解变得非常有效。这些算法能够在几秒中之内求解一个具有上千个变量和几千个约束的凸优化问题。而且其最大的优点是所求得的解是一个全局最优解，并且与初始条件无关。另一方面，如果几何规划问题的约束条件给得太严格，算法能够报告出该问题不存在最优解。同时给出各个约束不等式的松紧程度。

借助几何规划方法来设计全局最优的运算放大器的关键在于如何将性能指标约束条件转换成换成上述式子的几何规划问题。另外，满足几何规划形式的 MOS 管模型的建模与参数提取也是一个非常复杂和艰难的工作。

不过可以相信，在不久的将来模拟电路自动综合问题终将会得到解决。

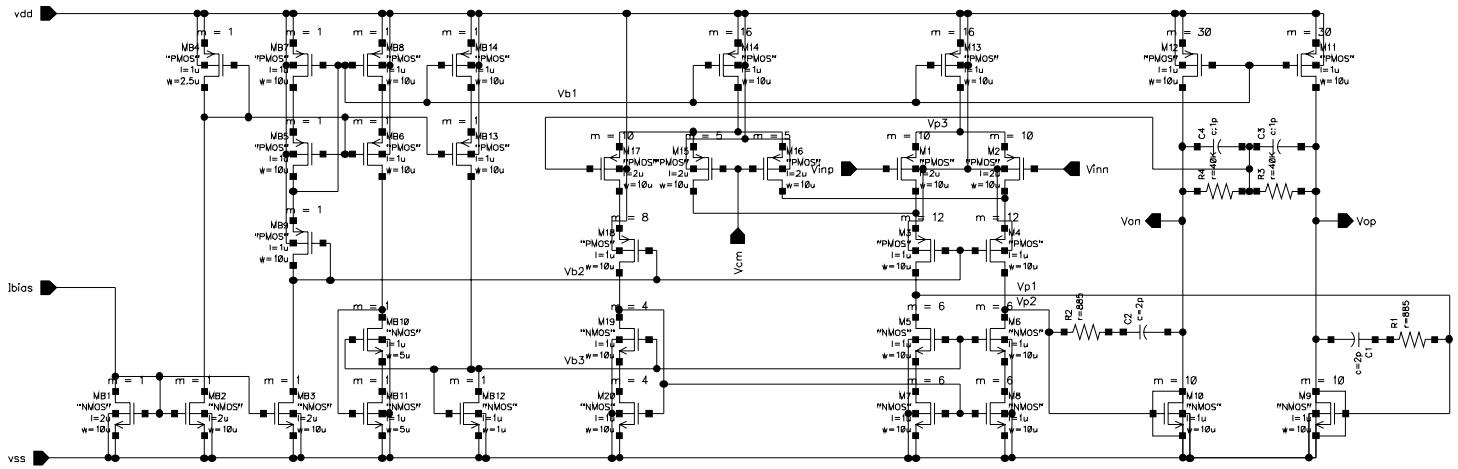
参考文献

1. M. Banu, J. M. Khoury, and Y. Tsividis, “Fully differential operational amplifiers with accurate output balancing”, IEEE Journal of Solid-State Circuits, Vol. 23, pp. 1410-1414, Dec. 1988.
2. Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw-Hill, International Edition 2001.
3. P.E. 艾伦，D.R.霍尔伯格 著，王正华，叶小琳 译，CMOS 模拟电路设计
4. Prabir C. Maulik, L. Richard Carley, David J. Allstot, “Sizing of Cell-Level Analog Circuits Using Constrained Optimization Techniques”, IEEE Journal of Solid-State Circuits, Vol. 28, pp. 233-241, March 1993.
5. Maria del Mar Hershenson, Stephen P. Boyd, Thomas H. Lee, “Optimal Design of a CMOS Op-amp via Geometric Programming”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 20, pp. 1-21, Jan. 2001.
6. Pradip Mandal, V. Visvanathan, “CMOS Op-Amp Sizing Using a Geometric Programming Formulation”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 20, pp. 22-38, Jan. 2001.
7. 唐长文，博士生学位专业课程—VLSI 设计方法，“CMOS 运算放大器设计优化方法研究”，2002 年 12 月。

CAGE NO.	DWG NO.	SH 1	REV

REVISIONS

ZONE	REV	DESCRIPTION	DATE	APPROVED



UPDATED	Fudan University
Dec 29 14:17:49 2003	Telescopic OPAMP
DRAWN	
CHECKED	
CHECKED	SIZE B / CAGE NO. / DWG NO. / REV
ISSUED	SCALE / SHEET 1 OF 1