

# 全扫描结构可测性设计方法的研究

祝永明, 唐长文, 闵 昊

(复旦大学 专用集成电路与系统国家重点实验室, 上海 200433)

**摘 要:** 探讨了在 Synopsys 软件中用全扫描结构实现数字电路可测性设计中遇到的问题及解决方法, 如扫描结构的基本结构、测试的时序等问题。扫描结构对电路本身的结构有严格的要求, 重点讨论了扫描结构对电路结构的限制及对违反限制的电路进行修改的方法。

**关键词:** 数字电路; 可测性设计; 扫描结构; 设计规则

**中图分类号:** TN407; TN43

**文献标识码:** A

## Research on the Full-Scan Method in Design for Testability

ZHU Yong-ming, TANG Zhang-wen, MIN Hao

(State Key Laboratory of ASIC &amp; System, Fudan Univ., Shanghai 200433, P. R. China)

**Abstract:** Application of scanning method in the design for testability (DFT) of digital system is described in the paper. Problems with DFT, such as the basic scanning structure and test sequence, are discussed. In scanning method, strict regulations are imposed on the original circuit structure of the chip. Restrictions of the scanning structure on the circuit structures and revision of a circuit to conform to the regulations are discussed in particular.

**Key words:** Digital IC; Design for testability; Scanning structure; Design rule

**EEACC:** 1265

## 1 引 言

随着微电子学的迅速发展, 集成电路规模迅速膨胀, 电路结构越来越复杂。由于芯片管脚的限制和大量故障变得不可测等因素的影响, 过去由测试人员根据已经设计或研制完成的系统和电路来制定测试方案的传统做法已不适应实际生产的要求。功能设计人员在设计系统和电路的同时, 必须考虑到测试的要求, 这就是所谓的可测性设计<sup>[1]</sup>。

实现可测性设计有许多种方法, 本文讨论扫描方式电路设计(scan)方法。与其它方法相比, 扫描结构的优势在于结构简单、对芯片面积影响小, 实用效果相当好。扫描方式可将测试矢量集从输入端“移入”电路内部, 并且可将电路内部的信号值“移出”来观察, 从本质上提高了电路的可观察性和可控制性。Synopsys 软件中, 有专门针对扫描结构的测试软件 DFT Compiler, 它可以自动将扫描部分整合到

已有电路中, 但它对电路的结构, 尤其是时钟和复位端的结构有着严格的要求。如何修改已有电路, 使其符合 DFT Compiler 对电路结构的要求, 是本文讨论的重点。

## 2 扫描结构的原理

### 2.1 扫描电路的基本结构

使用最多的扫描电路是多路选择结构, 图 1 是典型扫描方式电路的方框图。多路选择结构是使用一个多路信号输入来实现串行移位功能<sup>[2]</sup>。图 1 中, 电路组合部分被单列开来, 由 D 触发器组成的时序电路成为了扫描链。当控制输入 SCAN ENABLE=0 时, 电路动作按正常方式进行, 执行电路的功能; 当控制信号 SCAN ENABLE=1 时, 各触发器形成一个移位寄存器, 为扫描方式。在扫描方式下, 各触发器可设定任意值, 也可方便地从扫描输出端(scan output)观察其输出值。

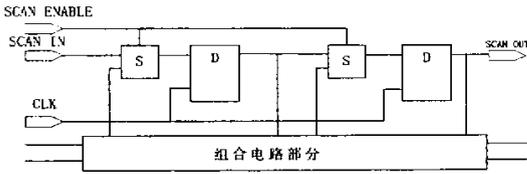


图1 典型的扫描方式电路

## 2.2 多路选择的D触发器模型

对于多路选择结构, D触发器需要增加以下端口: 扫描输入(scan in)、扫描使能(scan enable)和扫描输出(scan output)。其中, 扫描使能端必须单独列出, 扫描输入和扫描输出都可以和其它管脚公用。所以, 扫描结构所增加的管脚数也十分有限。图2为Synopsys软件中转换后默认的多路选择结构D触发器结构<sup>[3]</sup>。

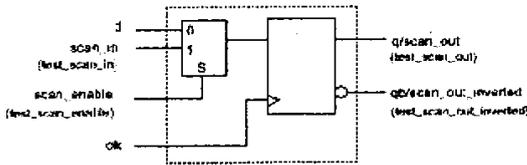


图2 Synopsys中D触发器的扫描结构

## 2.3 扫描测试的时序

将测试矢量集应用到具有扫描电路结构的电路时, 需要使用自动测试设备(ATE)。每一个测试矢量的应用需要以下五个阶段: 扫描输入阶段(scan in phase)、并行测量阶段(parallel measure)、并行取值阶段(parallel capture)、链首输出阶段(first scan in)和扫描输出阶段(scan out phase)。其中, 第一和最后两个阶段为串行工作方式, 中间三个为并行工作方式。五个阶段的时钟构成如图3所示<sup>[3]</sup>。

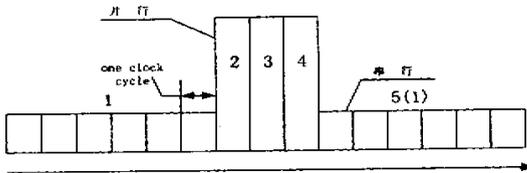


图3 Synopsys中执行一个测试矢量的时序

由图3可以看出, 阶段(1)和阶段(5)是同时进行的, 在这个阶段中, 扫描使能信号(SE)一直有效, 扫描电路将测试矢量“移入”电路内部, 同时将上一个测试周期的测试结果“移出”, 在扫描输出端(scan out)进行探测。在阶段(2)时, 被测器件(CUT)处于正常工作状态, 扫描使能信号(SE)无效, 此阶段没

有时钟信号, 测试矢量已经被移入芯片内部, CUT处于一个已知状态, 当状态稳定后, 会对并行输出进行检测。进入阶段(3), 被测电路仍处于正常工作状态, 扫描使能信号(SE)仍然无效, 此阶段中, 时钟信号被激活一次, 这样, 扫描链中的虚拟输出端(Virtual PO)便可以得到测试的结果。这些数据将被下一个扫描输出阶段移位输出到扫描输出端, 提供给ATE检测。在阶段(4)中没有时钟, ATE在扫描输出端进行一次检测, 增加这个周期是为了防止扫描链第一位结果的丢失。

了解测试的时序十分重要, 因为Synopsys软件在检测电路是否符合扫描结构的设计规范时, 会进行检测的仿真, 而其所用的时序与以上的真实时序是相同的。设计者可以根据时序仿真时产生的错误, 结合时序图进行分析, 找出错误的根源。

## 3 扫描结构对电路的限制以及对问题的修改

扫描结构的测试是一种结构性测试(Structured Design)。它是通过扫描链(Scan Chain)来增加内部各个节点的可控性(Controllability)和可观性(Observability), 因此, 对电路的时钟、复位端以及扫描链移位的结构有十分严格的限制<sup>[4]</sup>。只有当电路的结构符合这些限制时, 在加入扫描结构后, 才能达到满意的故障覆盖率。如果已有电路不符合设计规范, 就必须对其进行修改。根据对check—test命令产生的仿真结果报告的分析, 找出错误的出处, 并根据错误的缘由对电路进行相应的修改。以下将逐条讨论扫描结构对电路结构的限制, 并针对违反每一条限制的电路结构, 提出针对性的修改方法<sup>[3]</sup>。

### 3.1 避免使用锁存器

锁存器(Latch)是时序器件之一, 但在多路选择扫描模式下, 没有它的等效扫描模型, 这是因为锁存器的扫描模型无法在实际电路中工作。如果电路中存在锁存器, 可以用命令set\_scan\_FALSE {cell\_list} transparent, (cell\_list是指所需修改属性的寄存器的器件列表)将其设为透明工作模式, 这样, 测试时便不会影响到数据的移位。

### 3.2 避免产生组合电路的反馈

组合电路的反馈会导致电路内部的状态不稳定, 使测试覆盖率降低。虽然DFT Compiler会自动将回路打破, 但最好还是用set\_test\_isolate命令, 手动将回路打破, 这样可以选择最佳的打破点, 从而减少对故障覆盖率的影响。

### 3.3 对时钟信号及复位信号的限制

根据扫描结构的特点, Test Compiler需要对电

路内部的状态有完全的控制。因此,它必须对电路内部所有的时钟和使能端都有完整的控制。当任何器件的使能端或时钟端无法被控制时,它便会被排除在扫描链之外,使故障覆盖率大大降低。有关时钟及复位端的问题和修改有以下几种。

### 3.3.1 不可控的时钟端和复位端

不可控的时钟端和复位端包括非同步复位端(Asynchronous Reset)、时钟前有逻辑门(Gated Clock)、时钟前有时序逻辑等,所有不可控的时钟端和复位端。基本思路是,增加一部分逻辑电路和一个扫描工作模式使能端(TM),当扫描工作模式使能端值为真时,电路进入扫描工作模式。这种模式下,可以将有问题的部分或端口旁路掉,使扫描正常进行。此方法可以用在几乎所有的问题上,也是在实际设计中应用最广泛的方法,但它需要比较多的人工干预,因而需要较多的时间。图 4 分别对不可控时钟和复位端进行了修改。

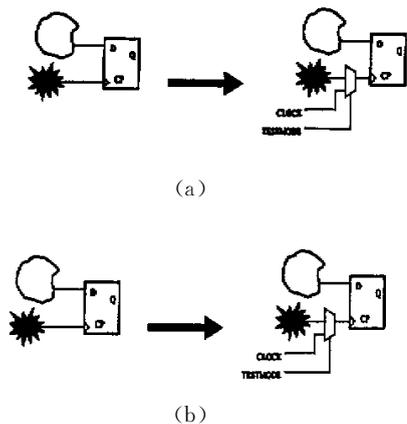


图 4 (a) 对不可控时钟端进行的修改  
(b) 对不可控复位端进行的修改

图 4(a)中,在不可控时钟前加了一个二路选择器,当 testmode 有效时,便可将原时钟旁路掉,改由系统的测试时钟 clock 来控制。图 4(b)中,在不可控复位端前加了一个或门,当 testmode 有效时,原来的复位信号被或门屏蔽掉,不会再对时序器件产生影响。以上修改只能在 HDL 源文件中进行。实行上述修改后,在测试前,执行 set\_test\_hold 1 testmode 命令,能使所加入的部分产生效果。

### 3.3.2 多重时钟沿

如果在同一电路中,既用到时钟的上升沿又用到下降沿,那么在 CHECK\_TEST 时便会产生警告。解决的方法是应用多重通过(Multi Pass)ATPG。在多重通过的 ATPG 过程中,必须设置两次时钟波形,并进行两次测试矢量集的自动生成(ATPG),DFT Compiler 会自动把两次的结果结合

起来,达到满意的故障覆盖率。下面是进行多重通过 ATPG 的 Script<sup>[3]</sup>。

#### 例 1

```
multi_pass_test_generation=true
//设置多重通过 ATPG 属性
create_test_clock_period 100\
//设置第一个时钟
-waveform{45,55} clk
//上升沿为 45,下降沿为 55
check_test
create_test_patterns -out pass1
//第一次产生测试矢量集
create_test_clock -period 100\
//设置第二个时钟
-waveform {55,45} clk
//上升沿为 55,下降沿为 55
check_test
create_test_patterns -out pass2
//第二次产生测试矢量集
multi_pass_test_generation=false
//取消多重通过 ATPG 属性
```

### 3.3.3 避免多重时钟

如果一个电路既有外部时钟,又有内部时钟,便有可能在扫描测试时产生竞争与冒险。解决方法是手工将不同的时钟区域(Clock domain)划分到不同的扫描链中。下面是一个例子。

#### 例 2

```
create_clock -name clock1 -p 100\
//定义第一个时钟区域
find{port,"clk"}
create_clock -name clock2 -p 100\
//定义第二个时钟区域
find{port,"clk_inst/DIV_CLK"}
set_scan_path path1 all-registers\
//设定第一个时钟区域的扫描链
{-edge-triggered -clock clock1}\
-complete trueset_scan_path path2
//设定剩下时钟区域的扫描链
```

### 3.4 对三态总线的限制

内部三态总线往往会导致扫描阶段时内部总线冲突,使扫描结构变得不能实施。Test compiler 不会自动地对三态总线进行处理,需要人工确定在扫描时不会出现冲突,这要花费很多的人力,有时甚至是不可能的。

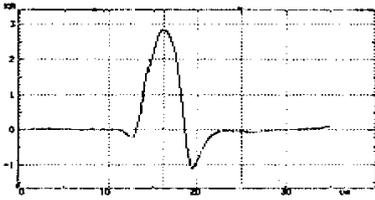


图5 台阶测试仪测得的凹槽形成曲线

大量实验表明,  $\text{SiO}_2$ /光刻胶选择比 $=0.9\sim 1.2$ 时,平坦化效果较好。至于选择比的确定,最简单而行之有效的就是调节  $\text{O}_2$  流量,得到理想的选择比。

### 3.3.3 腐蚀终端的确定

刻蚀的时间非常重要。腐蚀时间过短,芯片上剩余大量胶,则“鸟头”下降不多;时间过长,可能把有源区的薄层  $\text{SiO}_2$  腐蚀,损伤有源区的硅。通常,保留  $0.04\ \mu\text{m}$  的胶,最理想的腐蚀时间为芯片表面的光刻胶刚刚刻蚀完。腐蚀时间 $=$ 胶厚( $0.5\ \mu\text{m}$ )/胶腐蚀速度( $0.15\ \mu\text{m}/\text{min}$ )。刻蚀后,  $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$  去掉残胶,台阶测试仪测得台阶为  $0.25\ \mu\text{m}$  左右,可满足平坦化要求。

## 4 结论

经过上面的讨论,选用 Tegal 803 等离子刻蚀

(上接第 191 页)

对于双向门(Bidirectional ports), Test Compiler 也认为其是三态门的一种。在测试时,必须通过命令或增加电路,将其设为一个方向的输入或输出门。另外,为了在并行取值阶段(Parallel Capture)取得正确的数据,设计者需对 test\_default\_bidir\_delay 参数进行合适的设置。一般来说,这个参数应该比测试时钟的有效边沿大,才能防止由于双向门方向的改变引起的数据冲突。

### 3.5 设计规范小结

对于扫描型结构的可测性设计,最好是在电路开始设计时便考虑到测试结构,尽量避免违反设计规范。这样,最后加入测试结构电路时便可以减少不必要的返工。

## 4 结论

本文讨论了使用多路选择型的扫描结构完成数字电路芯片可测性设计时,可能遇到的问题及解决方法。合理应用文中的设计规范和修改方法,对电路进行设计和修改,便能够使电路达到一个满意的故

机平坦化“鸟头”,较佳的工艺参数为:涂胶厚度  $0.45\ \mu\text{m}\sim 0.6\ \mu\text{m}$ ;选择比  $0.9\sim 1.2$ ;刻蚀速度  $0.14\sim 0.2\ \mu\text{m}/\text{min}$ ;均匀性 $<15\%$ 。

对于“鸟头”高度为  $0.7\ \mu\text{m}$ 、涂胶厚度为  $0.5\ \mu\text{m}$  的台阶,用 Tegal 803 等离子刻蚀机进行刻蚀。选择的工艺条件为:功率  $200\ \text{W}$ ;  $\text{CHF}_3$  流量  $3\ \text{sccm}$ ;  $\text{C}_2\text{F}_6$  流量  $11\ \text{sccm}$ ; He 流量  $60\ \text{sccm}$ ;  $\text{O}_2$  流量  $2.6\ \text{sccm}$ ;压力  $186.2\ \text{Pa}$ ;胶腐蚀速率  $0.15\ \mu\text{m}/\text{min}$ ;  $\text{SiO}_2$  腐蚀速率  $0.17\ \mu\text{m}/\text{min}$ ;时间  $3.5\ \text{min}$ 。

高压氧化后形成的“鸟头”,经过上述工艺处理后,硅片表面“鸟头”高度能够下降到  $0.25\sim 0.3\ \mu\text{m}$  左右,完全满足工艺要求。

### 参考文献:

- [1] 杨国渝. 国外多层布线平坦化技术和通孔导通技术研究概况[J]. 微电子学, 1986; 16(5): 27-30.



作者简介:欧益宏(1971—),女(汉族),1994年毕业于四川轻化工学院,现在信息产业部电子第二十四研究所从事半导体工艺研究。

障覆盖率。

### 参考文献:

- [1] 杨士元. 数字系统的故障诊断与可靠性设计[M]. 2nd ed. 北京:清华大学出版社,1999.
- [2] Johns D, Martin K. Scan insertion and ATPG development via Synopsys<sup>TM</sup> test compiler [J]. Electronic Engineering, 2001; 74(3): 1-22.
- [3] Turino J. Design for test considerations for ATPG [J]. IEEE J IC Design, 1999; 30(3): 1-3.
- [4] Warren C. The advantage of using logic BIST for ASIC designs [J]. IEEE J IC Design, 2000; 33(1): 1-3.
- [5] Rottner S Z F. Automatic test equipment links design and production [J]. Electronic Engineering, 2000; 73(9): 1-3.



作者简介:祝永明(1978—),男(汉族),上海市人,2001年毕业于复旦大学电子工程系电子学与信息系统专业,获学士学位,现在美国蒙大拿州立大学攻读硕士学位,主要研究领域为数字系统可测性研究、数字信号处理、视频、音频信号处理及仿真等。