

文章编号: 1004-3365(2001)06-0451-04

一种高速直接数字频率合成器及其 FPGA 实现

唐长文, 闵 昊

(复旦大学 专用集成电路与系统国家实验室, 上海 200433)

摘 要: 介绍了一种用于 QAM 调制和解调的直接数字频率合成器, 该电路同时输出 10 位正弦和余弦两种波形, 系统时钟频率为 50 MHz, 信号的谐波小于 -72 dB。输出信号的范围为 DC 到 25 MHz, 信号频率步长为 0.0116 Hz, 相应的转换速度为 20 ns, 建立时间延迟为 4 个时钟。直接数字合成器(DDFS)采用一种有效查找表的方式生成正弦函数, 为了降低 ROM 的大小, 采用了 1/8 正弦波形函数压缩算法。直接数字频率合成器的数字部分由 Xilinx FPGA 实现, 最后通过数模转换器输出。

关键词: 数字频率合成器; 锁相环; 现场可编程逻辑阵列; 查找表; 只读存储器
中图分类号: TN 431.2 **文献标识码:** A

A Direct Digital Frequency Synthesizer Implemented with FPGA

TANG Zhang-wen, M N Hao

(State Key Laboratory of ASIC & Systems, Fudan Univ., Shanghai 200433, P. R. China)

Abstract: A direct digital frequency synthesizer (DDFS) used for QAM modulation and demodulation is presented, which synthesizes a 10-b output sine and cosine wave with a spectral purity of -70 dB at 50 MHz. The synthesizer covers a bandwidth from dc to 25 MHz in 0.0116 Hz step with a corresponding switching speed of 20 ns and a tuning latency of 4 clock cycles. An efficient look-up table method for calculating the sine function is used, and a compressed algorithm that only calculates 1/8 sine function is employed to reduce the volume of ROM. The whole digital system is implemented with Xilinx FPGA, and the digital signals are output through two D/A converters.

Key words: Digital frequency synthesizer; Phase locked loop; FPGA; Look up table; ROM
EEACC: 1265

1 引 言

传统的宽带频率合成器采用锁相环结构。直接数字频率合成器比锁相环结构具有更多的优点: 建立时间快、转换时间快、频率精度高、频率纯度高、频带宽等。因此, 直接数字频率合成技术在 CDMA 数字蜂窝电话、宽带无线 LAN 网、HDTV 中得到广泛的应用。特别地, 随着模数转换器(ADC)^[1]技术的发展, 使得直接数字频率合成更适合 RF 应用, 如图 1 QAM 调制和图 2 QAM 解调。

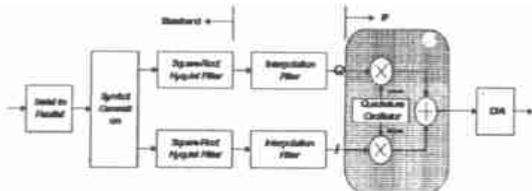


图 1 QAM 调制

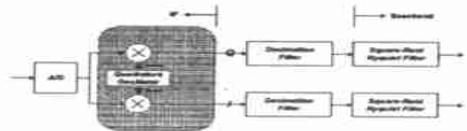


图 2 QAM 解调

本文的直接数字频率合成器核心采用的结构最先由 Tieney, Rader 和 Gold 提出^[2], 如图 3 所示。它利用可溢出的 L 位累加器(或称相位累加器)产生正弦函数的相位变量。相位累加器每溢出一次, 就代表正弦波形一个周期。相位累加器输入的频率控制字(FCW)来控制生成的正弦波形的频率。正弦函数发生器是存有正弦采样值的 ROM 查找表。这种频率合成方法可以在不增加 ROM 查找表容量的情况下, 获得高的频率精度。相位累加器每增加一位, 频率精度就提高 2 倍。直接数字频率合成器的输出频率 f_{out} 可以由下式确定:

收稿日期: 2001-01-19; 定稿日期: 2001-04-05



$$f_{out} = \frac{f_{clk} \cdot FCW}{2^L} \quad (1)$$

其中, FCW 为频率控制字, f_{clk} 为时钟频率, L 为相位累加器的字长。最小频率精度 Δf 为:

$$\Delta f = \frac{f_{clk}}{2^L} \quad (2)$$

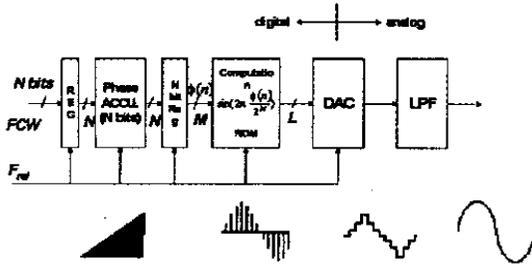


图3 直接数字频率合成器结构

在本文DDFS核设计中,相位累加器字长为32位,最高时钟频率是50MHz。因此,最小频率精度为0.0116Hz。两个频率之间的转换时间为一个时钟,对于50MHz时钟,转换时间为20ns。

ROM查找表输出的数字正弦采样值通过D/A转换器产生量化的模拟正弦波形,再通过低通滤波器去除高频分量,得到频率精度高的正弦波形输出。当直接数字频率合成器产生的频率接近1/2时钟频率时,第一级谐波很难滤除。在实际中,直接数字频率合成的频率限制在40%时钟频率以内。

2 结构设计

2.1 有限字长效应

直接数字频率合成特性的优化主要在于有限字长和正弦函数计算方法两方面^[4]。图4所示的功能块显示了三种基本的噪声源。它们分别是相位累加器截断 $P(n)$ 、输出幅度量化 $A(n)$ 和正弦函数压缩误差 $G(\cdot)$ 。影响频率纯度的最主要误差源是相位截断。一种相位累加器的简单优化如图5所示,它能够降低谐波幅度3dB左右,同时在频率转换时,减小输出频谱对累加器中值的依赖。而且,优化结构使得相位累加器字长近似变为 $L+1$ 。

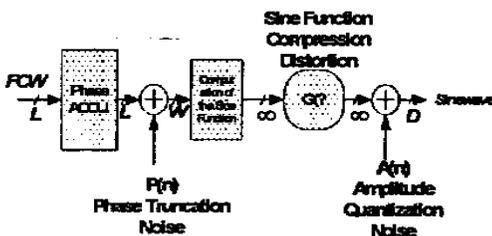


图4 有限字长效应引入的噪声

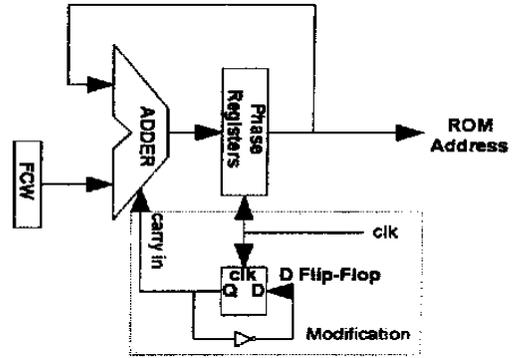


图5 累加器的简单优化

相位累加器优化结构的唯一缺点是在直接数字频率合成的输出信号的频率中,引入了 $f_{clk}/2^{L+1}$ 的相位偏移量。然而对于字长为32位,时钟频率为50MHz的相位累加器,其偏移量只有0.0058Hz,在大多数应用中是可以忽略的。

2.2 正弦函数计算

直接实现正弦函数需要 $2^{12} \times 10$ b ROM。读取大容量的ROM会降低系统速度,因此,有必要采用正弦ROM压缩技术^[3,4]。

2.2.1 正弦函数ROM查找表的取法

常用的一种技术是只存储 $\pi/2$ 弧度的正弦采样点,然后,利用正弦函数的1/4波形对称性,产生整个 2π 弧度的正弦采样点。当用相位累加器的最高两位代表正弦函数的象限,则最高位表示符号,次高位表示相位在 $0-\pi/2$ 是增加还是减小,如图6所示。在大多数直接数字频率合成实现中,数字都是两进制补码形式^[5]。因此,ROM查找表的输入必须采用1/4相位的绝对值,并且输出要乘以-1。这样,在求补的时候就会引入 $1/2$ LSB 的失调,如图7、图8所示。本文采用一进制补码代替两进制补码,它不会引入误差。正弦采样点的相位和幅度的 $1/2$ LSB 失调是在生成ROM查找表时进行补偿的。这样,同时也节省了硬件,因为一进制补码可以通过一组异或门来实现。

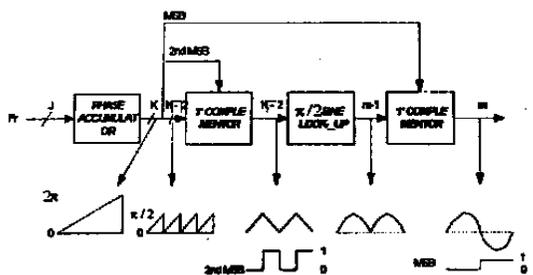
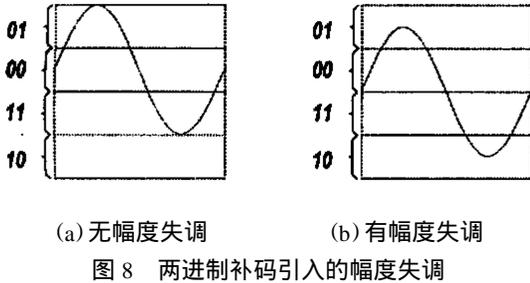
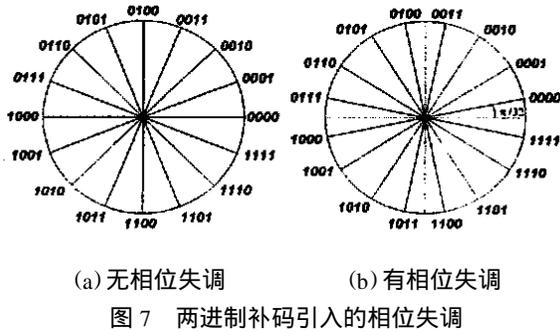


图6 采用对称结构的直接数字频率合成器



2.2.2 ROM 的压缩

本文设计将正弦函数 ROM 分为粗采样点 ROM 和细采样点 ROM。假定 A + B + C 是相位地址的总位数, A 为最高几位, B 为次高几位, C 为最低几位。因此, 粗采样点 ROM 有 2^{A+B} 个采样点, 细采样点 ROM 有 2^{A+C} 个采样点。根据文献[6]的结论可知, 当 A = 4, B = 3, C = 3 时, 是最优划分。粗采样点 ROM 的输出字长为 9 位, 细采样点 ROM 的输出字长为 3 位, 则 $2^{12} \times 10$ b 正弦采样点压缩到 $2^6 \times 9$ b 粗采样点 ROM 和 $2^6 \times 3$ b 细采样点 ROM, 其压缩比为 160 : 3, 如图 9 所示。

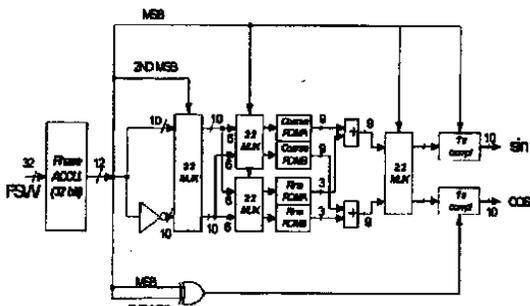


图 9 ROM 的压缩结构

2.2.3 正交输出: 正弦和余弦输出

直接数字频率合成器典型结构采用正弦函数四象限对称的特性来降低 ROM 的存储大小。因此, ROM 中只存储了 $0 \sim \pi/2$ 范围内的正弦采用值。相位累加器的次高位用来判断象限, 将正弦波形合成到 $0 \sim \pi$ 范围; 最高位作为符号位, 将正弦波形合成到 $0 \sim 2\pi$ 范围。对于余弦波形, 符号位是由最高位与次高位异或得到, 因为余弦波形比正弦波形提前 $\pi/4$

2 相位。

对于正交输出, 最简单的方法^[7]就是分别存储正弦和余弦波形的 $0 \sim \pi/2$ 范围的采样值。这样, 需要两倍于所需要的 ROM 大小。由于正弦函数在 $0 \sim \pi/4$ 范围的采样值与余弦函数在 $\pi/4 \sim \pi/2$ 范围的值是对称的, 因此, 只需要存储正弦和余弦在 $0 \sim \pi/4$ 范围内的采样值。这样, 存储大小将减小一半。相位累加器的次高位可以在 $0 \sim \pi/4$ 和 $\pi/4 \sim \pi/2$ 之间选择。实际电路实现时, 次高位是与次高位异或产生这个信号的。另外, 为了完成正交输出, 还要增加两个 2:1 MUX 电路。上述电路如图 10 所示。

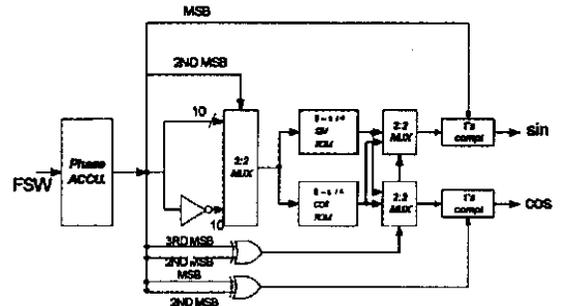


图 10 正弦、余弦对称优化存储结构

2.3 调制方式

直接数字频率合成器的调制方式包括: 频率调制、相位调制、正交幅度调制。频率调制通过直接控制频率控制字 (FCW) 得到, 不需要增加任何硬件。相位调制是通过在查找 ROM 查找表之前引入一个相位偏移量实现的, 这样会增加一个加法阶段。相位调制位数为 8 位, 最小相移为 $2\pi/2^8 = 1.41^\circ$; 正交调制必须增加两个乘法器和一个加法器, 如图 11 所示。I 分量和 Q 分量为 10 位, 正弦和余弦也是 10 位, 因此, 乘法器为 10 位 \times 10 位; 加法器为 19 位 + 19 位, 输出为 10 位。

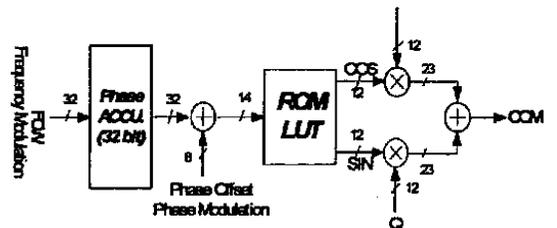


图 11 直接数字频率合成器调制方式

3 电路设计及仿真

经过上述结构设计, 得到了顶层电路结构。整个电路采用 VHDL 硬件描述语言描述的 Datapath 结

构, 内部引入了 4 级流水线。正弦采样值 ROM, 由于容量比较小, 采用组合逻辑生成。综合结果表明, 能够达到系统 50 MHz 要求。电路仿真结果如图 12 所示。

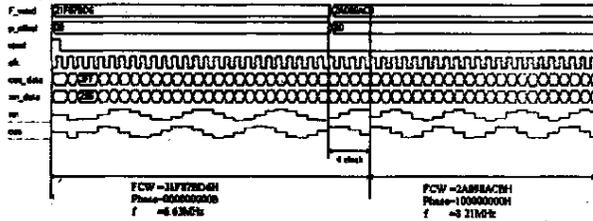


图 12 电路仿真波形图

前半部分是频率为 6.63 MHz 的正弦和余弦波, 频率控制字 FCW = 21F07BD6H, 相位控制字 Phase = 00H; 后半部分是频率为 8.21 MHz 的正弦和余弦波, 频率控制字 FCW = 2A098ACBH, 相位控制字 Phase = 80H。图 13 是上述信号的 FFT 频谱, 谐波幅度小于 -72 dB。

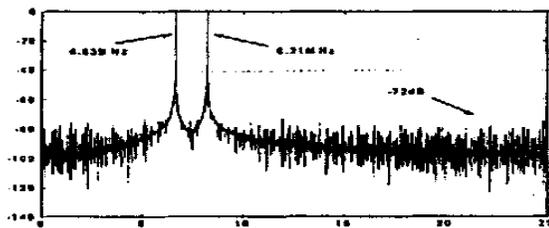


图 13 FFT 频谱

将综合好的 edif 电路网表文件输入到后端 FPGA 厂商 Xilinx 的 Foundation 软件, 进行布局和布线, 生成二进制流文件。其结果如表 1 所示。

表 1 硬件综合结果

硬件芯片	XC4010XLPC84-3
资源	140 CLB
等效门数	8318 门
最高工作频率	54.514 MHz

4 电路测试

测试电路板主要包括: FPGA 芯片

XC4010XLPC84、A/D 转换器 ADV 7128、下载电路和电源电路四个部分。其中的数字输出可以输出到板上的 SRAM 芯片中, 然后上载到计算机进行数字信号分析; 模拟输出则通过 HP 示波器测试。

数字信号测试表明, 电路实际工作时的结果与仿真结果完全一致。

5 结论

本文介绍了一种用于 QAM 调制和解调的高速直接数字频率合成器。对整个系统在结构方面进行了优化: 考虑了有限字长效应; 利用正弦和余弦的对称性, 大大降低了 ROM 的容量; 提出了系统的几种调制方式: 频率调制、相位调制和正交幅度调制。整个系统通过 VHDL 语言描述, 采用 Xilinx FPGA 硬件实现, 最后, 还进行了硬件测试。系统时钟频率为 50 MHz, 信号的谐波小于 -72 dB。输出信号的范围为 DC 到 25 MHz, 信号频率步长为 0.0116 Hz, 相应的转换速度为 20 ns, 建立时间延迟为 4 个时钟。

参考文献

- [1] CMOS 80 MHz, 10-bit video DAC ADV 7128 [Z]. Analog Devices Data Sheet
- [2] Tierney J, Rader C M, Gold B. A digital frequency synthesizer [J]. IEEE Trans Audio Electroacoust, 1971; 19: 48-57.
- [3] Sutherland D A, Strauch R A, Wharfield S S, et al. CMOS/SOS frequency synthesizer LSI circuit for spectrum communications [J]. IEEE J Sol Sta Circ, 1984; 19(8): 497-505.
- [4] Nicholas H T, Samuelli H. A 150 MHz direct digital frequency synthesizer in 1.25- μm CMOS with -90dBc spurious performance [J]. IEEE J Sol Sta Circ, 1991; 26(12): 1959-1969.
- [5] Vankka, Waltari M, Kosunen M, et al. A direct digital synthesizer with an on-chip D/A converter [J]. IEEE J Sol Sta Circ, 1998; 33(2): 218-227.
- [6] Nicholas H T, Samuelli H, Kim B. The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects [A]. Proc 43rd Annu Frequency Control Symp [C]. 1988: 357-363.
- [7] Tan K, Samuelli H. A 200 MHz quadrature digital synthesizer/mixer in 0.8- μm CMOS [J]. IEEE J Sol Sta Circ, 1995; 30(3): 193-200.



作者简介: 唐长文(1977—), 男, 1999年毕业于复旦大学, 获电路与系统专业学士学位, 现为复旦大学专用集成电路与系统国家重点实验室硕士研究生, 研究方向为专用集成电路设计、数字信号处理系统设计、数字信号算法 FPGA 结构实现等, 目前正在研制单片多制式数字视频编码器系统。