

一种新型的高速 FIR 滤波器及其 VLSI 实现

唐长文, 张 洁, 闵 昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘 要: 本文提出了一种新型的高速滤波器结构, 此结构的核心是一种独特的乘加单元. 该乘加单元是通过对 BOOTH 型乘法器与高速加法器结构的深入研究而探索出来的. 采用该乘加单元我们可以实现任何阶数高速 FIR 滤波器. 在文章的最后我们采用该结构实现了视频编码器中的一个高速色度滤波器, 并与采用传统结构设计的该滤波器进行了性能比较.

关键词: 有限冲响应滤波器 (FIR filter); VLSI; BOOTH 乘法器; 加法树

中图分类号: TP302.1 **文献标识码:** A **文章编号:** 0372-2112 (2002) 02-0295-03

A New High-Speed FIR Filter Structure and VLSI Implementation

TANG Zhang-wen, ZHANG Jie, MIN Hao

(ASIC & System State Key Lab., Fudan University, Shanghai 200433, China)

Abstract: This paper presents a new high speed FIR Filter structure which includes a unique multiplier adder unit. Through studying BOOTH multiplier and high speed adder structures, we explored a new multiplier add unit. With this multiplier adder unit, we can implement FIR filters with any orders. In the end, we design a chroma FIR filter with this type filter, and compare to the filter employed with the conventional structure.

Key words: finite impulse response filter; very large scale IC; BOOTH multiplier; adder array tree

1 引言

FIR 滤波器在视频和通信电路中的应用越来越广泛, 对其速度的要求也越来越高. 传统的 FIR 滤波器结构^[1] (图 1) 已不能满足高速系统的要求, 其主要原因是由于受到乘法器和加法器电路的限制.

FIR 滤波器的公式为:

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (1)$$

图 1 中的滤波器的最大延时为 $T_M + MT_A$, T_M 为一个乘法器的延迟, T_A 为一个加法器的延迟, M 为滤波器的阶数. 明显可以看出最大延时随着滤波器的阶数的增加将迅速增加.

本文提出了一种新型的高速滤波器结构, 此结构的核心是一种独特的乘加单元. 该乘加单元是通过对 BOOTH 型乘法器与高速加法器结构的深入研究而探索出来的. 采用该乘加单元我们可以实现任何阶数高速 FIR 滤波器, 它的最大延时几乎不随滤波器的阶数的增加而增加. 在文章的最后我们采用该结构实现了视频编码器中的一个高速色度滤波器, 并与采用传统结构设计的该滤波器进行了性能比较.

2 BOOTH 乘法器

2.1 BOOTH 乘法器结构

乘法器是数字信号处理电路中最常用的单元, 十年前就

已经研究得非常成熟^[2,3]. 文献[2]乘法器结构 (图 2) 是采用了改进型 Booth 算法和 Wallace 加法树的并行结构. 它主要包括下面三个模块: Booth 编码、部分积加法器阵列和进位加法器. 这种结构通过采用改进型 Booth 算法, 部分积的数目减少了一半, 由于乘法器是 N 位, 因此将有 $[N/2]$ 个部分积. 部分积加法器阵列将这 $[N/2]$ 个部分积相加生成 $2N$ 位的进位项 (Carry) 和 $2N$ 位的和项 (Sum). 最后, 进位加法器将 $2N$ 位的进位项和 $2N$ 位的和项相加产生乘积.

2.2 4:2 压缩加法器

为了提高并行性, 一种特殊的加法单元: 4:2 压缩加法器, 作为基本加法器单元代替了全加法器. 4:2 压缩加法器单元如图 3 所示, 它有五个输入和三个输出, 能够将四个部分积 (I_1, I_2, I_3, I_4) 压缩为两对新的部分积 (S, C). 4:2 压缩加法器可以用两个全加法器等效.

3 新型的乘加单元

3.1 乘法器和加法器

图 1 中加法器的输入端为 M 个乘法器的乘积项, 而每一个乘法器的乘积项是由一个 $2N$ 位的加法器产生的. 这样的结构必然导致滤波器的延时是 $T_M + MT_A$, 它将随着阶数的增加而显著增加.

变化一下乘法器结构, 将所有乘法器中的相同的 $2N$ 位

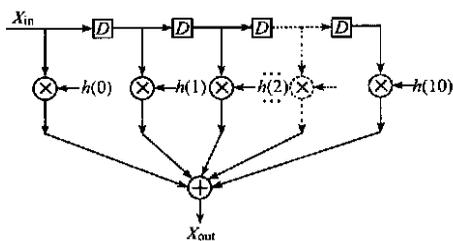


图 1 直接型 FIR 滤波器结构

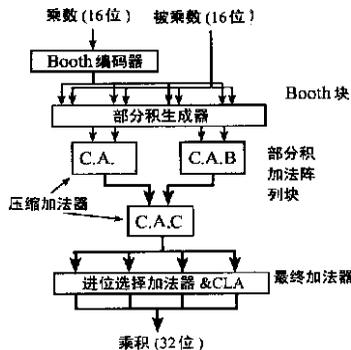


图 2 BOOTH 乘法器结构

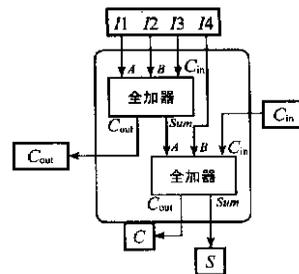


图 3 4:2 压缩加法器

最终加法器移置到滤波器的最后, 并且将所有乘法器中的部分积阵列重新排列, 得到了一种新型的乘加单元。

3.2 乘加单元

上述乘加单元的结构图如图 4 所示。其中的虚线部分为一个没有 2N 位最终加法器的乘法器结构, 它的输出是两部分积(已经运算过的部分积)。虚线外的部分是将各个乘法器生成的部分积相加的加法器阵列。整个乘加单元的延时可以等效为一个位数大一点的乘法器的延时。我们知道 BOOTH 乘法器的延时的增加是与 $\log_2(N/2)$ 成正比的, 此值比 $T_M + MT_A$ 小很多, 并且几乎不随阶数 M 的变化, 也即这种乘加单元的延时几乎不随阶数的增加而增加。

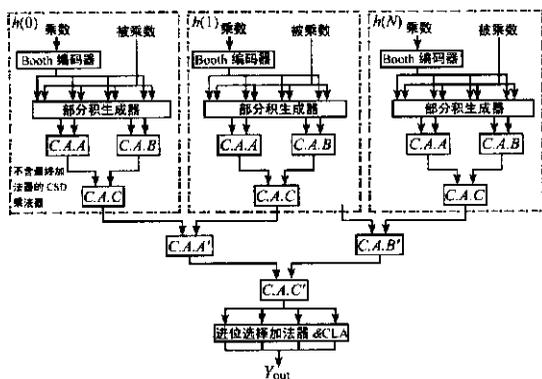


图 4 乘加单元

3.3 Wallace 加法树

乘加单元的加法树包括两部分: 乘法器内部加法树和乘法器间的加法树。乘法器内部的加法树的层数为 $\log_2(N/2)$,

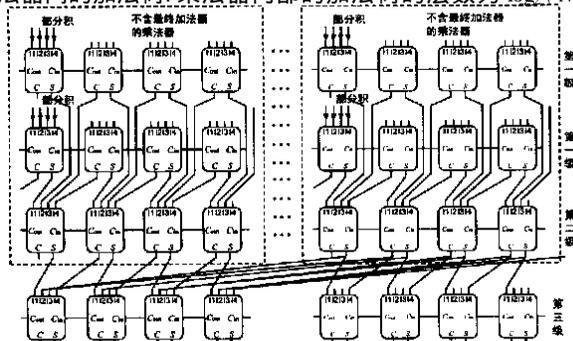


图 5 乘加单元中的 Wallace 加法树

乘法器间的加法树层数为 $\log_2(2M)$, 所以乘加器的加法树的层数为 $\log_2(N/2) + \log_2(2M)$ 。结构图如图 5 所示。

图 5 中虚线部分为乘法器内部的 Wallace 加法树, 虚线外为乘法器间的 Wallace 加法树。图 5 中的加法器单元与 BOOTH 乘法器内的 4:2 压缩加法器结构相同。

4 新型滤波器结构及 VLSI 实现

采用上述的乘加单元来代替图 1 中的 N 个乘法器和 M 个加法器, 构成一个新型的高速 FIR 滤波器, 其结构图如图 6 所示。

在设计数字 X_{in} 视频编码器中, 我们运用该 FIR 滤波器结构设计了一个系数为 2 的升采样的色度滤波器。滤波器的阶数为 14 阶, 滤波器系数如下表:

表 1 14 阶色度滤波器系数

$h(0), h(13)$	0.007812500
$h(1), h(12)$	0.033203125
$h(2), h(11)$	- 0.029296875
$h(3), h(10)$	- 0.134765625
$h(4), h(9)$	- 0.027343750
$h(5), h(8)$	0.437500000
$h(6), h(7)$	0.921875000

升采样色度滤波器冲击响应如图 7 所示。

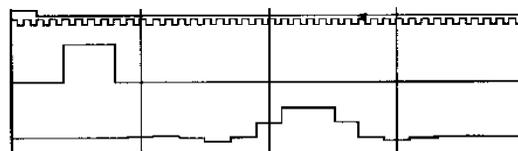


图 7 滤波器冲击响应波形

为了说明该结构的优势, 我们同时也用如图 1 所示的传统结构设计了这样一个滤波器, 然后将它们进行性能比较, 如

表 2.

表 2 性能比较

	本文结构	传统结构
延时	T_M (几乎与阶数无关)	$T_M + MT_A$ (与阶数成正比)
速度	80MHz	5MHz
面积 *	4176.8	5239.2
数据误差	小	大

*注:两输入与门 AN_2 面积为 1.33

最后,该结构的色度滤波器在 ALCATEL 0.35 μ m CMOS 工艺上实现了.

5 结论

本文通过对 BOOTH 乘法器和高速加法器的深入研究,探索出一种新型的乘加单元,得出了采用该乘加单元的一种新型高速滤波器结构.该结构的滤波器比传统的滤波器结构在速度、面积和数据误差方面都有显著的优势.最后采用该滤波器结构我们设计了视频编码器中的一个系数为 2 的升采样色度滤波器,并与采用传统结构设计的滤波器作了性能比较.

参考文献:

- [1] 周耀华,等.数字信号处理 [M].复旦大学出版社 1996:65.
- [2] M Nagamatsu, et al. A 15ns 32 \times 32-bit CMOS multiplier with an improved parallel structure [J]. IEEE J. Solid-State Circuit, April, 1990, 25(2).
- [3] Junji Mori, et al. A 10ns 54 \times 54-b parallel structured full array multi-

plier with 0.5- μ m CMOS technology [J]. IEEE J. Solid-State Circuit April, 1991, 26(4).

作者简介:



唐长文 男, 1977 年 3 月出生于江西临川. 1999 年毕业于复旦大学电子工程系电子学与信息系统专业, 现为复旦大学专用集成电路与系统国家重点实验室硕士研究生, IEEE 学生会员. 主要研究领域有: 数字专用集成电路和模拟单元电路实现, 数字信号处理系统设计, 数字信号算法 FPGA 结构实现等, 目前正在研究单片多制式数字视频编码器系统.



张洁 女, 1977 年 2 月出生于江苏常州. 1999 年毕业于哈尔滨工程大学电子工程系图象传输与处理专业, 现为复旦大学专用集成电路与系统国家重点实验室硕士研究生. 主要研究领域有: 数字专用集成电路和模拟单元电路实现, 高速 A/D 转换器, 射频集成电路等.

闵昊 男, 1965 年出生于江苏昆山. 教授, 博士生导师. 1991 年获复旦大学电子工程系博士学位, 1996~1998 年期间在 Stanford 大学作访问学者, 现为复旦大学专用集成电路与系统国家重点实验室主任. 主要研究兴趣为: 混合信号 IC 设计, 数字信号处理系统研究.